

< DIPPIPM >

1200V 大型 DIPIPM Ver.6 シリーズ アプリケーションノート PSSxxSA2FT

DIPIPM アプリケーションノート目次

第1章 製品の概要	2
1.1 用途	2
1.2 製品ラインナップ	2
1.3 特長及び機能	2
1.4 従来品(1200V大型DIPIPM Ver.4)との差異について	3
第2章 諸特性及び機能	4
2.1 スペック	4
2.1.1 最大定格	4
2.1.2 電気的特性 熱抵抗	5
2.1.3 電気的特性 静特性およびスイッチング特性	5
2.1.4 電気的特性 制御(保護)部の特性	6
2.1.5 推奨使用条件	7
2.1.6 機械的定格および特性	8
2.2 保護機能とシーケンス	9
2.2.1 短絡保護	9
2.2.2 制御電源電圧低下保護	13
2.2.3 温度アナログ出力機能	15
2.3 パッケージ	20
2.3.1 外形図	20
2.3.2 パワーチップ配置図	21
2.3.3 マーキングの位置	21
2.3.4 端子配列	22
2.4 取り付け方法	24
2.4.1 絶縁距離	24
2.4.2 取り付け方法と注意点	24
2.4.3 はんだ付け条件	25
第3章 使用方法	26
3.1 使用方法と応用	26
3.1.1 システム接続例	26
3.1.2 インターフェース回路例(直接入力)	27
3.1.3 インターフェース回路例(フォトカプラ駆動)	28
3.1.4 信号入力端子とFo端子	29
3.1.5 スナバコンデンサの接続	31
3.1.6 GND周辺配線について	32
3.1.7 PCB設計時の注意点について	33
3.1.8 DIPIPMのSOA(スイッチング時、短絡時)	34
3.1.9 短絡SOA	35
3.1.10 動作寿命について	39
3.2 パワーロスと放熱設計	40
3.2.1 インバータ損失計算方法	40
3.2.2 温度上昇の考え方と計算例	42
3.3 ノイズ耐量について	43
3.3.1 測定回路	43
3.3.2 対策と注意事項	43
3.3.3 静電気耐量について	44
第4章 ブートストラップ回路動作	46
4.1 ブートストラップ回路動作	46
4.2 ブートストラップ電源回路電流	46
4.3 ブートストラップ回路定数設定時の注意点	49
4.4 ブートストラップ回路使用時の初期充電について	50
第5章 その他	51
5.1 梱包仕様	51
5.2 取り扱いの注意	52

第1章 製品の概要

1.1 用途

業務用エアコン・大型エアコンなどのコンプレッサ、ファンモータのインバータ制御用
サーボ・汎用インバータなど小容量産業用モータ駆動

1.2 製品ラインナップ

表 1-1 製品ラインナップ

形名	定格	モータ定格	絶縁耐電圧 Viso
PSS05SA2FT	5A/1200V	0.75kW/440V _{AC}	AC2500Vrms (正弦波 60Hz, 1min 全端子共通-放熱フィン間)
PSS10SA2FT	10A/1200V	1.5kW/440V _{AC}	
PSS15SA2FT	15A/1200V	2.2kW/440V _{AC}	
PSS25SA2FT	25A/1200V	3.7kW/440V _{AC}	
PSS35SA2FT	35A/1200V	5.5kW/440V _{AC}	
PSS50SA2FT	50A/1200V	7.5kW/440V _{AC}	
PSS75SA2FT	75A/1200V	10kW/440V _{AC}	

注) モータ定格容量は、産業用汎用インバータにおける一般的な適用モータ容量を示したものです。
ご使用条件により適用可能なモータ容量は異なります。

1.3 特長及び機能

1200V 大型 DIIPM Ver.6 シリーズは、モータ制御用インバータ回路のパワー素子、および駆動・保護回路を、量産性に優れたトランスファーモールド方式により、1パッケージに集積したパワーモジュール(IPM)です。

従来品である Ver.4 シリーズ(PS22A7*)と同一の高い放熱性をもつ絶縁放熱シート構造のパッケージを採用、ピンコンパチビリティも確保しています。さらに本 Ver.6 シリーズは、DIIPM 向けに最適設計した 6 世代 IGBT を採用し、P 側駆動用 15V 電源生成用に不可欠で市場に製品が少ない 1200V 耐圧のブートストラップダイオードも新たに搭載しました。また本 Ver.6 シリーズは、従来品 5A~50A/1200V に加え、7 世代 IGBT を搭載した 75A/1200V 品を新たにラインアップいたします。

これにより、コスト、設計工数削減、システム効率の改善に貢献いたします。

図 1-1 に外観写真、図 1-2 に内部構造断面図を示します。

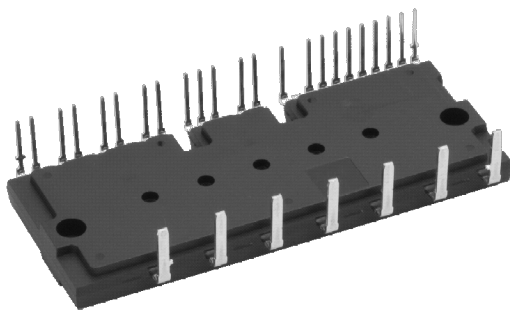


図 1-1 外観写真

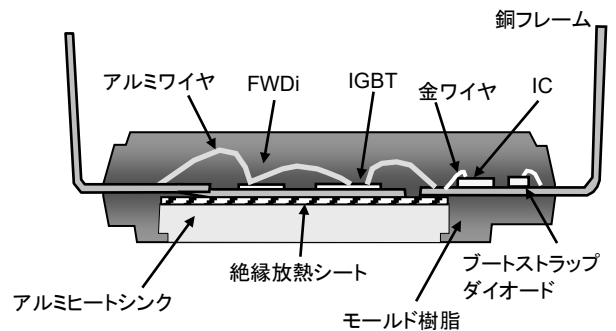


図 1-2 内部断面構造図

■内蔵機能

- P 側 IGBT 用:
 - 駆動回路、高圧レベルシフト回路、
 - 制御電源電圧低下(UV)保護回路(エラー出力無し)
 - ブートストラップダイオード搭載(電流制限抵抗内蔵)
- N 側 IGBT 用:
 - 駆動回路、短絡保護回路、
 - 制御電源電圧低下(UV)保護回路
 - (短絡保護は、DIIPM外部の電流検出抵抗で N側 IGBT部で分流された電流に対する電圧を検出し、DIIPMへフィードバックして行う。)
 - LVIC部温度アナログ出力回路
- エラー出力:
 - N 側 IGBT 短絡保護時、N 側制御電源電圧低下時出力
- IGBT 駆動電源:
 - DC15V 単一電源
- 入力インターフェイス:
 - ハイアクティブ駆動
- UL 認証済み:
 - UL1557 File E80276

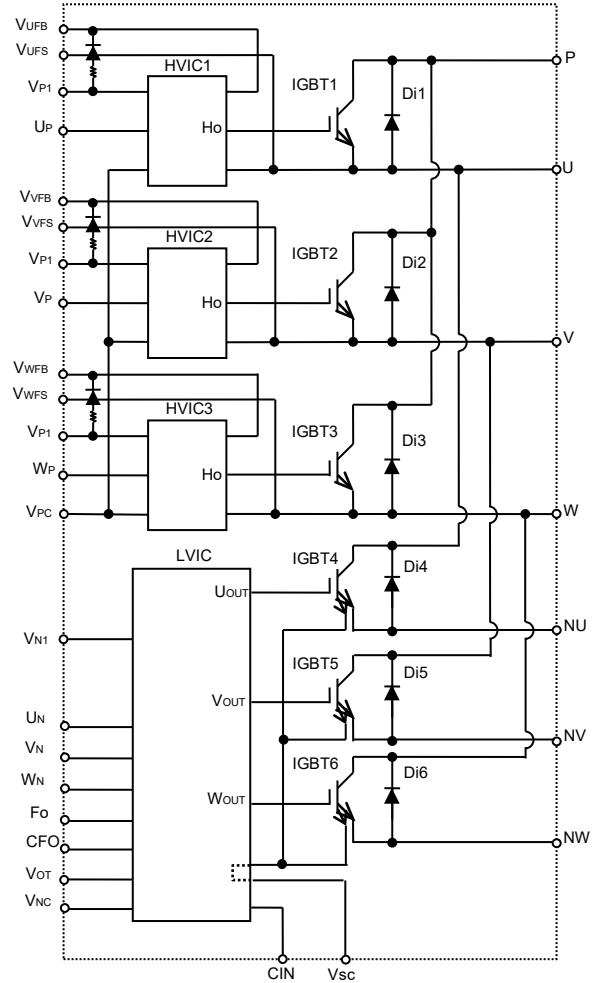


図 1-3 内部回路図

1. 4 従来品(1200V 大型 DIIPM Ver.4)との差異について

従来品の1200V DIIPM Ver.4シリーズ(PS22A7*)と本シリーズの主な相違点をまとめると、以下のとおりとなります。

表 1-2 仕様差異

項目	Ver.4		Ver.6		関連項目
	PS22A72~PS22A78-E	PS22A79	全形名		
	5A~35A	50A	5A~50A	75A	
搭載IGBT	5世代IGBT (LPT-CSTBT)	6世代IGBT (LPT-CSTBT)	6世代IGBT (LPT-CSTBT)	7世代IGBT (LPT-CSTBT)	-
ブートストラップ Di	非搭載	非搭載	搭載 (電流制限抵抗内蔵 typ. 20Ω)		-
温度出力機能 (V _{OT} 出力)	typ. 3.63V (LVIC温度=85°C時) 外部プルダウン抵抗不要	typ. 2.38V (LVIC温度=75°C時) 外部プルダウン抵抗要	← (PS22A79と同じ)		2. 2. 3項
エラー出力電流 I _{F0}	max. 1mA	←	max. 5mA (直接カプラ駆動も可能)		3. 1. 4項
上下アーム 休止時間	min. 3.0μs	min. 3.3μs	min. 3.0μs		
T _j	-20°C~150°C	←	-30°C~150°C		
制御電源電圧 推奨使用条件	13.5 ≤ V _D ≤ 16.5V, 13.0 ≤ V _{DB} ≤ 18.5V (短絡保護トリップレベル ≥ 定格1.7倍時)	←	←	14.0 ≤ V _D ≤ 16.5V, 13.5 ≤ V _{DB} ≤ 18.5V (短絡保護トリップレベル ≥ 定格1.7倍時)	2. 2. 1項

その他、電気的特性、短絡保護用センス抵抗設定、許容入力パルス幅、ダミー端子の電位、熱抵抗などの差異があります。詳細につきましては、各製品のデータシート等を参照ください。

第2章 諸特性及び機能

2.1 スペック

スペックについて PSS35SA2FT (35A/1200V)を代表例として説明します。
他の形名および詳細は、各製品のデータシートを参照ください。

2.1.1 最大定格

最大定格を、表 2-1 に示します。

表 2-1 PSS35SA2FT の最大定格

最大定格(指定のない場合は、 $T_j=25^\circ\text{C}$)

インバータ部

記号	項目	条件	定格値	単位
V_{CC}	電源電圧	P-NU, NV, NW端子間	900	V ← ①
$V_{CC(surge)}$	電源電圧(サージ)	P-NU, NV, NW端子間	1000	V ← ②
V_{CES}	コレクタ・エミッタ間電圧		1200	V ← ③
$\pm I_C$	コレクタ電流	$T_C=25^\circ\text{C}$ (注1)	35	A ← ④
$\pm I_{CP}$	コレクタ電流(ピーク)	$T_C=25^\circ\text{C}$, 1ms以下	70	A
P_C	コレクタ損失	$T_C=25^\circ\text{C}$, 1素子当り	117.6	W
T_j	接合温度		-30~+150	$^\circ\text{C}$ ← ⑤

注1. パルス幅と周期は接合温度により制限されます。

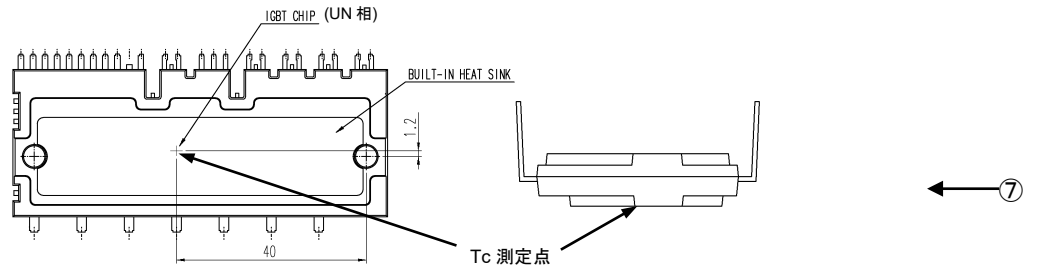
制御(保護)部

記号	項目	条件	定格値	単位
V_D	制御電源電圧	$V_{P1}-V_{PC}$, $V_{N1}-V_{NC}$ 端子間	20	V
V_{DB}	制御電源電圧	$V_{UFB}-V_{UFS}$, $V_{VFB}-V_{VFS}$, $V_{WFB}-V_{WFS}$ 端子間	20	V
V_{IN}	入力電圧	U_P , V_P , W_P-V_{PC} , U_N , V_N , W_N-V_{NC} 端子間	-0.5~ $V_D+0.5$	V
V_{FO}	エラー出力印加電圧	F_O-V_{NC} 端子間	-0.5~ $V_D+0.5$	V
I_{FO}	エラー出力電流	F_O 端子のシンク電流値	5	mA
V_{SC}	電流検出入力電圧	$CIN-V_{NC}$ 端子間	-0.5~ $V_D+0.5$	V

全システム

記号	項目	条件	定格値	単位
$V_{CC(PROT)}$	電源電圧自己保護範囲(短絡)	$V_D=13.5\sim 16.5\text{V}$, インバータ部 $T_j=125^\circ\text{C}$ スタート, 2 μs 以内, 非繰り返	800	V ← ⑥
T_C	動作モジュール温度	(注2)	-30~+100	$^\circ\text{C}$
T_{stg}	保存温度		-40~+125	$^\circ\text{C}$
V_{iso}	絶縁耐圧	正弦波 60Hz, AC 1分間, 全端子共通-ヒートシンク間	2500	Vrms

注2. ケース温度 T_C の測定点を下図に規定します。



P側, N側でスイッチング方法が異なる二相変調やハイサイドチョッピングなど制御方式あるいは変調率によっては、他の相のチップ(IGBTもしくはFWDi)直下の T_C の方が温度が高くなる可能性がありますので、そのような場合には、2.3.2項のチップ配置図を参考に T_C 測定点を変更してください。

各項目の説明

- ① V_{CC} 内蔵IGBTがスイッチングしていない状態で、P-N端子間に印加できる最大直流電源電圧。この電圧を超えるような場合は、ブレーキ回路等による制限をかける必要があります。
- ② $V_{CC(surge)}$ 内蔵IGBTがスイッチングしている状態で、P-N端子間に現れるサージ電圧の最大値。この電圧を超えないように、母線のインダクタンスを低減したり、スナバ回路を接続する必要があります。
- ③ V_{CES} 内蔵IGBTのC-E間に印加できる最大電圧定格。
- ④ $\pm I_C$ $T_C=25^\circ\text{C}$ の条件で、通電可能な電流値です。パルス幅及び周期は、接合温度により制限されます。
- ⑤ T_j 接合温度の最大定格は瞬時 150°C ですが、安全動作させるための平均動作接合温度は 125°C 以下を推奨します。また、温度変化 ΔT_j は、寿命に影響しますので3.1.10項の寿命カーブを参照して設計してください。
- ⑥ $V_{CC(PROT)}$ 内蔵のIGBTが短絡や過電流状態になった場合に、IPMの保護機能によってIGBTを安全に遮断できる最大電源電圧。この条件を超えると保護できず、素子破壊に至る可能性が高くなります。
- ⑦ T_C 測定点 チップの直下を T_C 測定点としています。外付けヒートシンクを加工し、チップ直下に熱電対があたるようにします。

2. 1. 2 電気的特性 熱抵抗 熱抵抗規格を、表 2-2 に示します。

表 2-2 PSS35SA2FT の熱抵抗規格
熱抵抗

記号	項目	条件	規格値			単位
			最小	標準	最大	
$R_{th(j-c)Q}$	接合・ケース間熱抵抗(注1)	インバータIGBT (1/6 モジュール)	-	-	0.85	°C/W
$R_{th(j-c)F}$		インバータFWDi (1/6 モジュール)	-	-	1.25	°C/W

注1. DIIPMと放熱ヒートシンクとの接触面には、熱伝導のよいグリースを100~200μm程度、均一になるように塗布の上、規定の締め付けトルクにて締め付けることを規定します。(またグリースは使用動作温度範囲内で変質せず、経年変化のないものとします。)
ただし、製品放熱面-ヒートシンク間の熱抵抗は、締め付けた状態におけるグリースの厚さ、グリースの熱伝導率等により異なります。目安として、グリース厚20μm、グリースの熱伝導率が1.0W/m・Kの場合の製品放熱面-ヒートシンク間熱抵抗値(1/6モジュール)は0.2°C/Wとなります。

表 2-2 は、接合-ケース間の定常時の熱抵抗を示しています。大型 DIIPM Ver.6 の熱抵抗は、およそ 10 秒で飽和し定常状態になります。10 秒以下での熱抵抗(過渡熱抵抗)は図 2-1 のとおりです。

図 2-1 の過渡熱抵抗 $Z_{th(j-c)}$ の”1”が、規格表の熱抵抗値に相当します。

PSS35SA2FT のIGBT部の 0.1s における過渡熱抵抗値は、 $0.85(°C/W) \times 0.53 = 0.45 (°C/W)$ となります。

過渡熱抵抗は、定常的に流れるのではなく短時間(ms オーダ)の電流が流れる場合(例えばモータ起動時や短時間のロック時など)の温度上昇を検討する場合に使用します。

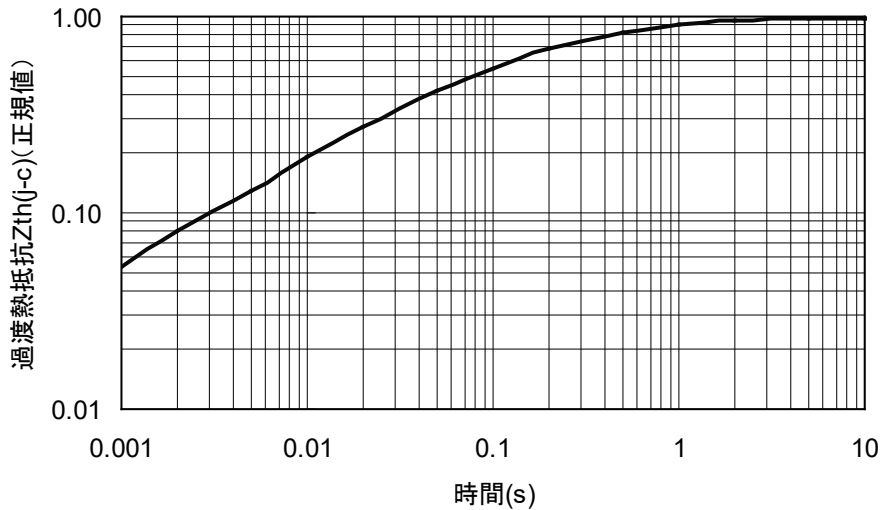


図 2-1 過渡熱抵抗特性(代表例)

2. 1. 3 電気的特性 静特性およびスイッチング特性 静特性およびスイッチング特性の規格を、表 2-3 に示します。

表 2-3 PSS35SA2FT の静特性およびスイッチング特性規格
インバータ部

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
$V_{CE(sat)}$	コレクタ・エミッタ間飽和電圧	$V_D = V_{DB} = 15V$ $V_{IN} = 5V$	$I_C = 35A, T_j = 25°C$	-	1.50	2.20	V
V_{EC}	FWDi順電圧降下	$-I_C = 35A, V_{IN} = 0V$		-	2.20	2.80	V
t_{on}	スイッチング時間	$V_{CC} = 600V, V_D = V_{DB} = 15V$ $I_C = 35A, T_j = 125°C, V_{IN} = 0 - 5V$ 誘導負荷(上-下アーム)		1.20	1.90	2.60	μs
$t_{c(on)}$				-	0.50	0.80	μs
$t_{c(off)}$				-	2.60	3.60	μs
$t_{c(off)}$				-	0.50	0.90	μs
t_r				-	0.50	-	μs
I_{CES}	コレクタ・エミッタ間遮断電流	$V_{CE} = V_{CES}$		$T_j = 25°C$	-	1	mA
				$T_j = 125°C$	-	10	

スイッチング時間の定義、および測定方法については、図 2-2、図 2-3 に示します。
スイッチングはL 負荷(誘導負荷)ハーフブリッジ回路で測定しています。

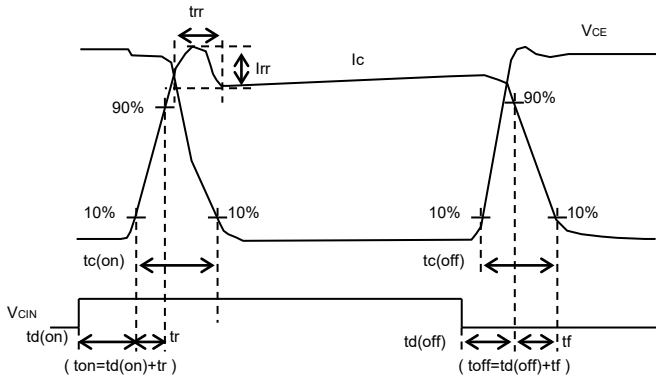
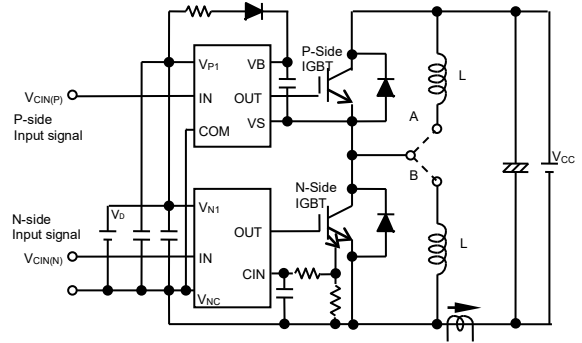
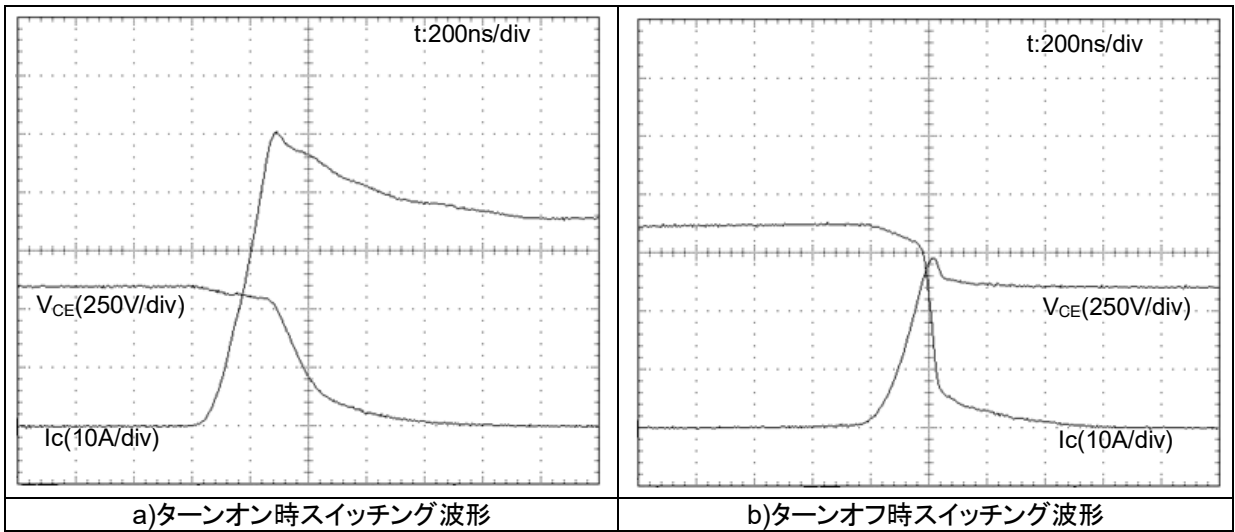


図 2-2 スイッチング時間の定義



N 側評価時は A と接続、P 側評価時は B と接続
図 2-3 L 負荷ハーフブリッジ測定回路



測定条件: $V_{CC}=600V$, $V_D=V_{DB}=15V$, $T_j=125^\circ C$, L 負荷ハーフブリッジ, $I_c=35A$

図 2-4 スイッチング波形(代表例)

2. 1. 4 電気的特性 制御(保護)部の特性 制御(保護)部の規格を、表 2-4 に示します。

表 2-4 PSS35SA2FT の制御(保護)部規格
制御(保護)部

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I_D	回路電流	$V_{P1}-V_{PC}$, $V_{N1}-V_{NC}$ の総和	$V_D = 15V, V_{IN} = 0V$	-	-	5.60	mA
			$V_D = 15V, V_{IN} = 5V$	-	-	5.60	
I_{DB}	回路電流	$V_{UFb}-V_{UFS}$, $V_{VFB}-V_{VFS}$, $V_{WFB}-V_{WFS}$	$V_D = V_{DB} = 15V, V_{IN} = 0V$	-	-	1.10	mA
			$V_D = V_{DB} = 15V, V_{IN} = 5V$	-	-	1.10	
I_{SC}	短絡保護トリップレベル	$-30^\circ C \leq T_j \leq 125^\circ C$, $R_s=48.7\Omega$ (精度 $\pm 1\%$ 以内) NU, NV, NW-N1間シャント抵抗無し時 (注1)		59.5	-	-	A
UV_{DBt}	P側制御電源電圧	$T_j \leq 125^\circ C$	トリップレベル	10.0	-	12.0	V
UV_{DBr}	低下保護		リセットレベル	10.5	-	12.5	V
UV_{Dt}	N側制御電源電圧		トリップレベル	10.3	-	12.5	V
UV_{Dr}	低下保護		リセットレベル	10.8	-	13.0	V
V_{FOH}	エラー出力電圧	$V_{SC} = 0V, F_O = 10k\Omega$ 5V プルアップ		4.9	-	-	V
V_{FOL}	エラー出力電圧	$V_{SC} = 1V, I_{FO} = 1mA$		-	-	0.95	V
t_{FO}	エラー出力パルス幅	$C_{FO} = 22nF$ (注2)		1.6	2.4	-	ms
I_{IN}	入力電流	$V_{IN} = 5V$		0.7	1.0	1.5	mA
$V_{th(on)}$	入力オンしきい電圧	$U_P, V_P, W_P-V_{PC}, U_N, V_N, W_N-V_{NC}$ 端子間		-	-	3.5	V
$V_{th(off)}$	入力オフしきい電圧			0.8	-	-	V
V_{OT}	アナログ温度出力	LVIC温度 = $75^\circ C$, プルダウン抵抗 $5.1k\Omega$ 接続時 (注3)		2.26	2.38	2.51	V
V_F	ブートストラップDi順電圧降下	$I_F=10mA$, 制限抵抗の電圧降下含む		0.5	0.9	1.3	V
R	制限抵抗値	ブートストラップDiに内蔵		16	20	24	Ω

注1. 本短絡保護はN側IGBT部にて分流したセンス電流を検出しており、下アームのみ動作します。外部シャント抵抗を主電流の経路に接続した場合、保護レベルは変化いたします。詳細につきましては、短絡保護の説明部を参照ください。
 注2. エラー出力は、短絡保護・N側(V_D)制御電源電圧低下保護時のみ出力します。所望の t_{FO} 時の C_{FO} の計算式を示します。 $(C_{FO} = t_{FO} \times (9.1 \times 10^{-6}) [F])$
 注3. 自己温度保護動作、エラー(F_O)出力はいたしません。本出力が、設定の温度保護レベルに達した時は、システム側で直ちにスイッチング動作を停止してください。

上記内容は電流定格によって規格など異なりますので詳細は各製品のデータシートを確認ください。

2. 1. 5 推奨使用条件

推奨使用条件を、表2-5に示します。

DIIPMを安全に使用するためには極力、推奨使用条件範囲内で使用されるようお願いいたします。

表 2-5 PSS35SA2FT の推奨使用条件
推奨使用条件

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V_{CC}	電源電圧	P-NU, NV, NW 端子間	350	600	800	V	
V_D	制御電源電圧	$V_{P1}-V_{PC}$, $V_{N1}-V_{NC}$ 端子間	13.5	15.0	16.5	V	
V_{DB}	制御電源電圧	$V_{UFB}-V_{UFS}$, $V_{VFB}-V_{VFS}$, $V_{WFB}-V_{WFS}$ 端子間	13.0	15.0	18.5	V	
$\Delta V_D, \Delta V_{DB}$	制御電源電圧変動率		-1	-	+1	V/ μ s	
t_{dead}	上下アーム休止時間	各アーム段入力に対応, $T_C \leq 100^\circ\text{C}$	3.0	-	-	μ s	
f_{PWM}	PWM制御入力信号	$T_C \leq 100^\circ\text{C}$, $T_J \leq 125^\circ\text{C}$	-	-	20	kHz	
I_o	許容実効電流	$V_{CC} = 600\text{V}$, $V_D = V_{DB} = 15\text{V}$, P.F = 0.8, 正弦波出力 $T_C \leq 100^\circ\text{C}$, $T_J \leq 125^\circ\text{C}$ (注1)	$f_{PWM} = 5\text{kHz}$	-	-	19.1	Arms
			$f_{PWM} = 15\text{kHz}$	-	-	12.8	
PWIN(on)	許容最小入力パルス幅	350 $\leq V_{CC} \leq 800\text{V}$, 13.5 $\leq V_D \leq 16.5\text{V}$, 13.0 $\leq V_{DB} \leq 18.5\text{V}$, -20 $^\circ\text{C} \leq T_C \leq 100^\circ\text{C}$, Nライン配線インダクタンス 10nH以下 (注3)	(注2) 定格電流以下	1.5	-	-	μ s
定格電流~ 定格電流の1.7倍			3.5	-	-		
V_{NC}	V_{NC} 端子変動	$V_{NC}-\text{NU, NV, NW}$ 端子間の電位差, サージ電圧含む	-5.0	-	+5.0	V	
T_J	接合温度		-20	-	+125	$^\circ\text{C}$	

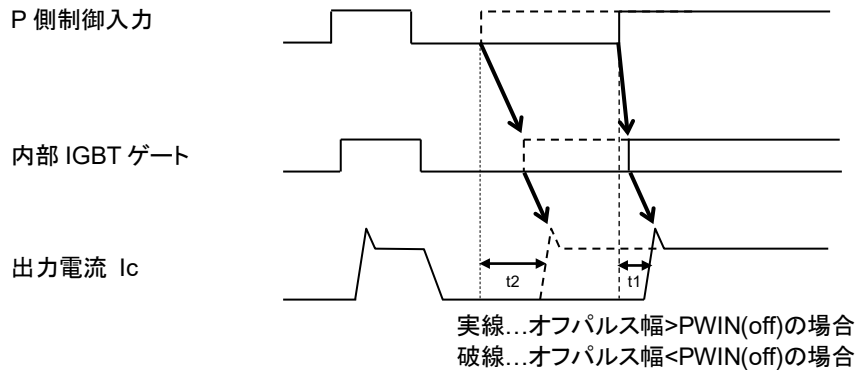
注1. 許容実効電流に関しては、使用条件によって変わります。

注2. PWIN(on)未満のパルス幅の入力オン信号には出力が応答しないことがあります。

注3. PWIN(off)未満のパルス幅の入力オフ信号には出力が応答しない、またはP側のみターンオン時間が長くなる場合があります。

ただし、この場合においても入力オンの状態にて出力オフの状態を維持し続けることはありません。詳細は下記タイミング図を参照ください。

・許容最小入力パルス幅PWIN(off)以下の信号を印加した場合の出力動作 (P側のみ)



上記内容は電流定格によって規格など異なりますので詳細は各製品のデータシートを確認ください。

PSS75SA2FTの短絡保護トリップレベルや制御電源電圧の推奨使用条件につきましては、2.2.1項(短絡保護)を併せて確認ください。

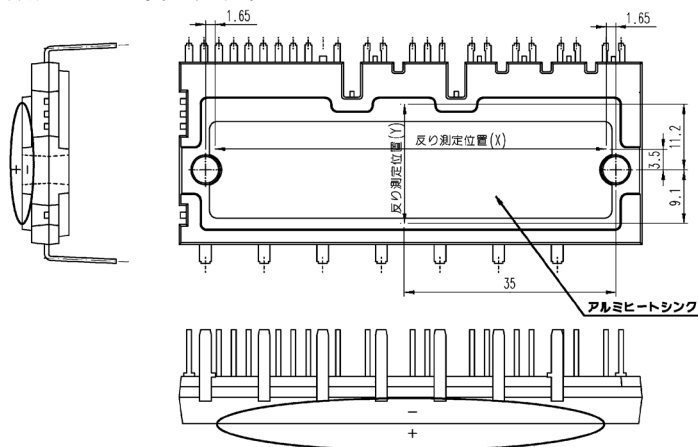
2. 1. 6 機械的定格および特性

機械的定格および特性規格を、表2-6に示します。取り付け方法については、2. 4項を参照ください。

表 2-6 PSS35SA2FT の機械的定格および特性
機械的定格及び特性

記号	項目	測定条件		準拠規格	規格値			単位
					最小	標準	最大	
-	締付けトルク強度	取付けネジ(M4)	推奨値 1.18N・m	-	0.98	1.18	1.47	N・m
-	端子引張り強度	荷重	19.6N	JEITA-ED-4701	10	-	-	s
-	端子曲げ強度	荷重	9.8Nにて 90度 曲げ	JEITA-ED-4701	2	-	-	回
-	質量			-	-	46	-	g
-	放熱面平面度			-	-50	-	100	μm

放熱面平面度測定位置

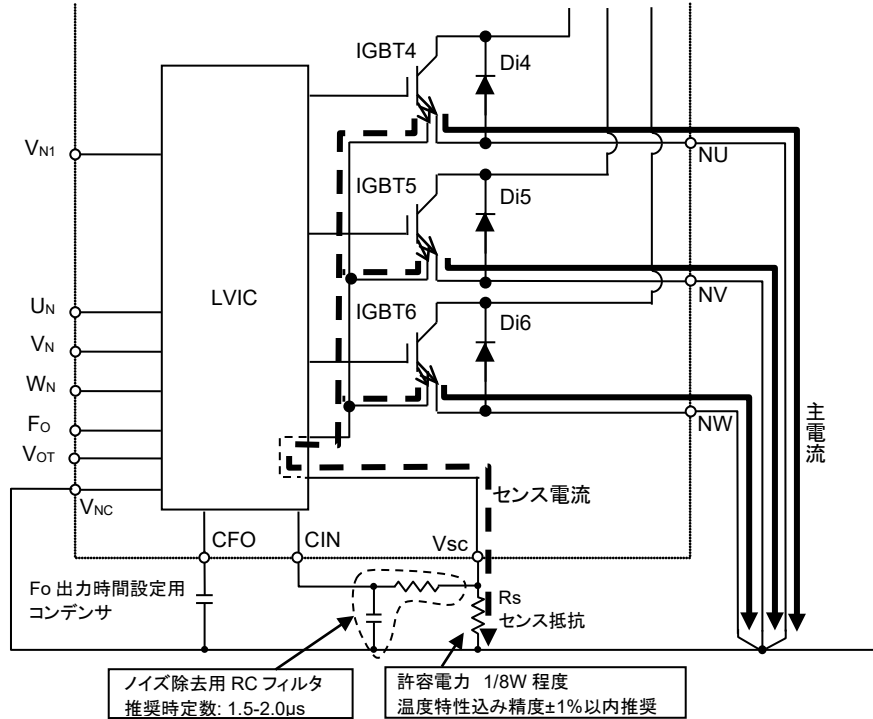


2. 2 保護機能とシーケンス

本製品には、短絡保護及び制御電源電圧低下保護の各保護機能とLVIC温度のアナログ出力機能があります。各機能について以下に説明します。

2. 2. 1 短絡保護

本製品の短絡保護機能は、N側IGBT部で主電流から分流した微小なセンス電流を検出する方式を採用しています。



※センス抵抗の許容電力につきましては、目安として記載していますので実システムなどにて十分ご評価願います。

図2-5 短絡保護回路

短絡保護時には、センス電流がセンス抵抗を流れることによって発生する電圧を、DIIPM の CIN 端子にフィードバックさせることで、短絡保護が可能になります。表 2-7 に規定のセンス抵抗値と短絡保護電流値を示します。なお PSS75SA2FT (75A/1200V)で短絡保護トリップレベル下限値を定格の 1.7 倍(127A)以上にするためには $14.0 \leq V_D \leq 16.5V$, $13.5 \leq V_{DB} \leq 18.5V$ でご使用ください。

短絡保護動作に入ると、N 側の IGBT3 相分のゲートをハード遮断し、CFO 端子に接続した外付けコンデンサの容量によって設定される時間(t_{FO})、Fo 信号を出力します。(出力パルス幅 $C_{FO} = t_{FO} \times 9.1 \times 10^{-6}$ [F])

スイッチング時のリカバリー電流や、ノイズによる保護回路の誤動作を防ぐため、CIN 端子への入力前にRCフィルタを設置してください。その際、DIIPMの短絡時自己保護範囲が2µsであるため、短絡時にIGBTが2µsで遮断されるようにフィルタの時定数を設定願います。(推奨時定数 1.5~2µs 程度)また、RCフィルタの抵抗値はセンス抵抗値の 10 倍以上(100 倍推奨)としてください。

表 2-7 短絡保護電流値 $T_j = -30 \sim 125^\circ C$, NU, NV, NW 端子に外部シャント抵抗未接続時

	Rs	Min.	制御電源電圧条件
PSS75SA2FT	21.0Ω	127A	$14.0 \leq V_D \leq 16.5V$, $13.5 \leq V_{DB} \leq 18.5V$
	24.3Ω	110A	
PSS50SA2FT	34Ω	85.0A	$13.5 \leq V_D \leq 16.5V$, $13.0 \leq V_{DB} \leq 18.5V$
PSS35SA2FT	48.7Ω	59.5A	
PSS25SA2FT	75Ω	42.5A	
PSS15SA2FT	100Ω	25.5A	
PSS10SA2FT	130Ω	17.0A	
PSS05SA2FT	261Ω	8.5A	

センス抵抗値のばらつき・温度変化が大きいと短絡保護レベルのばらつきにつながりますので、温度特性の良い、標準値±1%以下の精度でインダクタンスの小さな抵抗をご使用ください。

センス抵抗の必要許容電力については、主電流とセンス電流の分流比の最大値(センス電流が最も分流されて多く流れる)が、約4000分の1であることより見積もり可能です。以下にPSS35SA2FTの場合の計算例を示します。

[計算例]

(1) 通常使用時

通常使用時の最大主電流を余裕を見て定格の 35A、センス抵抗値を 48.7Ω とした場合、この電流が常に流れたと仮定するとセンス抵抗には、

$$35A / 4000 = 8.8mA$$

のセンス電流が常に流れることとなります。このときの抵抗の損失は、

$$P=I^2 \cdot R=(8.8mA)^2 \times 48.7\Omega = 3.8mW$$

となります。

(2) 短絡発生時

短絡時には、主電流は、条件にもよりますが最大で IGBT の飽和電流(概ね定格の 10 倍 = 350A)まで流れる可能性があります。そのため、センス電流は、

$$350A / 4000 = 87.5mA$$

となりますが、この電流は、短絡保護により $t=2\mu s$ で遮断されますので、このときの平均損失は

$$P=I^2 \cdot R \cdot t/T = (87.5mA)^2 \times 48.7\Omega \times 2\mu s / 1s = 0.0007mW$$

となります。この時の抵抗器に発生する電圧は、

$$V=87.5mA \times 48.7\Omega = 4.3V$$

となります。

以上より、許容損失 0.03W 以上の抵抗で問題ないと考えますが、最終的には実システムにて十分評価してください。

最終的に、CIN 端子に電圧が印加されてから IGBT のゲートが遮断されるまでには、IC 内の伝達遅れ時間が余分にかかります。IC 内部での遅れ時間を表 2-8 に示します。

表 2-8 短絡保護回路遅れ時間

項目	typ.	max.	単位
SC 遮断時間	0.5	1.0	μs

センス抵抗に短絡保護レベルを超える電圧が発生後、IGBT のゲートを遮断するまでの時間は、外部 RC フィルタでの遅れ時間とこの IC 内部での遅れ時間の和になります。

[短絡保護動作シーケンス(N 側のみ)]

- a1. 正常動作=IGBT オン=出力電流有り
- a2. 過電流検出(SCトリガ)・・・RC 時定数は、2μs 以内に遮断するように最適遮断時間を設定(1.5~2.0μs 以下推奨)
- a3. N側全相の IGBT ゲートをハード遮断
- a4. N側全相の IGBT がオフ
- a5. Fo 出力・・・外付けコンデンサ C_{F0} で Fo 出力時間(Fo パルス幅)を設定
- a6. 入力 “L”=オフ
- a7. Fo 出力終了。入力 “H”途中でも次のオン信号(L→H)が入力されるまで、IGBT はオフ状態。
(各相への入力で相ごとに通常状態に復帰します)
- a8. 正常動作=IGBT オン=出力電流有

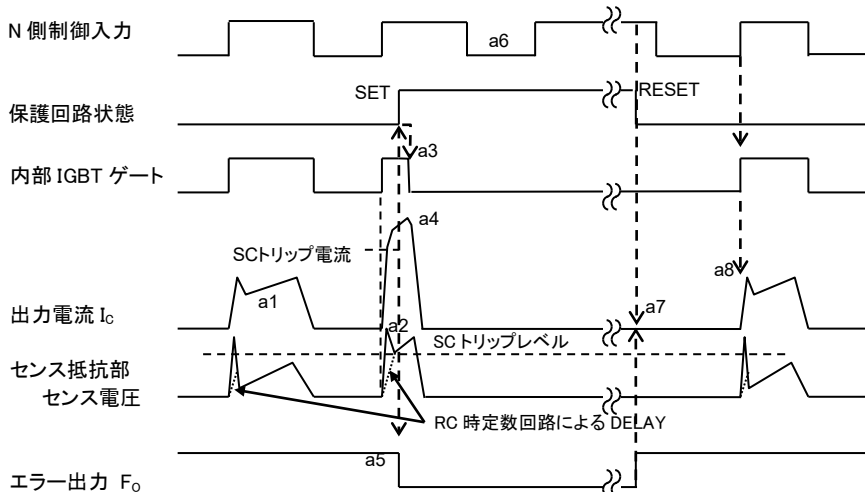


図 2-6 短絡保護動作シーケンス

[センス方式による短絡保護について]

本機能はアーム短絡、負荷短絡時などの過大な短絡電流が流れる際の短絡保護を目的としています。モータの減磁保護など電流検出精度が必要な過電流保護には、主電流が流れるNU,NV,NW端子に外部シャント抵抗を接続し、主電流を直接モニタする方法を推奨いたします。ただし、外部シャント抵抗を接続した場合、分流比が変化するためセンス抵抗による短絡保護電流値は、表2-7に記載の電流値から下がりますので規定のセンス抵抗値の見直しが必要となる場合があります。表2-9にPSS35SA2FTのシャント抵抗接続時の短絡保護電流値例(Min.)を示します。(シャント抵抗値挿入時のセンス抵抗値などにつきましては、当社までお問い合わせください。)

表 2-9 外部シャント抵抗挿入による短絡保護電流値変化例 (PSS35SA2FT でセンス抵抗に規定の 48.7Ω 接続時)

外部シャント抵抗値	短絡保護電流値(Min.)
なし	59.5A
2mΩ	49.8A

また、外部シャント抵抗値を大きくした場合、シャント抵抗による電圧降下分IGBTのゲート電圧が低下し、飽和電流値が低下しますので各製品におけるシャント抵抗値の最大値は表2-10に示す値以下を推奨いたします。

短絡電流遮断時に発生するサージ発生を抑制するためシャント抵抗は寄生インダクタンスの小さいものを選び、NU,NV,NW端子からの配線距離は最短としてください。

表 2-10 推奨外部シャント抵抗最大値

	Rs
PSS75SA2FT	5mΩ
PSS50SA2FT	7mΩ
PSS35SA2FT	10mΩ
PSS25SA2FT	14mΩ
PSS15SA2FT	23mΩ
PSS10SA2FT	34mΩ
PSS05SA2FT	67mΩ

短絡、過電流保護の方法として、センス機能を使用せず、1200V DIIPM など従来品と同様に外部シャント抵抗の電圧を Cin 端子に入力して短絡・過電流保護を行う方法もあります。この場合の外部保護回路例を、図 2-7 に示します。

外部保護回路の保護レベルの設定は定格電流の 2 倍以下としてください。その際、コンパレータのトリップ電圧を 0.5V 程度とし、短絡保護電流値が定格の 2 倍以下となるようなシャント抵抗値を選択してください。(例 PSS35SA2FT(定格 35A)で定格 2 倍電流で保護する場合、 $R=0.5V/70A=7.2m\Omega$ 以上) なお、本方式で保護を行う場合でもセンス出力である 19 ピンの Vsc 端子はオープンではなく、規定のセンス抵抗を介して GND と接続してください。

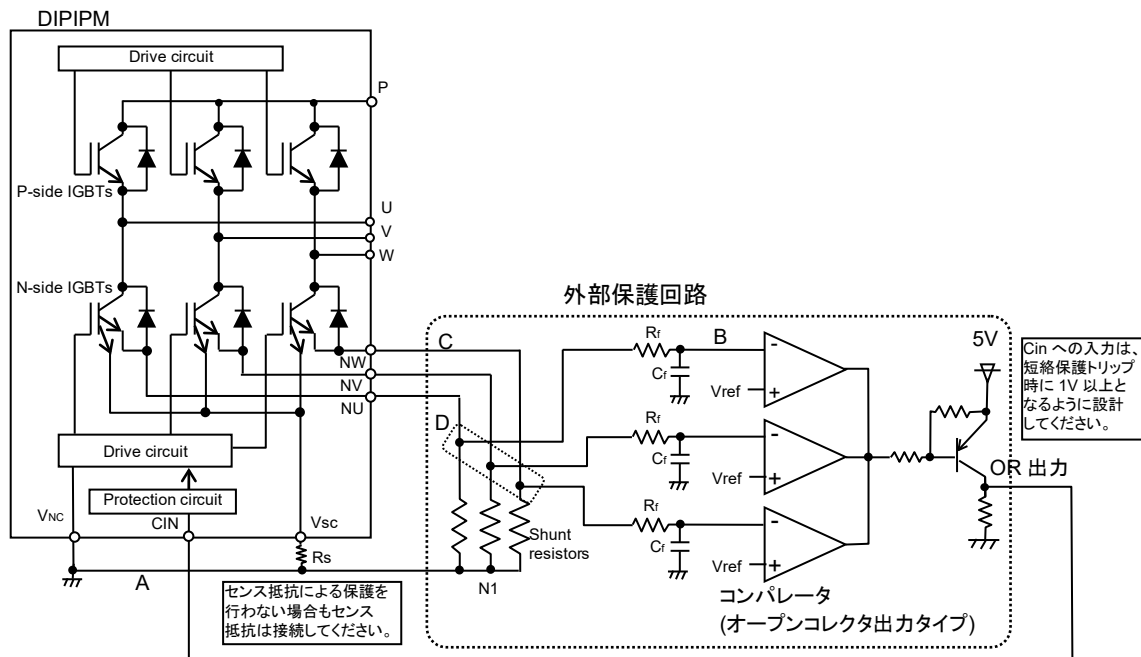


図2-7 センス方式使用しない場合の短絡保護回路例

注:

- 短絡保護の誤動作防止用RCフィルタ(RfCf)の時定数は、短絡時に2μs以下で遮断できるように設定してください。(1.5~2μs推奨) 遮断時間は、配線パターン、コンパレータの反応速度などにも依存します。OR出力にフィルタを挿入する場合はその遅れも考慮してください
- しきい値電圧Vrefは、0.5V程度を推奨します。
- シャント抵抗値は、短絡保護トリップ電流値が定格の2.0倍以下となるように設定してください。
- 誤動作防止のため、A、B、Cの配線は、可能な限り短くしてください。
- コンパレータへの入力の配線は、シャント抵抗の端子部直近(D点)で分岐してください。
- OR出力のHighレベル(保護時出力)は、全温度範囲で1V以上となるように設定してください。

2. 2. 2 制御電源電圧低下保護

制御電源電圧の低下により、IGBTのゲート電圧が低下しますので、推奨電源電圧内で使用してください。

制御電源電圧が低下すると、IGBTを保護するため、制御電源電圧低下保護(UV)が動作します。P側、N側の両方にUV回路はありますが、N側回路でUVが動作したときのみ、Fo信号を出力します。Fo信号は、制御電源電圧が低下している期間出力します。P側はIGBTのゲート遮断のみで、Fo信号は出力しません。また、この保護回路には、ノイズ等による瞬間的な電圧低下での保護動作を除去するため、約10μs(標準値)のフィルタを内蔵しておりますので制御電源電圧がトリップ電圧(UV_{DBt}、UV_{Dt})まで低下した場合でも、約10μs以内であれば保護は働きません。

表 2-11 各制御電源電圧範囲での DIIPM の状態

制御電源電圧範囲(V _D 、V _{DB})	状態
0V~4.0V	電源を入れない状態と同じです。 電源電圧低下保護(UV)が動作せず、Foも出力しません。 IGBTのしきい電圧以下であり、基本的にオンしませんが、外来ノイズ等により誤オンする可能性がありますので制御電源より先にDC-LINK電圧を立ち上げないでください。また、DIIPMの電源が推奨電源電圧範囲(13.5V以上)まで立ち上がるまで入力にオン信号を入力しないようにしてください。
4.0V~UVトリップレベル	制御電源電圧低下保護(UV)動作範囲内 制御入力信号を加えても、スイッチング動作を停止しています。 電源電圧低下保護(UV)が動作し、Foを出力します。(FoはN側のみ)
UVトリップレベル~13.5V	スイッチング動作します。但し推奨範囲外ですので、DIIPMの仕様書で規定しているV _{CE(sat)} ・スイッチング時間共に規格値を外れてコレクタ損失が増加し、接合温度が上昇する可能性があります。
13.5V~16.5V	推奨電源電圧範囲内 のため正常動作します。
16.5V~20.0V	スイッチング動作します。 但し、推奨範囲外ですので、スイッチング時間が高速になりすぎて、短絡時にはチップの短絡耐量が不足し、破壊することがあります。
20.0V~	IPMの制御回路の絶対定格を越えていますので過電圧破壊の可能性があります。

※リップルノイズの規定

制御ICの電源ラインに高周波の急峻なノイズが重畳されると、ICの誤動作が起きてFoを出力し、更には出力を停止(ゲート遮断)することがあります。この誤動作を回避するために、ノイズの変動成分が±1V/μsより穏やかになるよう、リップル電圧が2Vより小さくなるように、電源回路を設計してください。

規定: dV/dt ≤ 1V/μs、V_{ripple} ≤ 2Vp-p

※推奨電源範囲(PSS75SA2FTのみ)

短絡保護トリップレベル下限値を定格の1.7倍(127A)以上にするためには、14.0 ≤ V_D ≤ 16.5V、13.5 ≤ V_{DB} ≤ 18.5Vでご使用ください。詳細は本アプリケーションノートの2.2.1項(短絡保護)および製品のデータシートを確認ください。

制御電源電圧低下保護動作シーケンス(N側、 UV_D)

- a1. 制御電源電圧立上り・ UV_{Dr} にて次のオン信号入力より動作開始 (各相への入力で相ごとに復帰します)
- a2. 正常動作=IGBT オン=出力電流有り
- a3. 制御電源電圧低下 (UV_{Dt})
- a4. N側全相の IGBT オフ・制御入力に関らずオフ
- a5. F_o 動作開始 (C_{Fo} にて設定された F_o パルス幅以上, 制御電源電圧が復帰するまでの間 F_o 出力)
- a6. 制御電源電圧復帰 (UV_{Dr})
- a7. 正常動作=IGBT オン=出力電流有り

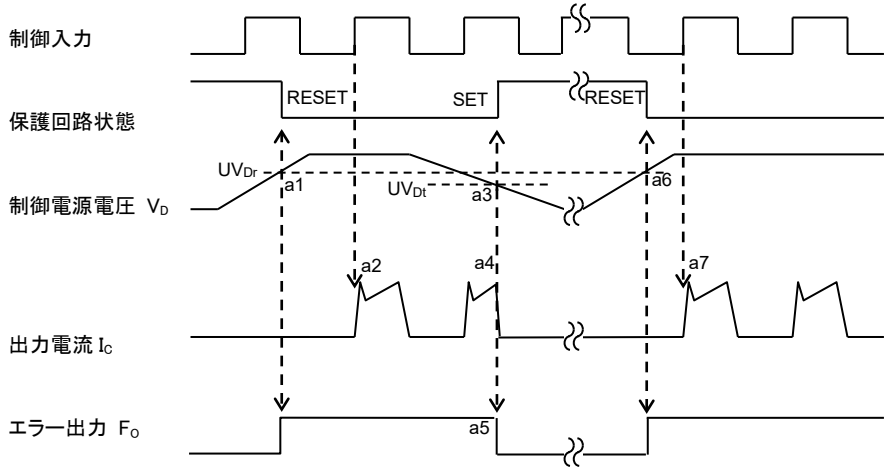


図 2-8 N側制御電源電圧低下保護動作シーケンス

制御電源電圧低下保護動作シーケンス(P側、 UV_{DB})

- b1. 制御電源電圧立上り・ UV_{DBr} にて次のオン信号入力より動作開始 (各相への入力で相ごとに復帰します)
- b2. 正常動作=IGBT オン=出力電流あり
- b3. 制御電源電圧低下 (UV_{DBt})
- b4. 該当相の IGBT オフ・制御入力に関わらずオフ、 F_o 出力は無し
- b5. 制御電源電圧復帰 (UV_{DBr})
- b6. 正常動作=IGBT オン=出力電流あり

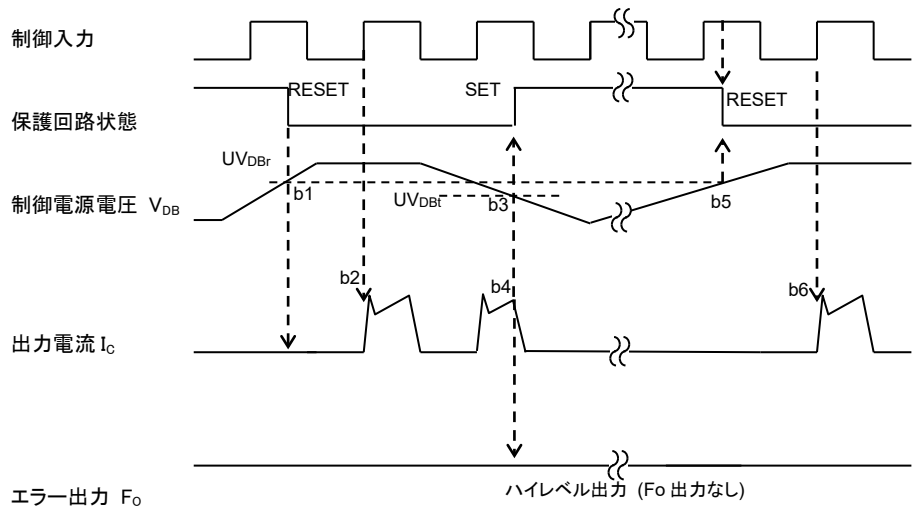


図 2-9 P側制御電源電圧低下保護動作シーケンス

2. 2. 3 温度アナログ出力機能

本温度アナログ出力機能は、制御 IC(LVIC)部に温度検出素子を配置し、LVIC 部の温度を検出し、出力しています。そのため、IGBT、FWDiなどパワーチップの発熱は、内蔵及び外部ヒートシンク、モールド樹脂を介して伝わりますので、モータロックや短絡などパワーチップの急激な温度上昇には、LVIC の温度上昇は追従できません。

本機能は、放熱用のファンの停止など放熱系の故障などによる温度上昇や重負荷継続時の出力制限といった、従来の外付けヒートシンクなどに取り付けられていたサーミスタと同様な方法での使用を推奨いたします。(DIIPM 自身では、保護をいたしませんので温度出力をモニタし、保護が必要な場合は、外部コントローラにてシステムの停止等、保護動作の実施が必要です。)

(1) アナログ温度出力端子(V_{OT} 端子)仕様

V_{OT}端子の出力能力を表 2-12 に示します。V_{OT}出力は、図 2-10 に示しますように温度検出素子の出力を OP アンプで増幅して、V_{OT} 端子に出力する構成としています。

表 2-12 出力電流定格(T_c=-20°C~100°C)

	min.
ソース電流能力	1.7mA
シンク電流能力	0.1mA

*) ソース電流: V_{OT} 端子から流し出す電流
シンク電流: V_{OT} 端子に引き込む電流

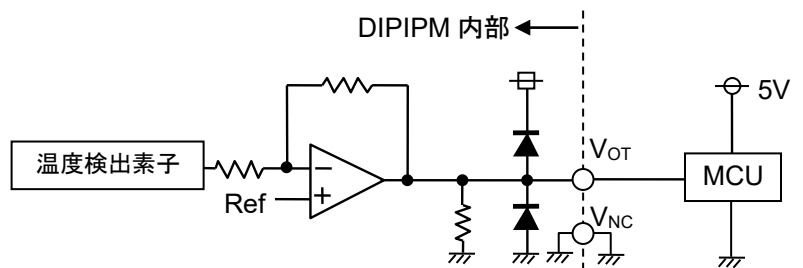


図 2-10 LVIC V_{OT} 端子部回路図

● 室温以下時の V_{OT} 出力について

室温より低い温度時において、出力の線形性が必要な場合、V_{OT}-V_{NC}(=コントローラ GND)間に 5.1kΩ のプルダウン抵抗の設置を推奨いたします。プルダウン抵抗を設置される場合は、V_{OT} 出力電圧 ÷ 抵抗値程度の電流が、LVIC の消費電流として常時余分に流れることとなります。過熱保護のためだけに本出力を使用し、室温以下の出力が不要な場合、プルダウン抵抗は接続不要です。

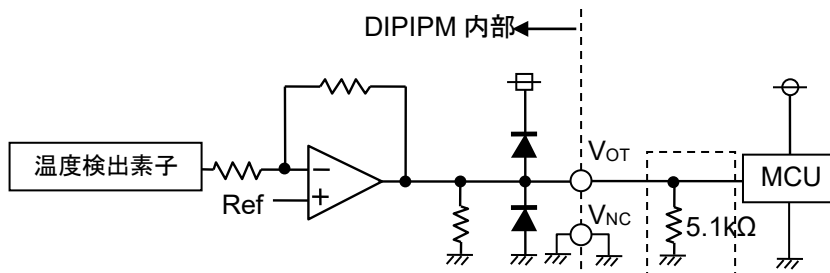


図 2-11 LVIC V_{OT} 端子部回路図 (室温以下出力使用時)

• 低電圧マイコン使用時について

3.3V など低電圧マイコンに本 V_{OT} 出力を入力する場合、温度が上昇した際にマイコンの電源電圧を超える可能性があります。そのため、マイコンの保護のため、 V_{OT} 出力とマイコンの電源(3.3V)の間にクランプダイオードの設置を推奨いたします。(本製品の PWM 入力部は、5V ロジック対応ですのでご注意ください)

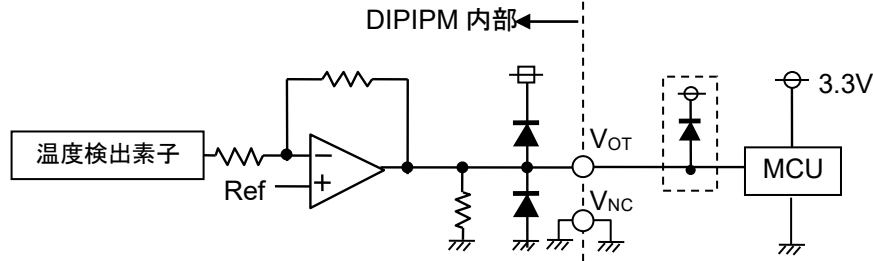


図 2-12 LVIC V_{OT} 端子部回路図 (低電圧マイコン使用時)

また、低電圧(3.3V など)マイコン使用時、保護しきい値がマイコンの電源電圧以上(例: $V_{OT}=3.3V$ 以上)となるような設計が必要な場合、 V_{OT} 出力を抵抗分圧してマイコンの A/D コンバータに入力する方法があります。(図 2-13) その際、分圧抵抗値の合計が上述の $5.1k\Omega$ となるように設定ください。

上述のクランプダイオードの設置は、 V_{OT} 出力は分圧されることから基本的にマイコンの電源電圧以上に上がらないと考えられるため不要と思われるかもしれませんが、設置の要不要は設定した分圧比にて判断ください。

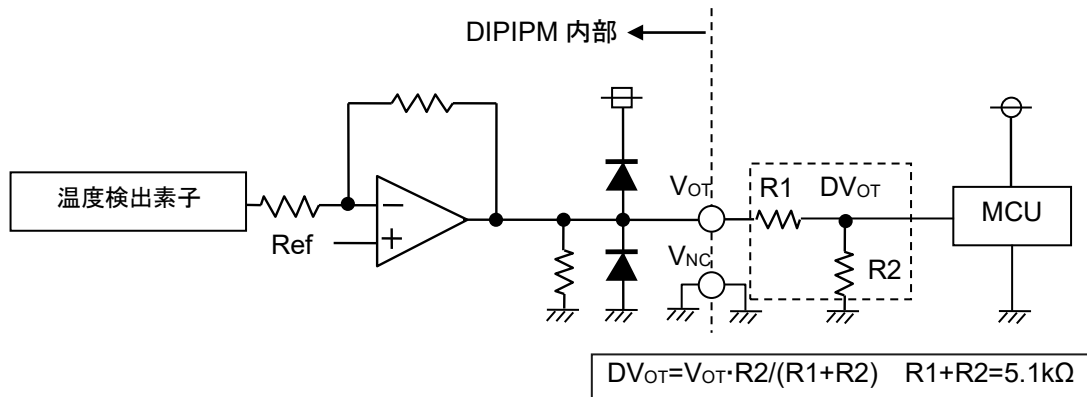


図 2-13 V_{OT} 端子部回路例 (保護しきい値が高い場合)

(2) アナログ温度出力特性

LVIC 温度- V_{OT} 特性を図 2-14 に示します。下図に示す V_{OT} 出力特性はシステムにて過熱保護を設定する際の参考データとしてお取り扱いください。なおスペックにて規定する LVIC 温度以外の特性は設計値です。

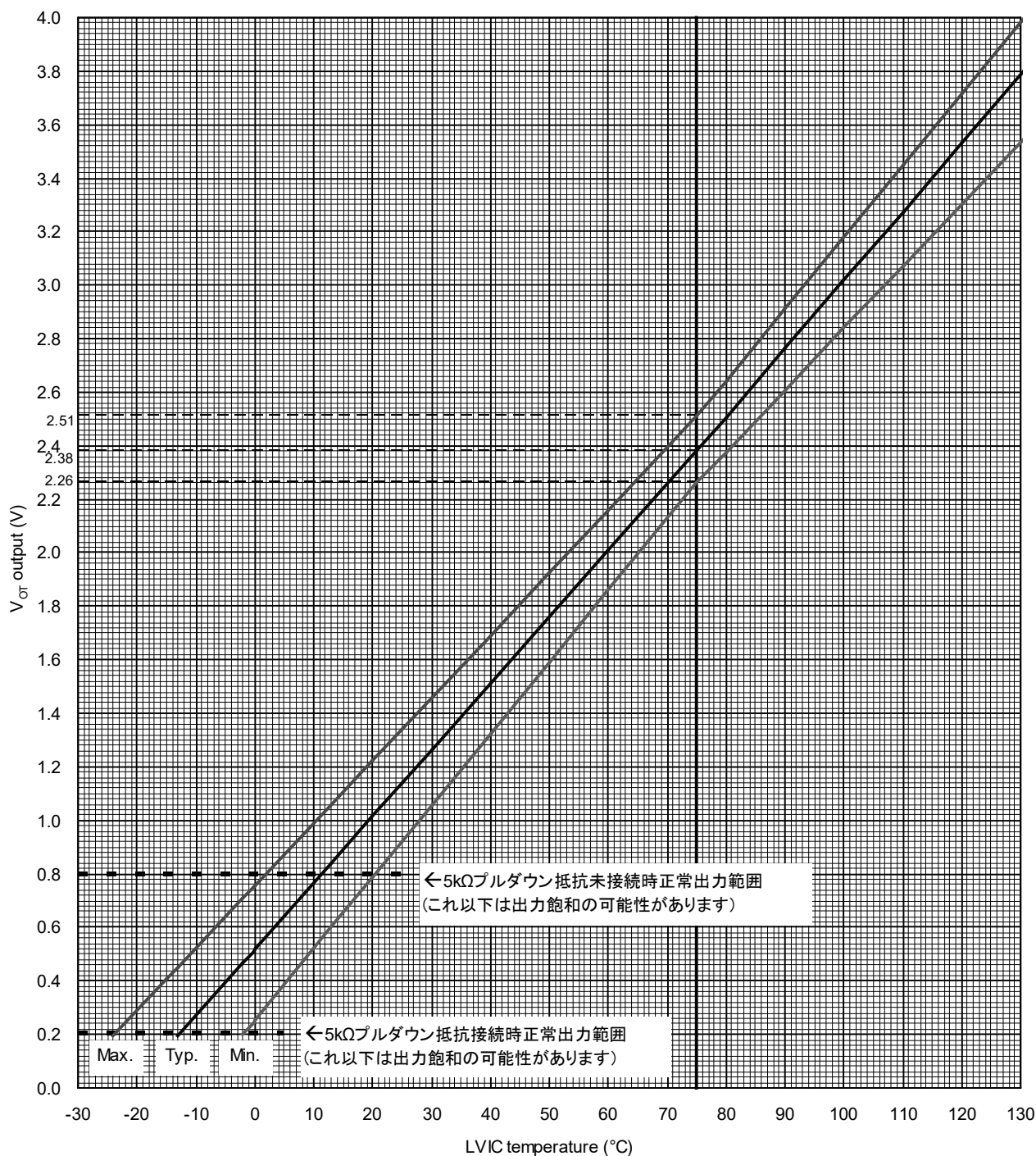


図 2-14 LVIC 温度- V_{OT} 出力電圧関係

(3) 保護温度の設定方法

上述のとおり、パワーチップの発熱は、外部ヒートシンクなどを介して LVIC に伝わりますので、アナログ温度出力される LVIC 温度 (Tic) とパワーチップ接合温度 (Tj)、チップ直下のケース温度 (Tc) の関係は、外部ヒートシンク、放熱条件、制御方法によって異なります。

例として図 2-15 に IGBT 通電時の損失と各温度の関係を示します。

この関係は放熱条件により変わりますので、本温度出力を使用した温度保護設計するためには、パワーチップ接合温度 (Tj)、LVIC 温度 (アナログ温度出力: Tic)、ケース温度 (Tc) の関係を実システム (放熱系) で評価して求めたうえで、温度保護設定値 (Tj=150°C 以下となる範囲) を検討する必要があります。

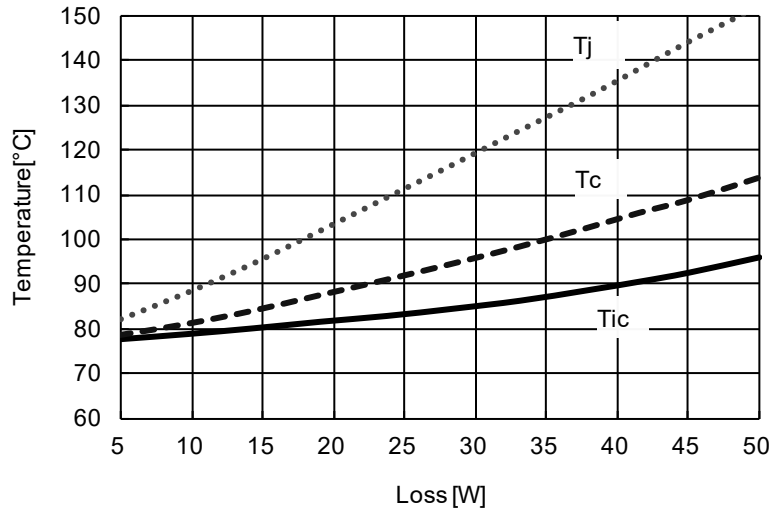


図 2-15 IGBT 1 素子 DC 通電時の IGBT 損失-Tj、Tic、Tc の関係例 (Ta=80°C)

図 2-15 に示した Tj、Tc、Tic の測定結果例を用いて保護設定方法の一例を以下に説明いたします。

温度保護設定手順例を表 2-2-8 に示します。

表 2-13 温度保護設定手順例

	手順	設定値/確認値
1)	設定保護温度の設定	Tj= 130°Cとする。
2)	Tj-Tic 相関グラフ(図 2-16)より保護をかける LVIC 温度を定める。	Tic=87.5°C (@Tj=130°C)
3)	V _{OT} 出力特性より 2) で求めた Tic の時の V _{OT} 出力電圧を図 2-17 から求める	V _{OT} =2.70V (@Tic=87.5°C)を保護設定値とする。

上記手順より、V_{OT}=2.70V をしきい値として保護をかければよいこととなります。ただし、V_{OT} 出力にはばらつきがあるため、そのばらつきによる保護温度範囲がどうなるかの確認 (Tj=150°C 以下であるか) が必要です。確認の手順を表 2-14 に示します。

表 2-14 温度保護範囲確認手順例

	手順	設定値/確認値
4)	3) で求めた V _{OT} 時の Tic の温度バラツキ範囲を図 2-17 で確認する。	Tic=82°C~94°C (@V _{OT} =2.70V)
5)	4) で求めた Tic の範囲から図 2-16 にて接合温度 Tj の保護温度のバラツキを確認する。	Tj=106°C~147°C (←Tj=150°C 以下で問題なし) このときのケース温度は Tc=90°C~111°C となります。

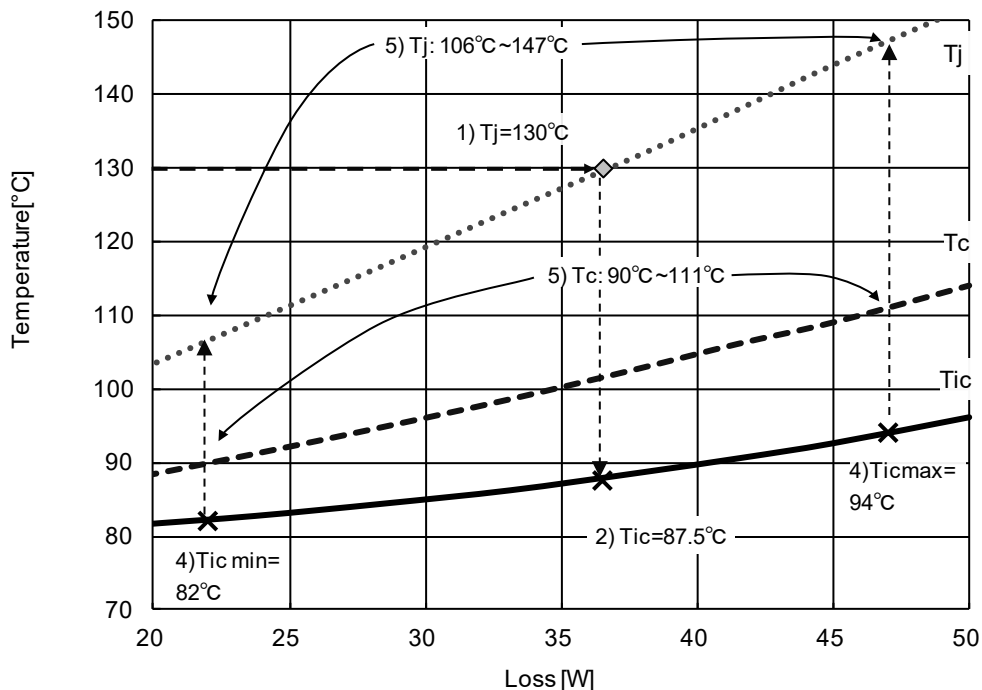


図 2-16 Tj,Tic,Tc 相関 (図 2-15 の拡大図)

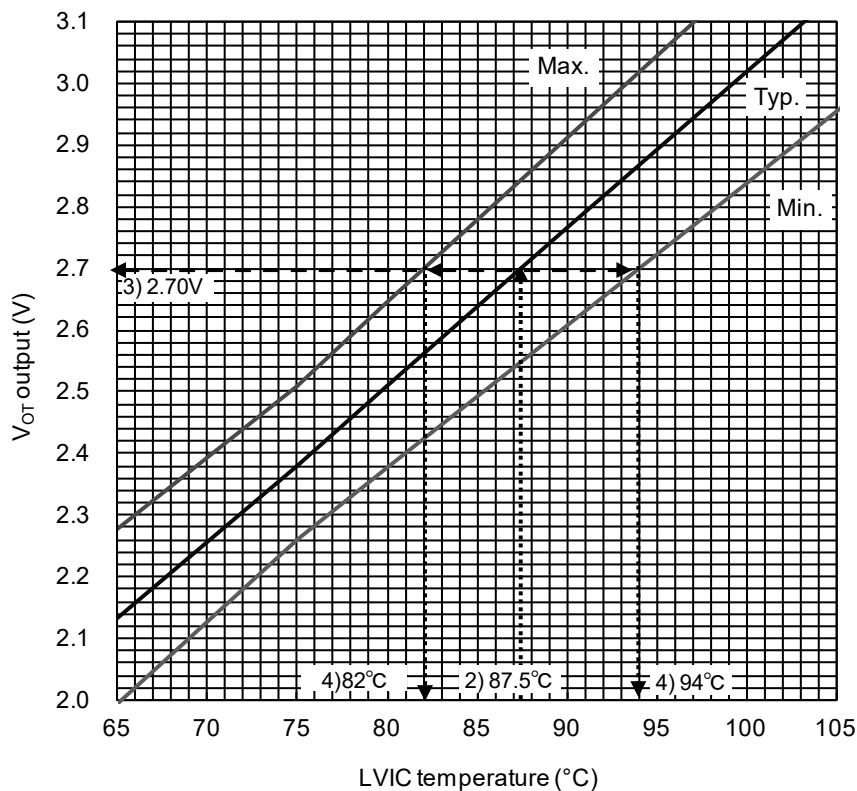


図 2-17 VOT 出力電圧-LVIC 温度関係 (図 2-14 の拡大図)

パワーチップ接合温度、ケース温度、LVIC 温度の関係は放熱条件、制御方法などによって変化いたします。相関データ取得のための V_{OT} 出力特性データ付サンプルをご提供可能ですので、実機動作時の接合温度(損失から計算で求める)、ケース温度(ヒートシンクに取り付けた熱電対などで測定)、LVIC 温度(アナログ温度出力)の関係を取得し、保護温度の設定値をご検討ください。

1200V 大型 DIIPM Ver.6 シリーズ アプリケーションノート

2.3 パッケージ 2.3.1 外形図

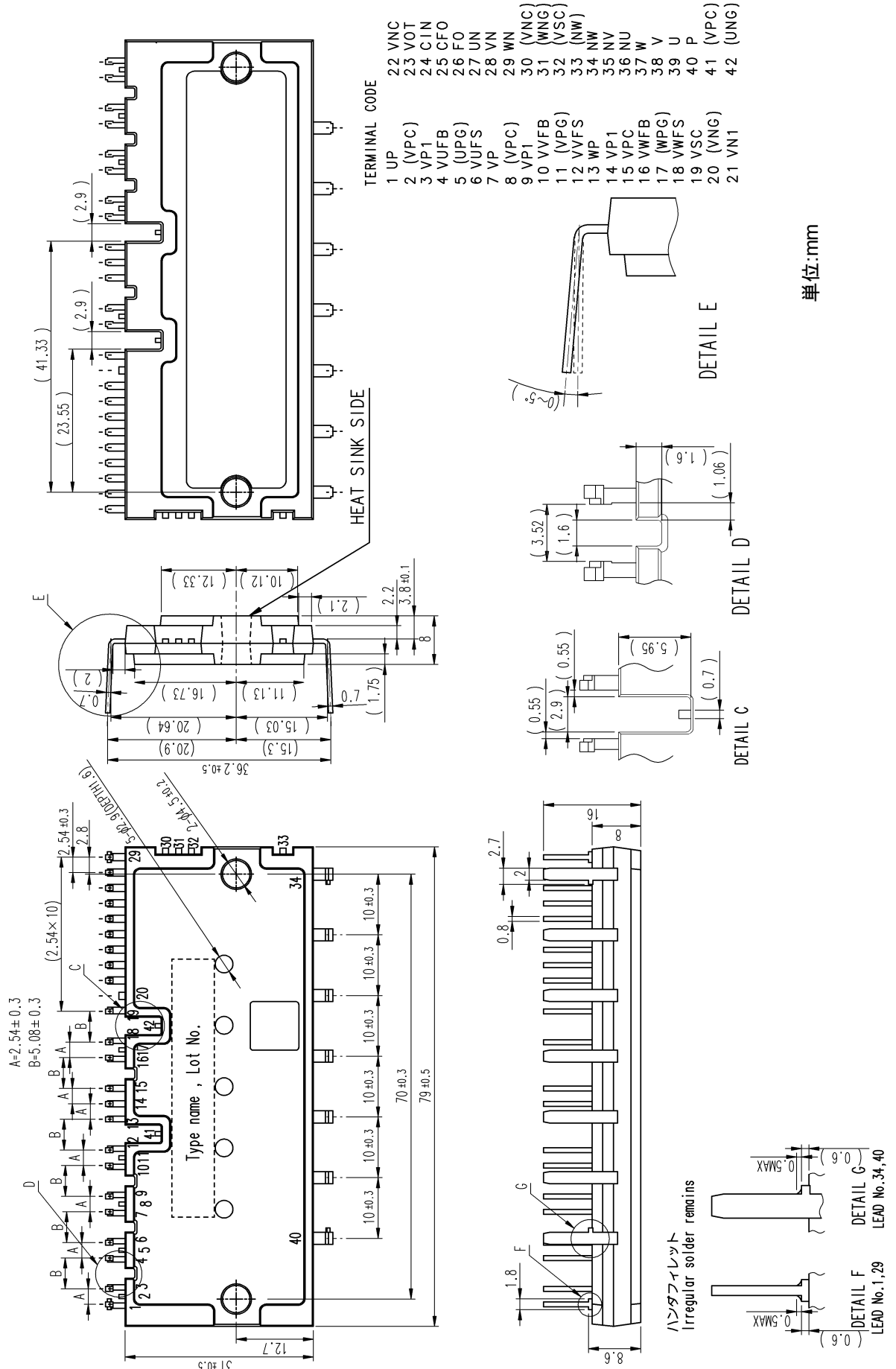


図 2-18 外形図

2.3.2 パワーチップ配置図

各パワーチップの中心位置を図 2-19 に示します。
 なお、本図は、印字面側から見た図です。

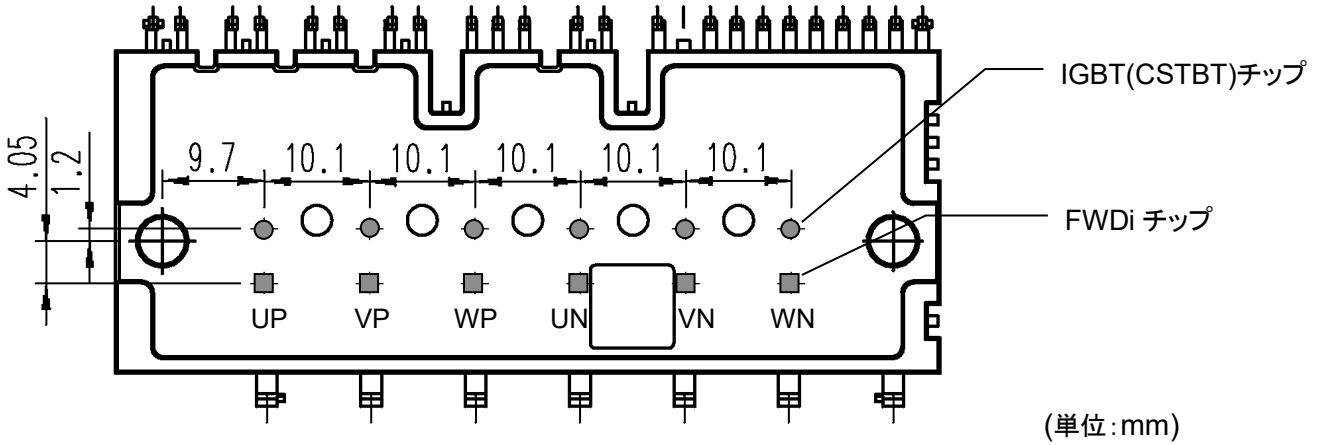


図 2-19 パワーチップ位置

2.3.3 マーキングの位置

図2-20 にレーザーマーキング範囲を示します。
 社名、原産国表示、形名、ロット番号は、モジュール上部(放熱面の反対側)にマーキングされます。

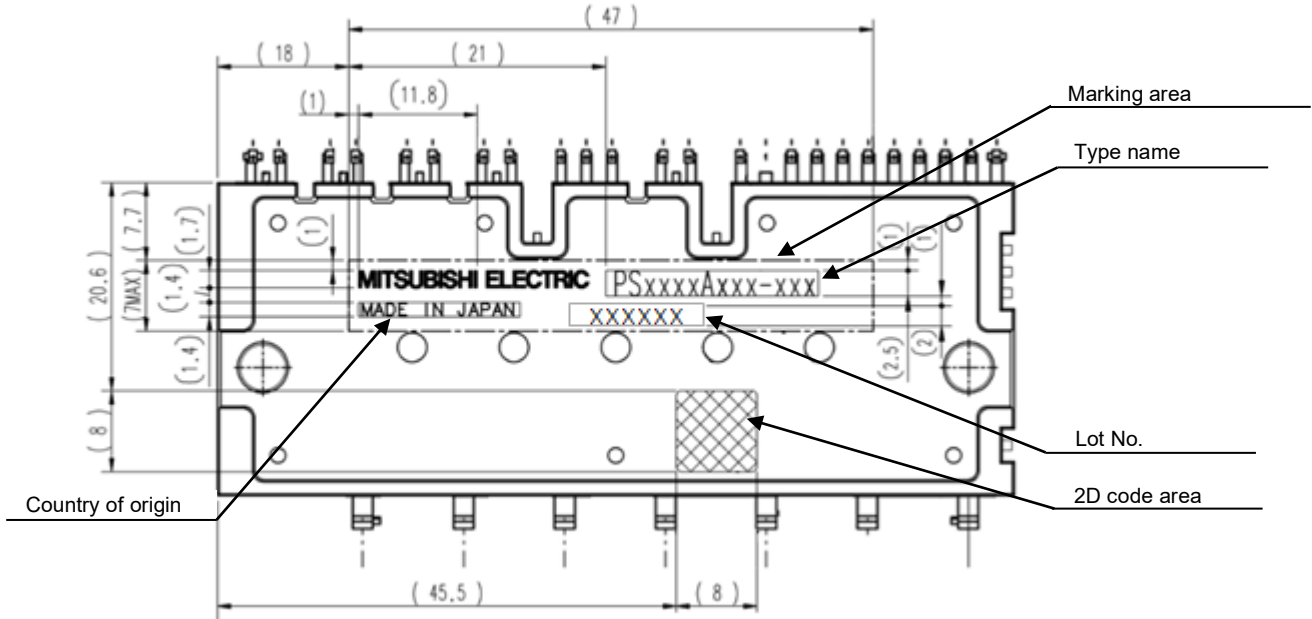
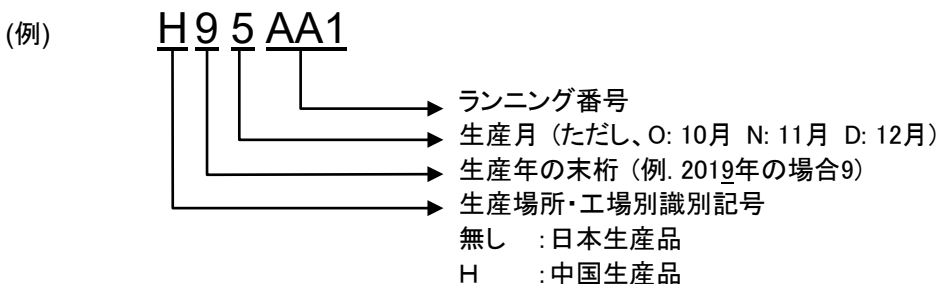


図 2-20 マーキング図

ロット番号は、製造年・月、ランニング番号及び生産国を示します。 詳細は以下のとおりです。



2. 3. 4 端子配列

表 2-15 端子名称

No.	端子名	端子説明
1	U _P	UP 相制御入力信号端子
3	V _{P1}	UP 相制御電源端子
4	V _{UFB}	UP 相駆動電源端子
6	V _{UFS}	UP 相駆動電源 GND 端子
7	V _P	VP 相制御入力信号端子
9	V _{P1}	VP 相制御電源端子
10	V _{VFB}	VP 相駆動電源端子
12	V _{VFS}	VP 相駆動電源 GND 端子
13	W _P	WP 相制御入力信号端子
14	V _{P1}	WP 相制御電源端子
15	V _{PC}	P 側制御電源 GND 端子
16	V _{WFB}	WP 相駆動電源端子
18	V _{WFS}	WP 相駆動電源 GND 端子
19	V _{SC}	センス電流検出端子
21	V _{N1}	N 側制御電源端子
22	V _{NC}	N 側制御電源 GND 端子
23	V _{OT}	温度出力端子
24	CIN	短絡トリップ電圧検出端子
25	CFO	エラー出力パルス幅設定端子
26	F _O	エラー出力端子
27	U _N	UN 相制御入力信号端子
28	V _N	VN 相制御入力信号端子
29	W _N	WN 相制御入力信号端子
34	NW	W 相 N 側 IGBT エミッタ端子
35	NV	V 相 N 側 IGBT エミッタ端子
36	NU	U 相 N 側 IGBT エミッタ端子
37	W	W 相出力端子
38	V	V 相出力端子
39	U	U 相出力端子
40	P	インバータ電源端子

No.	端子名	端子説明
2	V _{PC}	ダミー端子 DIIPM構造上必要な端子です。 電位をもっていますので各端子は 他の端子と接続しないでください。 (ノーコネクト)
5	U _{PG}	
8	V _{PC}	
11	V _{PG}	
17	W _{PG}	
20	V _{NG}	
30	V _{NC}	
31	W _{NG}	
32	V _{SC}	
33	NW	
41	V _{PC}	
42	U _{NG}	

1200V 大型 DIPIPM Ver.6 シリーズ アプリケーションノート

表 2-16 入出力端子

項目	記号	内容
P 側駆動電源端子 P 側駆動電源 GND 端子	$V_{UFB}-V_{UFS}$ $V_{VFB}-V_{VFS}$ $V_{WFB}-W_{WFS}$	<ul style="list-style-type: none"> High-side IGBT 駆動用電源端子です。 V_{DB} が安定していないと誤動作の原因となります。ブートストラップコンデンサと並列に、周波数及び温度特性の良いパスコン(～2μF 程度)を接続されることを推奨します。 制御電源へのサージ電圧吸収用にツェナダイオード(ツェナ電圧 24V、電力損失 1W 程度)を端子近傍に接続することを推奨します。
P 側制御電源端子 N 側制御電源端子	V_{P1} V_{N1}	<ul style="list-style-type: none"> 内蔵 IC の制御側電源端子です。(LVIC と HVIC)。 V_{P1}、V_{N1} は外部基板上で接続してください。 ノイズと電源リップルによる誤動作を抑えるために周波数特性の良い平滑コンデンサを制御端子近傍に接続ください。また、周波数及び温度特性の良いパスコン(～2μF 程度)の接続も推奨します。 電圧リップルは規格内にはいるように設計ください。 制御電源へのサージ電圧吸収用にツェナダイオード(ツェナ電圧 24V、電力損失 1W 程度)を端子近傍に接続することを推奨します。
制御電源 GND 端子	V_{PC} V_{NC}	<ul style="list-style-type: none"> 内蔵 IC の制御側グランド端子です。(HVIC と LVIC) 入力、F_o 出力など制御基準電位となるのでノイズの影響を避けるため、制御GND配線に母線電流が流れないようにしてください。(パワーGND と分けて配線する)
制御入力端子	U_P 、 V_P 、 W_P U_N 、 V_N 、 W_N	<ul style="list-style-type: none"> DIPIPM をスイッチング制御する入力端子です。ハイアクティブ動作します。 電圧駆動タイプです。内部は CMOS 構成のシュミットトリガ回路に接続されています。 ノイズに敏感ですので、パターンは最短としかつ配線に注意してください。ノイズなどが重畳している場合は、RC フィルタを接続してください。RC フィルタを追加する場合、DIPIPM 内部のプルダウン抵抗との分圧になりますのでご注意ください。 RC フィルタ(時定数 100ns 以上)の接続を推奨します(DIPIPM 内部で min3.3kΩ でプルダウンしていますので、RC 時定数設定の際は、オン・オフしきい値に注意願います。)
センス電流検出端子	V_{SC}	<ul style="list-style-type: none"> N 側 IGBT で主電流から分流された電流が流れ出します。この端子と V_{NC} 間に電流検出抵抗を接続し、短絡保護をおこないます。
短絡トリップ 電圧検出端子	CIN	<ul style="list-style-type: none"> センス電流検出端子と V_{NC} 間に接続した電流検出抵抗に発生する電圧を CIN 端子にフィードバックして短絡保護を行います。内部でコンパレータ入力に接続されています。 ノイズによる短絡保護の誤動作を防止するため、RC フィルタ(推奨値時定数 1.5～2μs 程度)を接続してください。
エラー出力端子	F_o	<ul style="list-style-type: none"> DIPIPM の異常状態(N 側の SC、UV 回路動作時)を出力する端子です。 オーブンドレイン出力のため、マイコンに直接入力する際は、5V 系電源に 10kΩ 程度の抵抗でプルアップすることを推奨します。(F_o 出力電圧が、マイコンの入力しきい値を満たすか確認ください。 $V_{F_o} = \max 0.95V (@I_{F_o} = 1mA, 25^\circ C)$ です。) F_o 出力でカプラ駆動する場合は、シンク電流 I_{F_o} の最大定格 5mA を満たすようにプルアップ抵抗値を設定ください。 I_{F_o} が増加すると V_{F_o} も増加するため 15V への接続を推奨します。
エラー出力パルス幅 設定端子	CFO	<ul style="list-style-type: none"> エラー出力時間幅を設定する端子です。 この端子と V_{NC} 間にコンデンサを挿入し、エラー出力時間幅を設定します。コンデンサ容量 22nF 時、エラー出力時間幅 typ 値は、2.4ms となります。 $C_{F_o} = t_{F_o} \times 9.1 \times 10^{-6}$ (F)
温度出力端子	V_{OT}	<ul style="list-style-type: none"> LVIC 温度をアナログ信号で出力する端子です。内部はオペアンプの出力となっています。 室温以下時の出力の線形性が必要な場合、5.1kΩ のプルダウン抵抗を設置してください。
インバータ 電源端子	P	<ul style="list-style-type: none"> インバータの電源端子です。 P-side IGBT のコレクタに接続されています。 パターンのインダクタンス成分によるサージ電圧を抑制するため、平滑コンデンサを P、N 両端子の直近に配置してください。また、周波数特性に優れたフィルムコンデンサの追加も効果的です。
N 側 IGBT エミッタ端子	NU、NV、NW	<ul style="list-style-type: none"> インバータのグランドです。 NU に U 相、NV に V 相、NW に W 相の N 側 IGBT のエミッタが接続されています。
インバータ出力端子	U、V、W	<ul style="list-style-type: none"> インバータ出力用の端子です。 モータなどの負荷を接続します。 内部はハーフブリッジで構成された出力 IGBT の中点に接続されています。

※ スwitching動作時の DIPIPM 制御電源端子、P-N 間電圧のサージ電圧や、入力端子のノイズをオシロスコープなどで確認してください。その際、オシロスコープの時間軸は 1 μ s/div 以下での確認が必要です。
 定格を超えるサージや入力しきい値を超えるようなノイズが重畳しているようであれば、対策(配線見直し、コンデンサの位置、容量の見直し、ツェナ Di の搭載、フィルタの強化など)をご検討ください。

2. 4 取り付け方法

絶縁距離および放熱ヒートシンクに取り付ける場合の注意点を示します。

2. 4. 1 絶縁距離

各空間、沿面距離を表 2-17 に示します。

表 2-17 絶縁距離 (min 値)

	空間距離(mm)	沿面距離(mm)
パワー端子間	7.1	7.8
制御側充電部異電極端子間	3.1	5.6
外部端子-放熱ヒートシンク間	3.7	5.6

2. 4. 2 取り付け方法と注意点

モジュールをヒートシンクなどに取り付ける際、過剰なトルクでの締め付けや、片締めを行うと、パッケージに応力が加わりモジュール内パワー素子などのチップまたは、パッケージ破壊(絶縁劣化)を招くことになります。推奨する締め付け順序例を図 2-21 に示します。締め付け時にはトルクドライバーを使用し、所定のトルクで締めつけてください。また、DIIPMの放熱面とヒートシンク表面に、異物が混入しないようにしてください。正常な取り付け手順を設定した場合でも突発的な過度の締め付けや異物の混入などによるパッケージへのダメージ印加の可能性もあり得ますので、安全性の確保の観点からDIIPM取り付け後の製品でも絶縁検査等の確認作業の実施を推奨いたします。

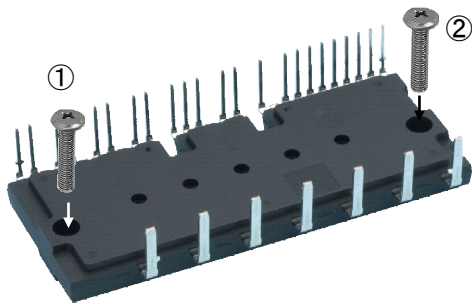


図:2-21 締め付け手順

仮締め①→②

本締め①→②

交互に締めるのであれば、順番はどちらを先にしても問題ありません。

* : 仮締めの締め付けトルクは最大定格の 20~30%を目安に設定してください。

表 2-18 締付トルク強度規格とヒートシンクの必要平面度

項目	条件	最小値	標準値	最大値	単位
締付トルク強度	推奨値 1.18N・m、取付けねじ:M4	0.98	—	1.47	N・m
ヒートシンク平面度	外付けヒートシンクの平面度	-50	—	+100	μm

外付けヒートシンクの平面度は、図 2-22 のように規定しています。

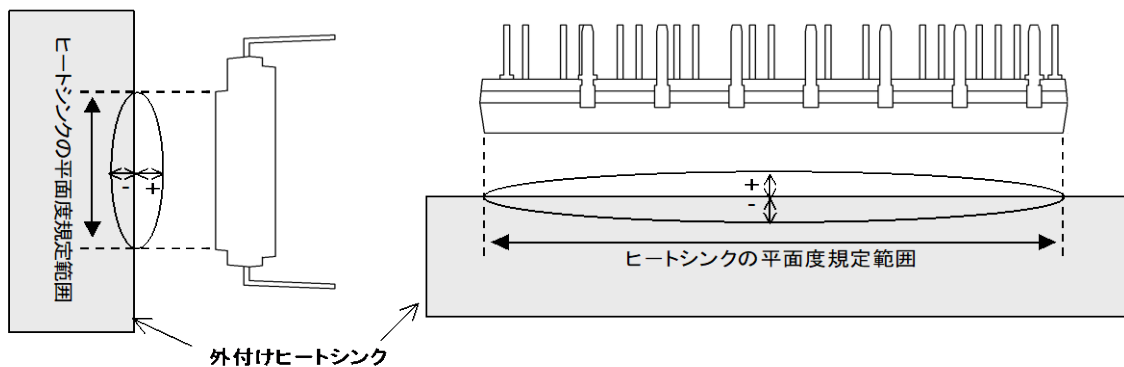


図 2-22 外付けヒートシンクの平面度測定範囲

外付けヒートシンクの平面度(反り凹凸)は、DIIPM 取り付け面において、図 2-22 のとおりとし、表面仕上げ Rz12 以内としてください。放熱効果を最大限得るためにはその接触面積をできるだけ大きくし、接触熱抵抗を最小にする必要があります。

また、DIIPM の放熱面とヒートシンクとの接触面には熱伝導性の良いグリースを 100μm~200μm 程度、均一になるように塗布してください。ヒートシンクとの接触面にグリースを塗布しますと接触部の腐食防止にも役立ちます。ただし、塗布するグリースは、使用動作温度範囲内で変質せず、経年変化のないものをご使用ください。

製品放熱面-ヒートシンク間の熱抵抗は、締め付けた状態におけるグリースの厚さ、グリースの熱伝導率等により異なります。目安として、グリース厚 20μm、グリースの熱伝導率 1.0W/m・K の場合の製品放熱面-フィン間熱抵抗値(1/6 モジュール)は 0.2°C/W となります。グリース塗布、ヒートシンク取り付け時には、空気を巻き込まないように十分なじませてください。(接触熱抵抗の増加、締め付けの緩みにつながる可能性があります)

1200V 大型 DIIPM Ver.6 シリーズ アプリケーションノート

放熱グリース内フィラー径、粘度あるいは塗布量によって締め付け後に放熱グリースが厚くなり、接触熱抵抗の悪化やパッケージ割れの恐れがあります。放熱グリースの選定や塗布方法に十分ご注意ください。なお、放熱グリースの詳細な特徴や特性につきましては、メーカーに直接お問い合わせください。

2. 4. 3 はんだ付け条件

基板実装時のはんだ付け条件を下記します。(リフローはんだ付けはできません。)

(1) フローはんだ条件

フローはんだの条件につきましては、はんだ槽温度 $260^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 以下、浸漬時間 10 ± 1 秒以内であれば、当社信頼性試験条件(表 2-19) 以下であり問題ないものと考えます。また、予備加熱につきましては、DIIPM の保存温度定格の 125°C 以下での実施を推奨します。

フローはんだ付けでは、はんだ噴流の状態、コンベア速度、基板のランド、スルーホール形状などによって条件が変化いたします。最終的には貴社で製作された基板を使用し、現品で問題ないことをご確認願います。

表 2-19 信頼性試験条件

信頼性項目	試験条件
はんだ耐熱性	はんだ温度 $260^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 、 10 ± 1 秒

(2) 手はんだ条件

はんだごてなどによる手はんだ付け条件につきましては、はんだごての種類(ワット数含む)や基板上の配線パターンにより変わりますので、一般的な推奨条件は提示しておりません。

はんだごてによるはんだ付け時の温度は、DIIPM のトランスファーモールド樹脂の Tg(ガラス転位温度)やチップ耐熱温度を考慮して、リード端子根元部で 150°C 以下にすることを推奨しています。

はんだ付け条件を設定する場合には、ご使用のはんだごて、基板にて DIIPM の端子根元温度、はんだぬれ性などを十分ご確認ください。設定願います。(はんだ付け時間は極力短時間としてください)

また、はんだごて使用時の一般的な注意点として、半導体用のはんだごて(12~24Vの低電圧仕様)を用いて、こて先はアースして使用願います。温度管理のために、温度調整機能付きのはんだごてが有効です。

以下に端子根元の温度上昇のご参考データとして、50W はんだごてにより模擬評価した結果を図 2-24 に示します。

[評価方法]

(1) 評価サンプル: 大型 DIIPM Ver.6

(2) 評価手順

熱容量的に小さい制御側外部リード端子先端(先端から 1mm)の箇所にはんだごて(50W)をあて、

リード端子根元の温度上昇を測定する。(図 2-23)

温度測定は、リード端子根元に熱電対(C・C 線)を取り付けて測定。

はんだごての温度設定は、 400°C にて実施。

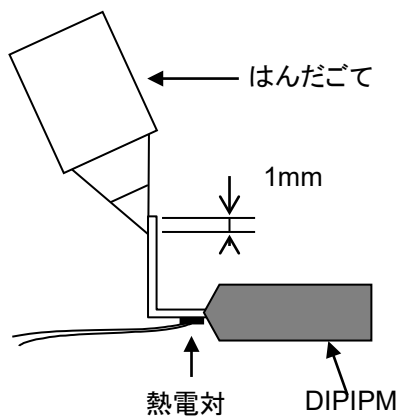


図 2-23 評価状態

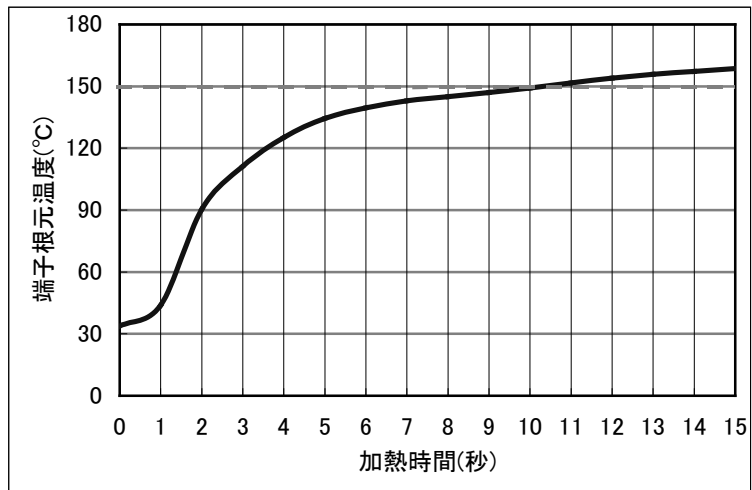


図 2-24 端子にはんだごてをあてたときの端子根元温度推移(代表例)

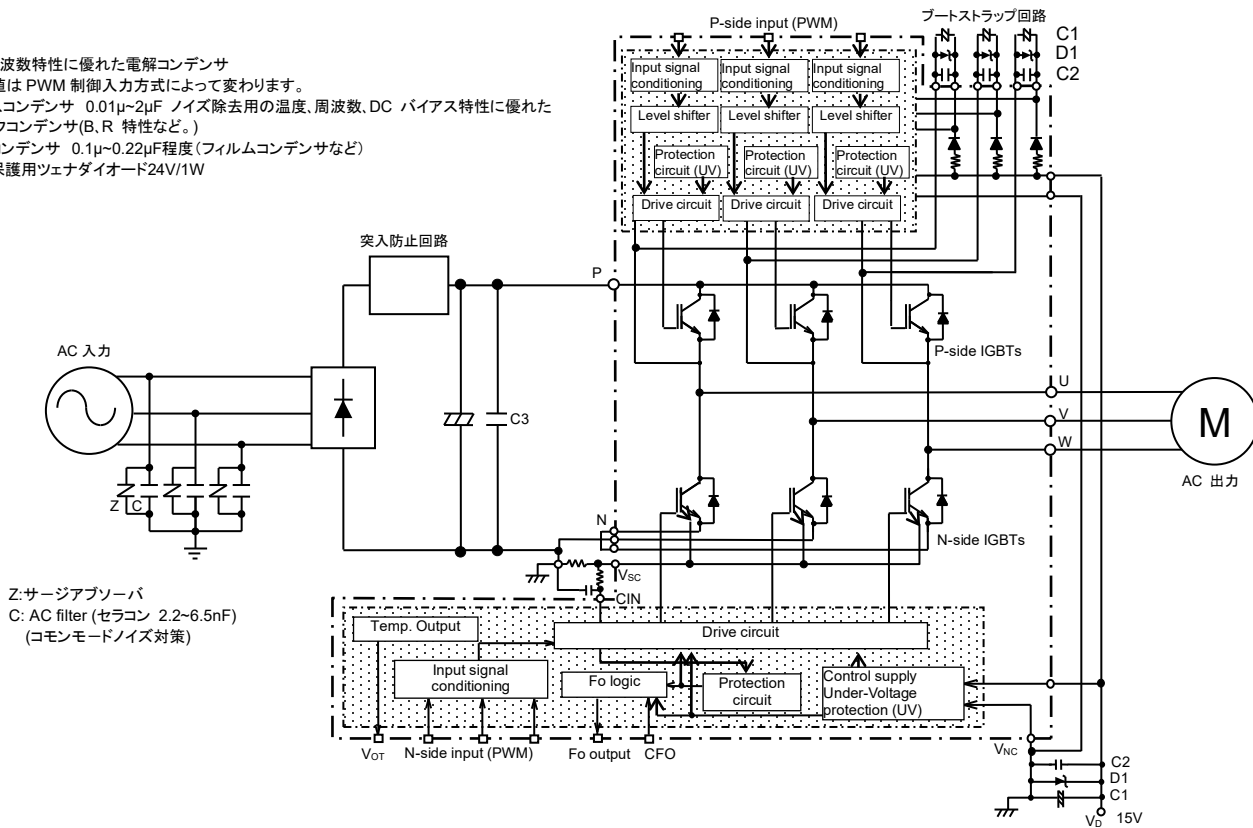
第3章 使用方法

3.1 使用方法と応用

この章では、使用方法、周辺回路例について説明します。

3.1.1 システム接続例

- C1: 温度・周波数特性に優れた電解コンデンサ
注) 容量値は PWM 制御入力方式によって変わります。
- C2: バイパスコンデンサ 0.01 μ F~2 μ F ノイズ除去用の温度、周波数、DC バイアス特性に優れたセラミックコンデンサ(B, R 特性など。)
- C3: スナバコンデンサ 0.1 μ ~0.22 μ F程度(フィルムコンデンサなど)
- D1: サージ保護用ツェナダイオード24V/1W



- Z: サージアブソーバ
- C: AC filter (セラコン 2.2~6.5nF)
(コモンモードノイズ対策)

図 3-1 システム接続例

3. 1. 2 インターフェース回路例(直接入力)

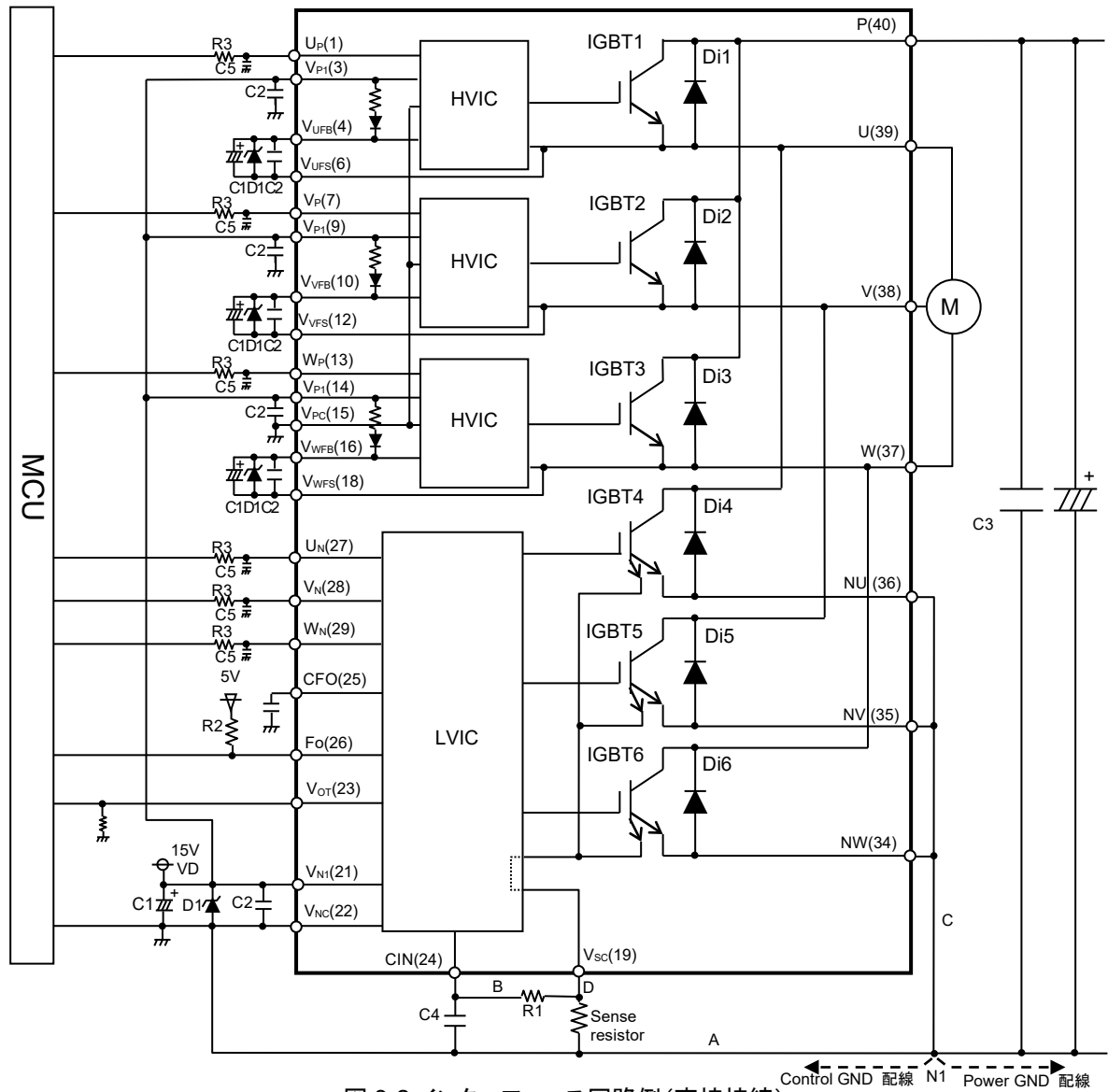


図 3-2 インターフェース回路例(直接接続)

Note

1. 制御側電源GNDとパワー側GNDの配線を共通のベタ配線で配線すると大電流が流れるパワー-GNDの変動の影響を受け誤動作の可能性がありますので制御側電源GNDとパワー側GNDの配線は分けて配線し、N1点(NU,NV,NWを接続した点)にて一点接続としてください。
2. 制御電源へのサージ電圧吸収用にツェナダイオードD1(ツェナ電圧24V,許容損失1W程度)を制御電源端子間近傍への接続を推奨します。
3. サージ電圧による耐圧破壊を防止するために、平滑コンデンサとP,N1端子間の配線はできるだけ短くしてください。またP-N1端子間に0.1μ-0.22μF程度のスナバコンデンサC3を挿入してください。
4. 短絡保護機能の誤動作防止用RCフィルタ(R1C4)の時定数は、短絡時に2μs以下で遮断できるように設定してください。(1.5~2μs推奨) R1,C4は温度補償用などバラツキの小さいものを推奨します。遮断時間は、配線パターンによって変わりますので実システムにて十分評価してください。R1の抵抗値が小さい場合、SC保護の遅れにつながりますので、R1はRsの10倍以上としてください。(100倍程度を推奨)
5. A, B, Cの配線はIGBTの動作に大きな悪影響をもたらすため、配線はできるだけ短く配線してください。
6. センス抵抗Rsには、温度特性を含めばらつき±1%以内で低インダクタンスの物を推奨します。また、許容電力は0.03W以上を推奨しますが、最終的には実システムで十分評価してください。
7. CIN端子への配線は、SC保護の誤動作防止のため、センス抵抗端子直近のD点で分岐し、Vsc端子-センス抵抗間配線はできるだけ短くしてください。
8. 各コンデンサはDIPIPMの端子近傍に設置してください。C1は、温度特性、周波数特性の優れた電解コンデンサ、C2は0.01μ-2μFでノイズ除去用の温度、周波数、DCバイアス特性に優れたセラミックコンデンサを推奨します。
9. 入力信号はハイアクティブです。IC内部で3.3kΩ(min)の抵抗でプルダウンしています。誤動作防止のため、入力信号配線はできるだけ短く配線し、ノイズによる誤動作防止のためRCフィルタ(時定数100ns以上(例R3=100Ω, C5=1000pF))の挿入を推奨いたします。挿入する場合は、入力しきい値電圧を満足するように設定してください。専用HVICを採用しているため、MCUに直接接続することができます。
10. Fo端子はオープンドレインです。Fo出力は、If0=1mA時にmax0.95V(@25℃)となりますので、If0=1mA以下となるような制限抵抗値で制御電源(5V, 15V)にプルアップしてください。(5Vにプルアップする場合、10kΩを推奨します)
11. Fo出力のパルス幅tF0は、CF0端子に接続するコンデンサで設定可能です。所望のtF0時のCF0の計算式を示します。(CF0 = tF0 x (9.1 x 10⁻⁶) [F])
12. 制御ICの電源ラインに高周波の急峻なノイズが重畳されると、ICの誤動作が起きてFoを出力し停止する可能性があります。制御電源ラインのノイズは、dv/dts<1V/μs, Vripples<2Vp-pとなるように電源回路を設計してください。
13. DIPIPMでは、各相あるいは、個体間で並列接続して同一負荷を駆動するような使用方法は、推奨いたしません。

3. 1. 3 インターフェース回路例(フォトカプラ駆動)

フォトカプラを使用した場合の応用回路例を示します。

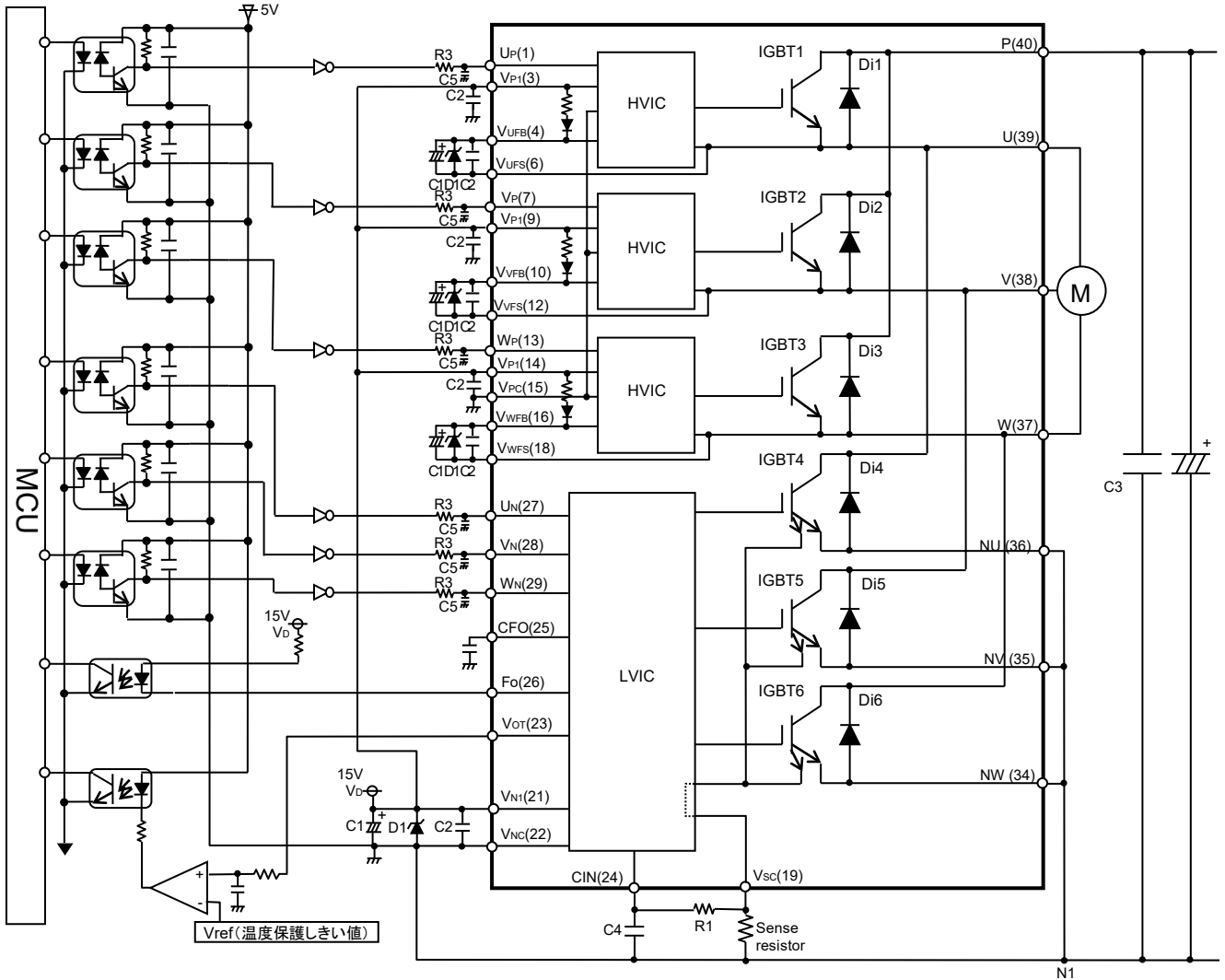


図 3-3 インターフェース回路例(フォトカプラ駆動)

注:

- (1) 高速フォトカプラ(高 CMR)の使用を推奨します。
- (2) Fo 出力にてカプラ駆動する場合には、Fo シンク電流 I_{FO} が 5mA 以下になるように制限抵抗値を設定してください。
Fo 出力は、 $I_{FO}=5mA$ 時に $\max 4.75V(@25^{\circ}C)$ となる可能性がありますので、5mA の I_{FO} を確保するには、15V 電源にプルアップしてください。
- (3) ノイズによる誤動作防止のため、DIIPM の信号入力端子直前に RC フィルタ(時定数 100ns 以上(例 R3=100 Ω , C5=1000pF))の挿入を推奨いたします。挿入する場合は、入力しきい値電圧を満足するように設定してください。
- (4) V_{OT} 出力部のコンパレータ回路について、コンパレータ出力のチャタリングを防止するためヒステリシス付き入力回路を推奨します。

1200V 大型 DIIPM Ver.6 シリーズ アプリケーションノート

3. 1. 4 信号入力端子とFo 端子

(1) 制御入力端子構造と接続例について

入力端子はハイアクティブ動作です。

プルダウン抵抗 (min.3.3kΩ) を内蔵しており、外付けのプルダウン抵抗は不要です。

図 3-4 に入力部ブロック図、表 3-1 に入力しきい値電圧規格を示します。同じ外形でラインナップしている 600V 耐電圧品 PS21A7* と本製品では、入力しきい値が異なりますので、基板共用時には、入力しきい値にご注意ください。

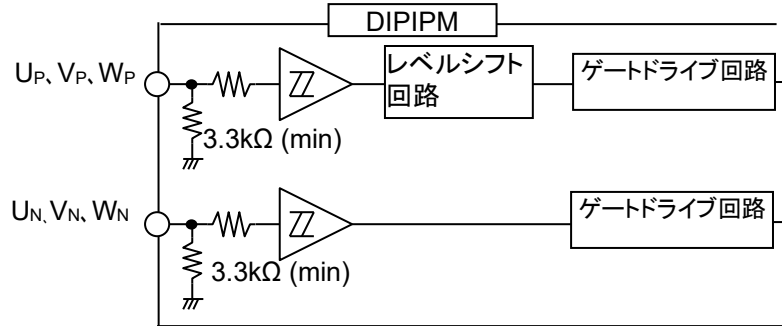
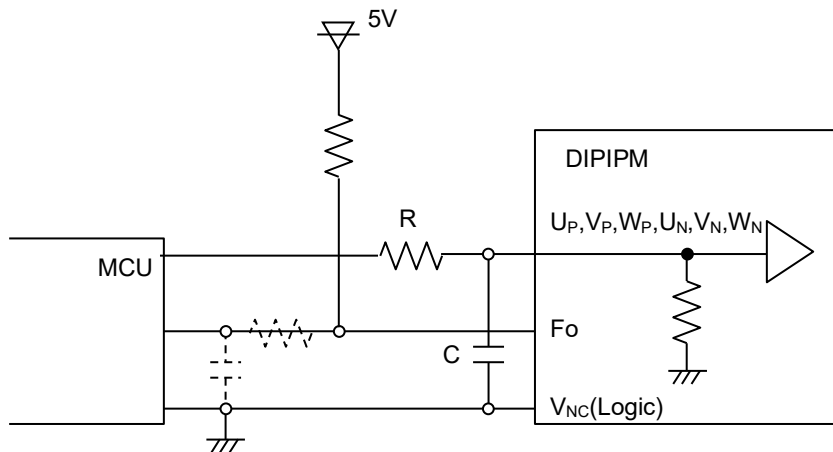


図 3-4 入力部ブロック図

表 3-1 入力しきい値の規格 (V_D=15V, T_j=25°C)

項目	記号	条件	最小値	標準値	最大値	単位
1. 入力オンしきい値電圧	V _{th(on)}	U _P , V _P , W _P - V _{PC}	-	-	3.5	V
2. 入力オフしきい値電圧	V _{th(off)}	U _N , V _N , W _N - V _{NC} 端子間	0.8	-	-	

DIIPM への信号入力配線は、ノイズの重畳を防ぐため極力短くする必要があります。また、RC フィルタの挿入を推奨いたします。また、DIIPM には、表 3-2 のように許容最小入力パルス幅の規定があります。この規定パルス幅より長いパルスを入力するようにしてください。



注. 入力の RC カップリングは、応用システムに使われる PWM 制御入力方式、入力配線パターンにより変わりますが、時定数 100ns 以上の RC フィルタの接続を推奨します。
 DIIPM 入力信号部は IC 内部で 3.3kΩ (min) の抵抗プルダウンを行っています。入力信号ラインに抵抗を挿入される場合は、DIIPM の入力しきい値を満足する設定としてください。

図 3-5 入力端子接続例(ダイレクト接続時)

表 3-2 許容最小入力パルス幅

		条件		形名	最小	単位
許容最小 入力パルス 幅	PWIN(on)			PSS05SA2FT	1.5	μs
				PSS10SA2FT		
				PSS15SA2FT		
				PSS25SA2FT		
				PSS35SA2FT		
				PSS50SA2FT		
	PWIN(off)	$350 \leq V_{CC} \leq 800V$ $13.5 \leq V_D \leq 16.5V$ $13.0 \leq V_{DB} \leq 18.5V$ $-20 \leq T_c \leq 100^\circ C$ N ライン配線インダクタンス 10nH 以下	定格電流以下	PSS05SA2FT	3.0	
				PSS10SA2FT		
				PSS15SA2FT		
				PSS25SA2FT		
				PSS35SA2FT		
				PSS50SA2FT		
			定格電流～ 定格電流 × 1.7	PSS05SA2FT	3.5	
				PSS10SA2FT		
				PSS15SA2FT		
				PSS25SA2FT		
				PSS35SA2FT		
				PSS50SA2FT		
			PSS75SA2FT			

- ・PWIN(on)以下のパルス幅の入力オン信号には出力が応答しないことがあります。
- ・PWIN(off)以下のパルス幅の入力オフ信号には出力が応答しない、または P 側のみターンオン時間が大きくなる場合があります。ただし、この場合においても入力オンの状態にて出力オフの状態を維持し続けることはありません。詳細は図 3-6 のタイミング図を参照ください。

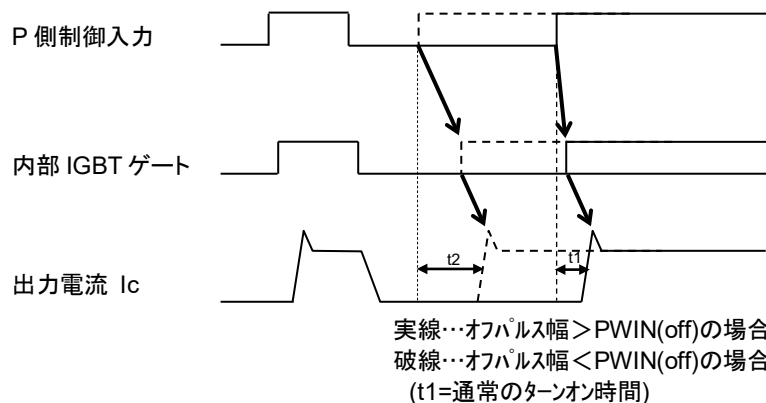


図 3-6 許容最小入力パルス幅 PWIN(off)以下の信号を印加した場合の出力動作(P 側のみ)

(2) Fo 端子構造と接続例について

Fo 出力を直接マイコンなどに入力する場合、エラー出力電圧のシンク電流 I_{Fo} 依存性 ($V_{Fo} = \max(0.95V @ I_{Fo}=1mA, 25^\circ C)$) となります) に注意し、マイコンの入力閾値電圧以下となるようにプルアップ抵抗値を設定してください。(5V 電源にプルアップする場合は 10kΩ を推奨します。)

Fo 出力でカプラなどを駆動する場合、Fo 出力のシンク電流の最大 5mA までとなります。 $I_{Fo}=5mA$ 時には、Fo 出力電圧は $\max(4.75V @ 25^\circ C)$ となる可能性がありますので、15V 電源にプルアップしてください。5mA の電流能力で足りない場合は、フォトカプラの特性に応じて、バッファ等の接続をご検討ください。

図 3-7 に Fo 端子の V-I 特性(代表例)を示します。

表 3-3 Fo 信号電气的特性

項目	記号	条件	最小値	標準値	最大値	単位
エラー出力電圧	V_{FOH}	$V_{sc}=0V, F_o=10k\Omega, 5V$ プルアップ	4.9	—	—	V
	V_{FOL}	$V_{sc}=1V, I_{Fo}=1mA$	—	—	0.95	V

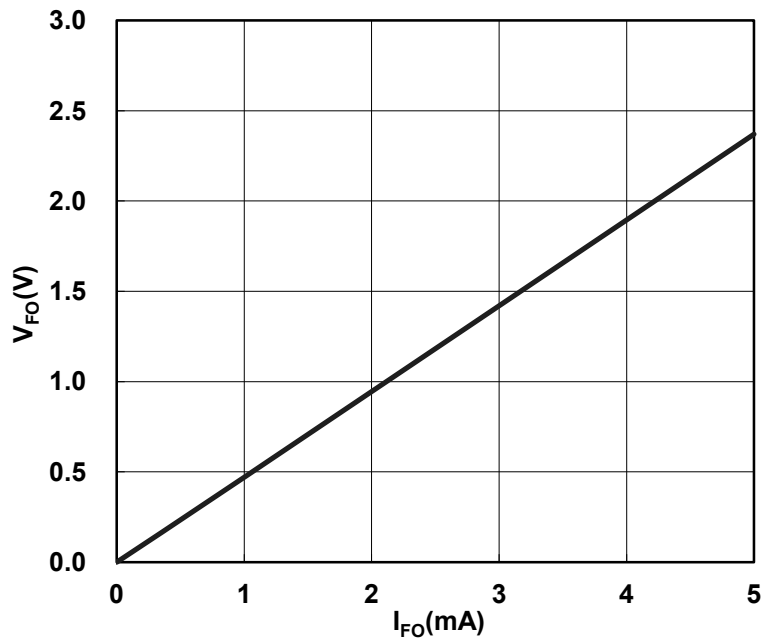


図 3-7 Fo 端子の V-I 特性 ($V_D=15V, T_j=25^\circ C$, 代表例)

3. 1. 5 スナバコンデンサの接続

サージ電圧による耐電圧破壊を防止するために、平滑コンデンサと DIIPM の端子間の配線はできるだけ短くしてください。また、0.1~0.22μF 程度のスナバコンデンサを挿入してください。(スナバコンデンサの耐圧は、素子耐圧以上のものを使用してください。)

図 3-8 のように、スナバコンデンサは、P端子と NU, NV, NW 端子の接続点間直近に設置してください。

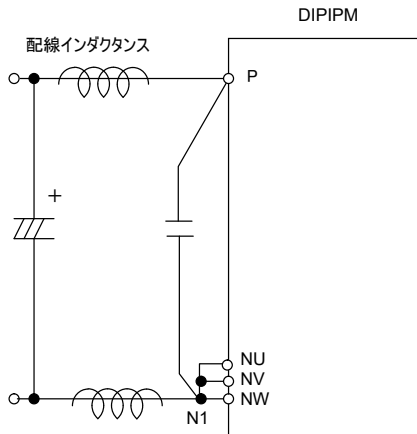


図 3-8 スナバ接続回路

3. 1. 6 GND 周辺配線について

短絡保護用センス抵抗周辺の配線及びGND配線は、配線インダクタンスによって短絡保護動作などに影響を与えます。極力短く設計し、配線インダクタンスを極力抑えるようにしてください。

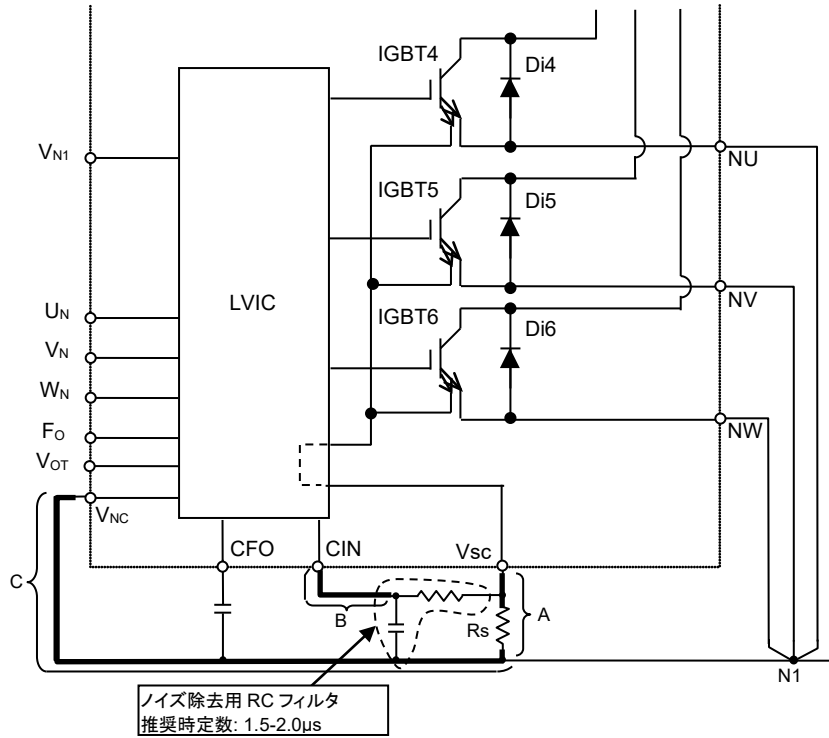


図 3-9 センス抵抗周辺配線と配線の影響

(1) A 部配線パターンの影響

A 部配線パターンが長いと、IGBT のスイッチング時に抵抗を含めた A 部配線インダクタンスにより発生するサージ電圧により、短絡保護レベルが変化する要因となります。本配線部は、極力短く配線してください。

(2) B 部配線パターンの影響

センス抵抗に発生するノイズを除去するために、RC フィルタ回路を接続しますが、B 部配線が長いと、フィルタ効果が小さくなり、誘導ノイズをうけやすくなります。RC フィルタは CIN、V_{NC} 端子近傍に設置してください。

(3) C 部配線パターンの影響

上記に全て影響します。GND 配線は極力短く配線する必要があります。ベタパターンで配線する場合は、制御 GND とパワー GND は、同一のベタパターンにせずに分けて配線し、制御 GND とパワー GND は、N1 点 (NU、NV、NW を接続した点) にて 1 点接続としてください。

3. 1. 7 PCB設計時の注意点について

PCBパターンを設計される上でパターン上の主な注意点を図 3-10 に示します。

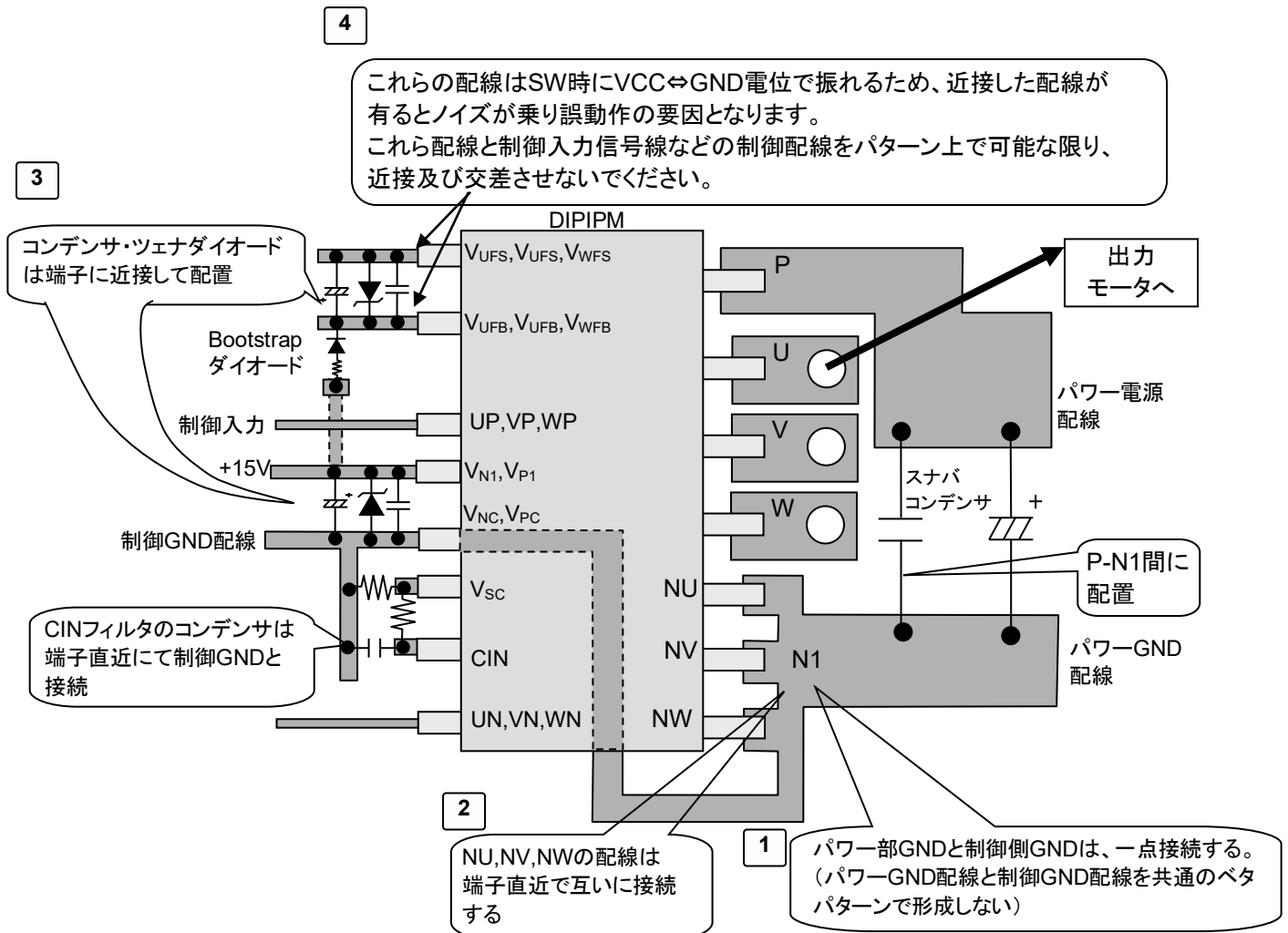


図 3-10 PCBパターン設計時の注意点

PCBパターンにおけるトラブル事例

	パターン事例	トラブル発生事例
1	・パワーGNDと制御GNDがオーバーラップして配線	パワーGNDに流れる不連続な大電流による di/dt と配線の寄生インダクタンスによって生じるサージが、制御GNDに伝搬して制御GNDレベルが変動し、同GNDを基準としている入力端子に誤信号が入力されIGBTが誤オンしてアーム短絡発生。
	・GND配線にループあり	GNDループに迷走電流が流れることでGND電位変動が発生し、入力端子に誤信号が入力されIGBTが誤オンしてアーム短絡発生。
2	NU, NV, NW 端子-N1間配線が長い	配線が長いことにより寄生インダクタンスが大きくなり、スイッチングによって発生する di/dt によりサージが発生し、以下のようなトラブルが発生。 ・VS 電位(出力端子電位)の低下による HVIC 誤動作の発生 ・LVIC の過電圧破壊の発生
3	コンデンサ・ツェナダイオードが無し、或いは位置が端子から離れている	制御ICの過電圧破壊や誤動作の発生。
4	P側駆動電源配線と入力配線が近接・平行に配線	P側駆動電源配線とDIPへの制御入力配線間の浮遊容量を通してクロストークノイズが伝搬し、入力端子に誤信号がはいりIGBTが誤オンしてアーム短絡が発生。

3. 1. 8 DIIPM の SOA(スイッチング時、短絡時)

DIIPM の SOA について下記に示します。(規定はしておりません)

V_{CES} : DIIPM 内部の IGBT のコレクター-エミッタ間電圧の最大定格

V_{CC} : P-N 間電源電圧

$V_{CC(surge)}$: V_{CC} に、P-N 電源間につながる電解コンデンサと IPM の P-N 間の配線インダクタンスにより発生するサージ電圧を加えた電圧を表します。

$V_{CC(prot)}$: 自己保護可能な P-N 間電源電圧を表します。

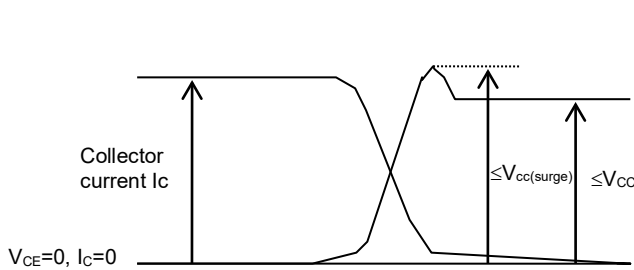


図 3-11 スwitching時の SOA

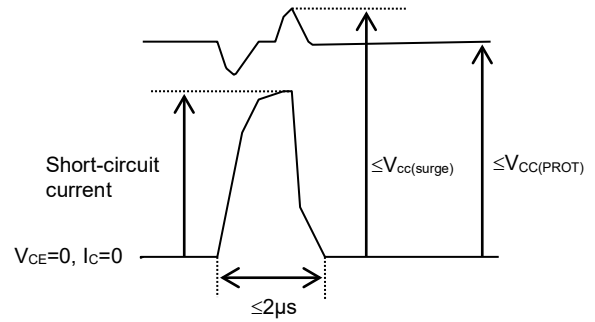


図 3-12 短絡時の SOA

スイッチングターンオフ時

V_{CES} はDIIPMに搭載されるIGBTの耐圧1200Vを示しています。この値より、DIIPM内の配線インダクタンスで発生するサージ電圧(マージン等考慮し200V以下)を引いたものが $V_{CC(surge)}=1000V$ となります。

さらに、P-N電源間に接続される電解コンデンサとIPMのP-N間の配線インダクタンスにより発生するサージ電圧(100V以下)を引いたものが $V_{CC}=900V$ となります。

短絡時

V_{CES} はDIIPMに搭載されるIGBTの耐圧1200Vを示しています。この値より、DIIPM内の配線インダクタンスで発生するサージ電圧(マージン等考慮し100V以下)を引いたものが $V_{CC(surge)}=1000V$ となります。

さらに、P-N電源間に接続される電解コンデンサとDIIPMの間の配線インダクタンスにより発生するサージ電圧(200V以下)を引いたものが $V_{CC}=800V$ となります。

3. 1. 9 短絡 SOA

図 3-13~図 3-19 に短絡 SOA カーブ(代表例)を示します。

条件: $V_{CC}=800V$, $T_j=125^{\circ}C$ スタート, 非繰り返し, $V_{CES} \leq 1200V$, $V_{CC(surge)}=1000V$ (サージ電圧含む), 負荷短絡(2m 負荷)

本図は、内蔵される IGBT の ON しきい値電圧の min.品(飽和電流が大となるもの)の場合の代表例で、図に示した条件時に、PSS05SA2FT であれば定格の約 14 倍のコレクタ電流が流れ、この時の IGBT の ON 期間が約 4.6 μs 以下であれば、ターンオフできる実力があることを示しています。

制御電源電圧 V_D 、主回路電圧(V_{CC})によって IGBT の短絡動作範囲は変わりますので、RC フィルタの設定は SOA にマージンを持って設定してください。

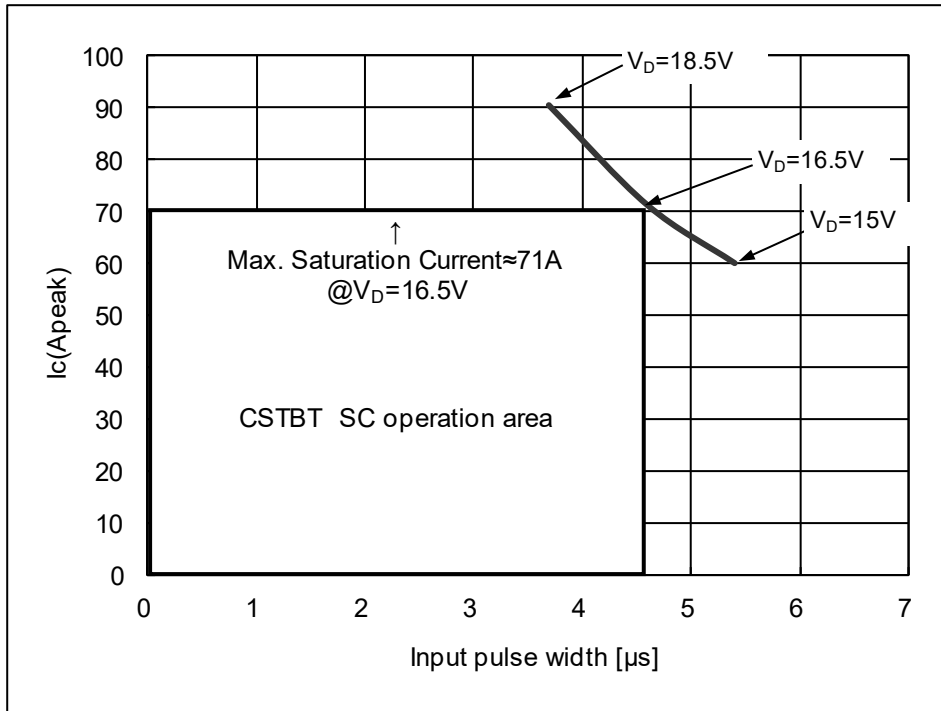


図 3-13 PSS05SA2FT の短絡 SOA カーブ(代表例)

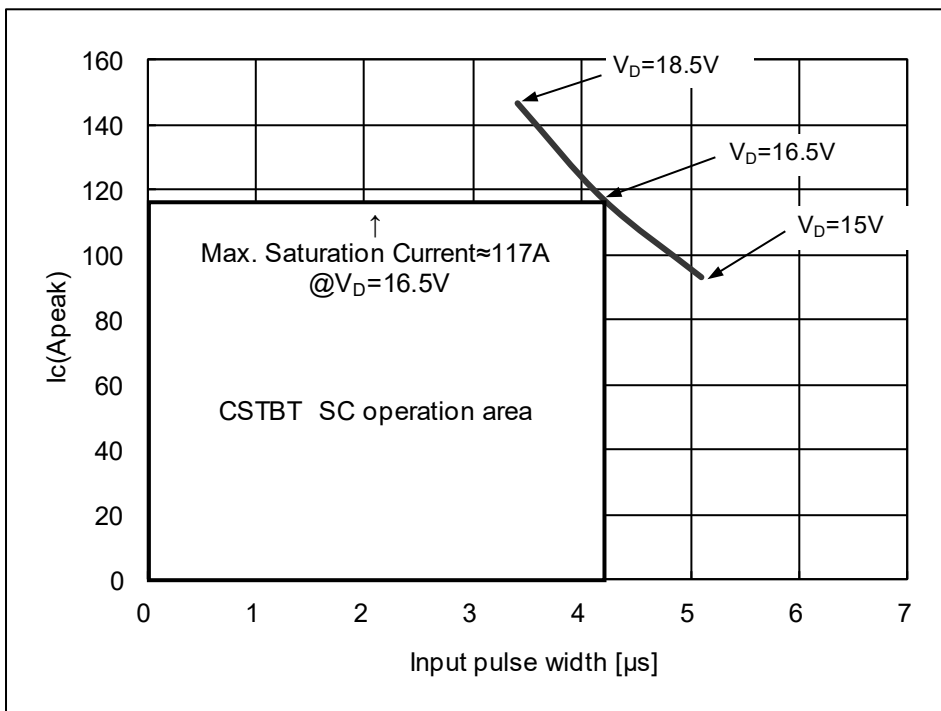


図 3-14 PSS10SA2FT の短絡 SOA カーブ(代表例)

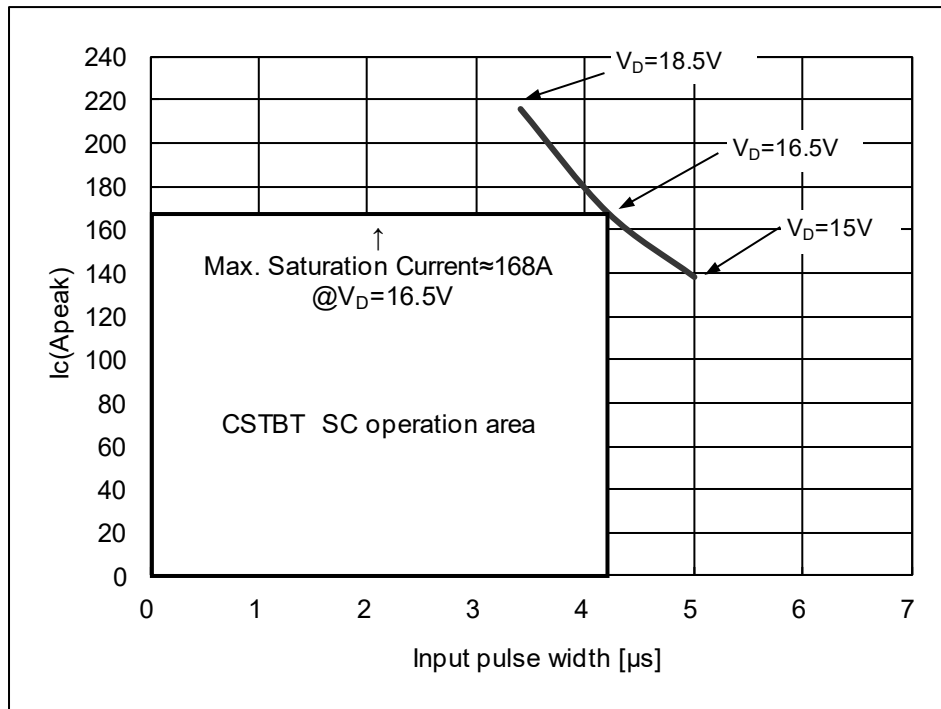


図 3-15 PSS15SA2FT の短絡 SOA カーブ(代表例)

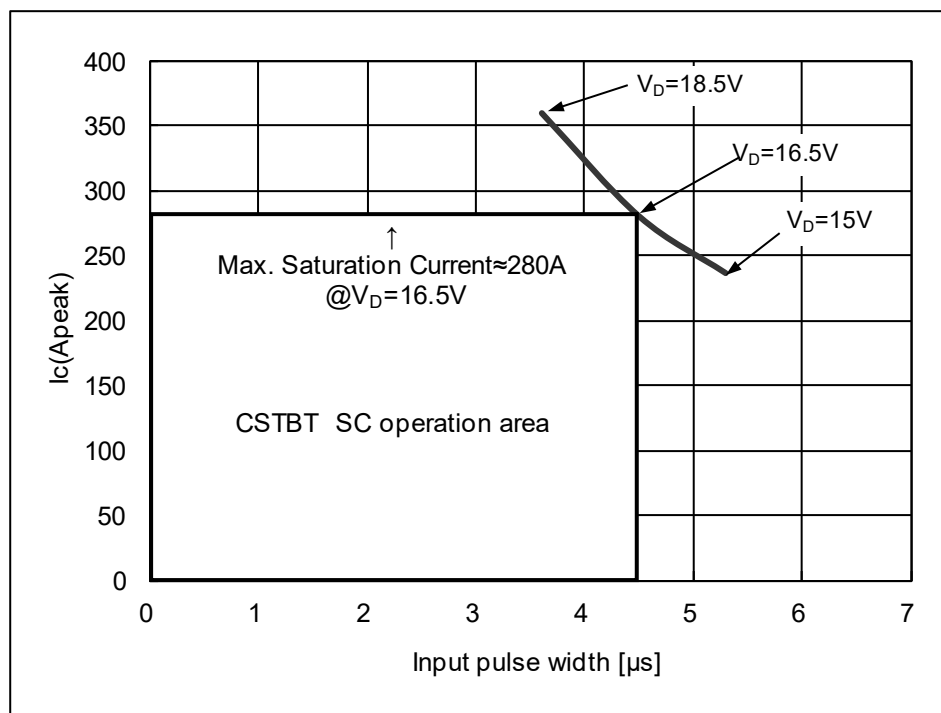


図 3-16 PSS25SA2FT の短絡 SOA カーブ(代表例)

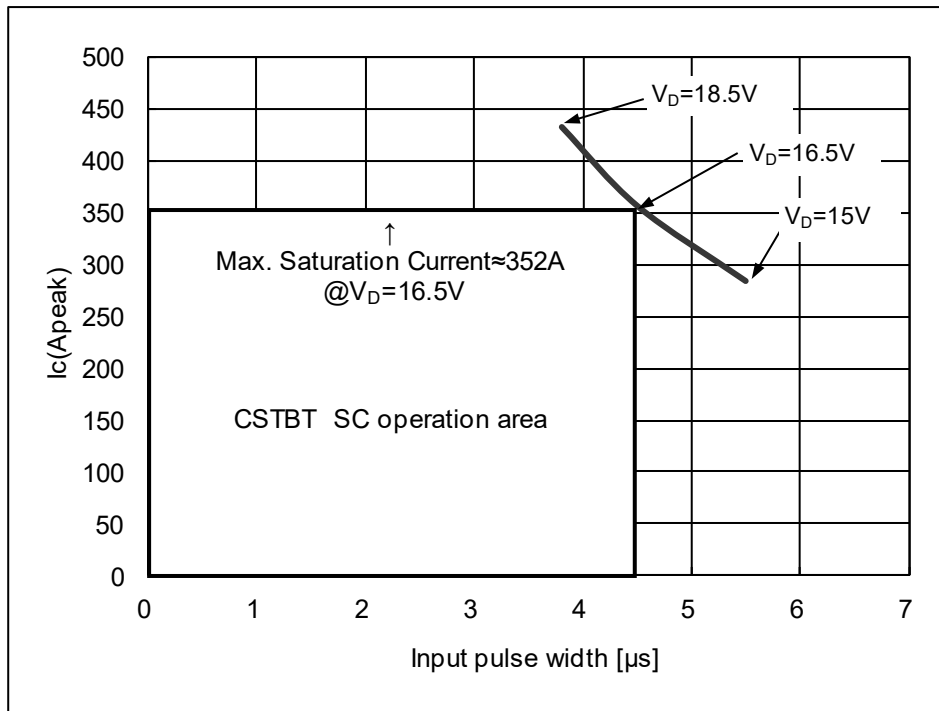


図 3-17 PSS35SA2FT の短絡 SOA カーブ(代表例)

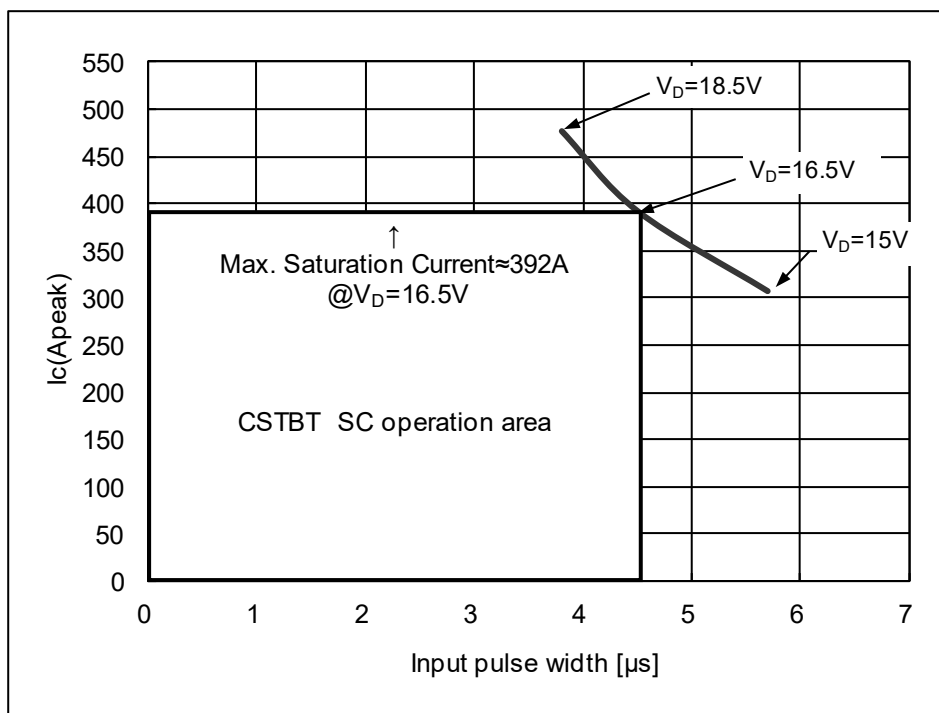


図 3-18 PSS50SA2FT の短絡 SOA カーブ(代表例)

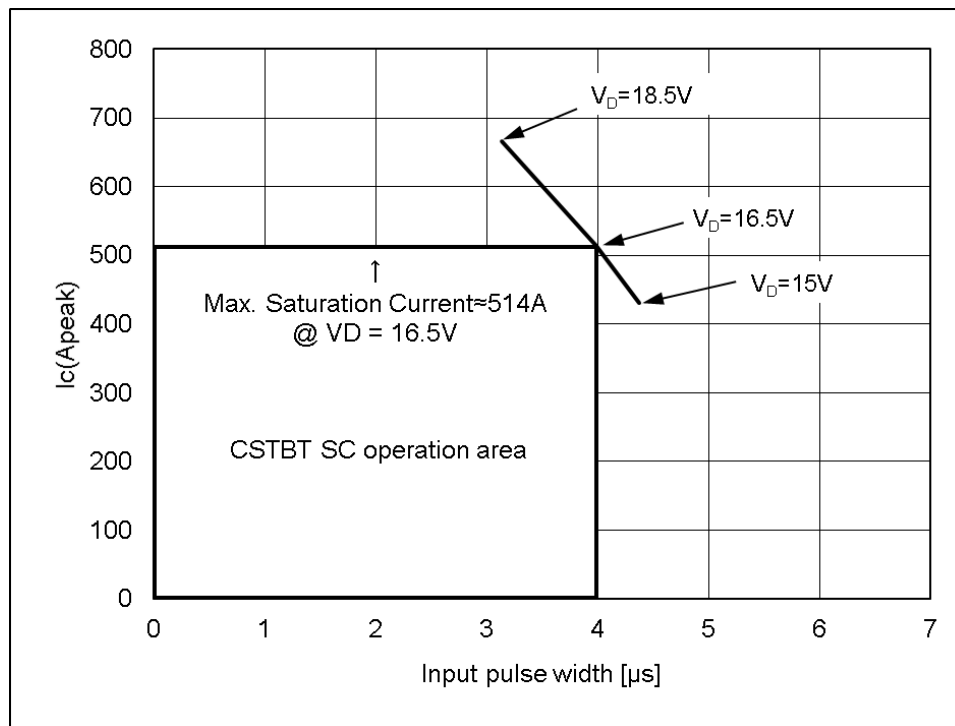


図 3-19 PSS75SA2FT の短絡 SOA カーブ(代表例)

3. 1. 10 動作寿命について

DIIPM の動作時は、IGBT の接合温度変化(ΔT_j)が繰り返し発生しています。この ΔT_j と温度変化のサイクル数は、デバイスの寿命に影響を及ぼします。

図 3-20 に IGBT の ΔT_j とサイクル数の寿命カーブを示します。

($\Delta T_j=46, 88, 98K$ の 3 ポイントで実施したデータであり、それぞれの故障率 0.1、1、10%の点を回帰直線で表したものです。)

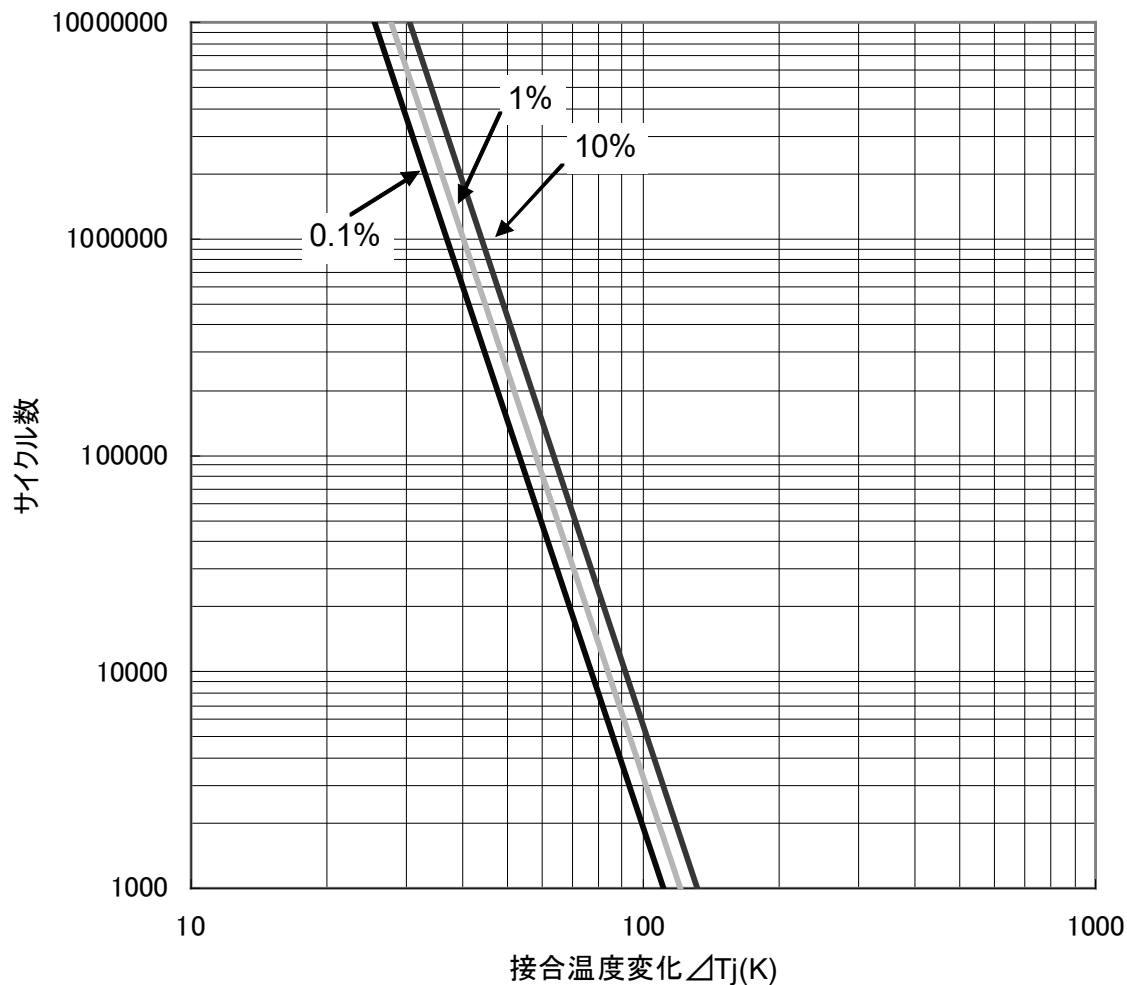


図 3-20 DIIPM の寿命カーブ

3. 2 パワー・ロスと放熱設計

3. 2. 1 インバータ損失計算方法

パワー素子の損失および温度上昇については、弊社 WEB サイトに損失計算用シミュレータをご用意しています。シミュレータを使うことで容易に損失および温度上昇の算出が可能です。

損失シミュレータ掲載サイト URL: <http://www.mitsubishielectric.co.jp/semiconductors/>

以下に平均電力損失簡易計算式について説明いたします。

●適用範囲

VVVF インバータへの応用に際してパワー素子を選定(比較)するための、通常動作時の総合損失の算出が可能です。装置の熱設計(限界設計)には適用できません。

●仮定条件

- ①正弦波電流出力 PWM 制御 VVVF インバータ
- ②正弦波・三角波比較による PWM 信号発生
- ③PWM 信号のデューティ振幅は $\frac{1-D}{2} \sim \frac{1+D}{2}$ (%/100) で変化 D: 変調率
- ④出力電流にはリップルがなく $I_{cp} \cdot \sin x$ が流れる
- ⑤出力電流に対する負荷力率は $\cos\theta$ 、スイッチングに対する負荷は純インダクタンス

●式の算出

PWM 信号のデューティ変化は、位相 x に対して $\frac{1+D \times \sin x}{2}$ となり、これが出力電圧変化に相当しますから、

出力電流と電圧の関係を示す力率 $\cos\theta$ により、出力電流の任意の位相 x での出力電流と PWM デューティは、

$$Output\ current = I_{cp} \times \sin x$$

$$PWM\ Duty = \frac{1 + D \times \sin(x + \theta)}{2}$$

従って、位相 x での $V_{CE(sat)}$ と V_{EC} は

$$V_{ce(sat)} = V_{ce(sat)} (@ I_{cp} \times \sin x)$$

$$V_{ec} = (-1) \times V_{ec} (@ I_{cp} (= I_{cp}) \times \sin x)$$

以上から、トランジスタの静損失は、

$$\frac{1}{2\pi} \int_0^\pi (I_{cp} \times \sin x) \times V_{ce(sat)} (@ I_{cp} \times \sin x) \times \frac{1 + D \sin(x + \theta)}{2} \cdot dx$$

同様にフリーホイールダイオードの静損失は、

$$\frac{1}{2\pi} \int_\pi^{2\pi} ((-1) \times I_{cp} \times \sin x) ((-1) \times V_{ec} (@ I_{cp} \times \sin x)) \times \frac{1 + D \sin(x + \theta)}{2} \cdot dx$$

一方、トランジスタの動損失は PWM デューティに依りませんので

$$\frac{1}{2\pi} \int_0^\pi (P_{sw(on)} (@ I_{cp} \times \sin x) + P_{sw(off)} (@ I_{cp} \times \sin x)) \times fc \cdot dx$$

またフリーホイールダイオードの動損失は、図 3-21 のように理想化すると

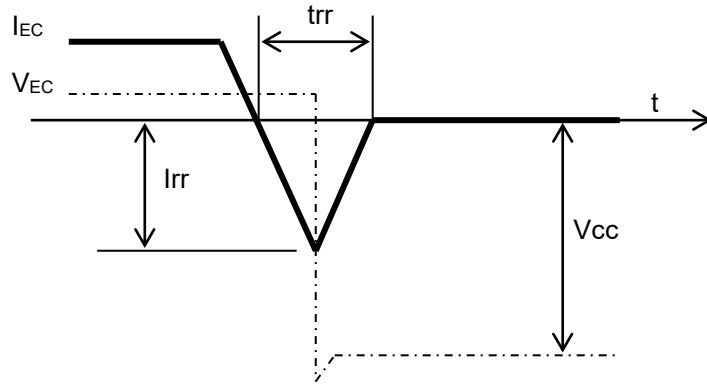


図 3-21 FWDi の動損失

$$P_{sw} = \frac{I_{rr} \times V_{cc} \times trr}{4}$$

リカバリーが発生するのは、出力電流周期の半分ですので、動損失は、

$$\begin{aligned} & \frac{1}{2} \int_{\pi}^{2\pi} \frac{I_{rr}(@ I_{cp} \times \sin x) \times V_{cc} \times trr(@ I_{cp} \times \sin x)}{4} \times fc \cdot dx \\ & = \frac{1}{8} \int_{\rho}^{2\pi} I_{rr}(@ I_{cp} \times \sin x) \times V_{cc} \times trr(@ I_{cp} \times \sin x) \times fc \cdot dx \end{aligned}$$

●インバータへの応用の際の一般的な注意点

- 出力電流 1 周期分を多数分割し、各点における実際の「PWM デューティ」、「出力電流」、「その電流における $V_{CE(sat)}$ 、 V_{EC} 、 P_{sw} 」に基づいて計算し加算する必要があります。
- PWM デューティは信号の発生方法に依存します。
- 出力電流波形や出力電流と PWM デューティの関係は信号の発生方法、負荷、その他の種々の要因に依存しますので、実波形を基にします。
- $V_{CE(sat)}$ は $T_j=125^{\circ}C$ の値を使用します。
- P_{sw} は $T_j=125^{\circ}C$ ハーフブリッジ動作時の値を使用します。

3. 2. 2 温度上昇の考え方と計算例

DIIPM の代表特性を基に損失計算を行った結果を、実効電流 I_o とキャリア周波数特性(代表例)として図 3-22 に示します。

条件: $V_{CC}=600V$ 、 $V_D=V_{DB}=15V$ 、 $P.F=0.8$ 、 $V_{CE(sat)}=Typ.$ 、スイッチングロス=Typ. 値、 $T_j=125^\circ C$ 、 $T_c=100^\circ C$
 $R_{th(j-c)}$ =規格 max.、シミュレーションモデル 3 相変調 正弦波出力 60Hz

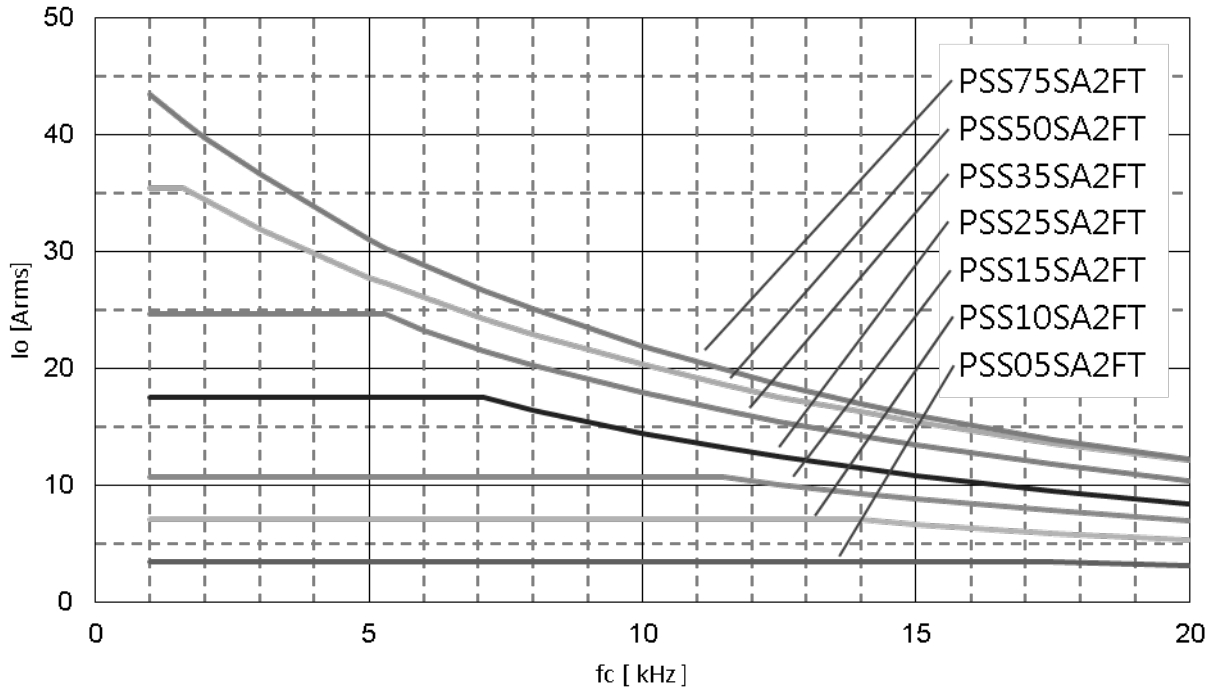


図 3-22 キャリア周波数－実効電流特性(代表例)

図 3-22 の特性(計算値代表例)は、 $T_c=100^\circ C$ でインバータ動作した場合に、IGBT の接合温度 T_j が、安全動作のための平均動作接合温度 $125^\circ C$ まで上昇する時に流し得ることのできる許容実効電流 I_o を表しています。

この特性は、制御方式、モータ種等で変わります。また、定格以上の電流は、連続して流さないようにしてください。

損失、温度上昇等は、三菱半導体ホームページ(URL <http://www.MitsubishiElectric.co.jp/semiconductors/>)で公開の損失計算ソフトを使用して計算することができます。

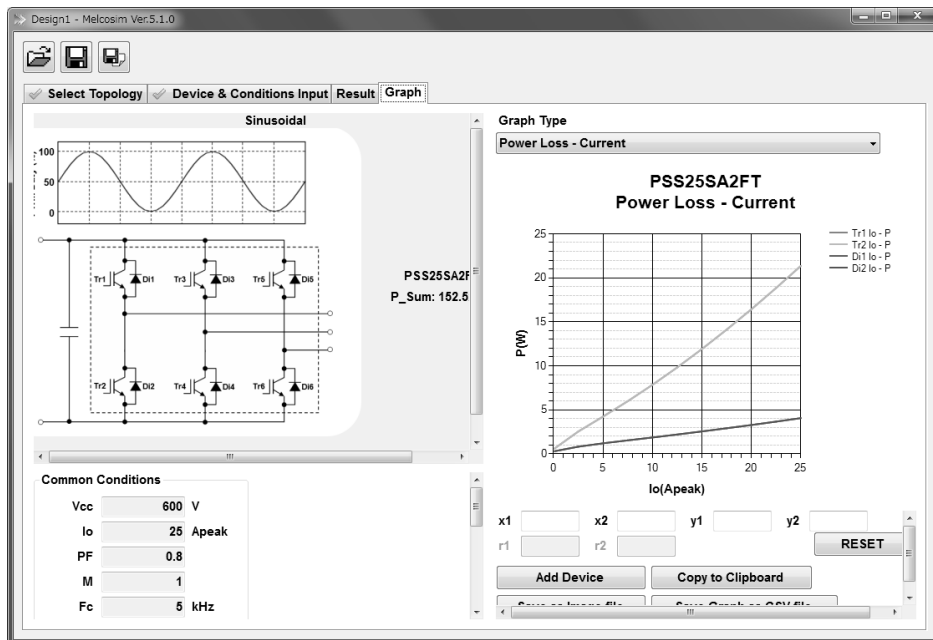


図 3-23: 損失計算ソフト画面例

1200V 大型 DIPIPM Ver.6 シリーズ アプリケーションノート

3.3 ノイズ耐量について

3.3.1 測定回路

DIPIPM でのノイズ試験に関しては、図 3-24 の測定回路、条件で±2.0kV 以上の耐量を確認しています。ノイズ耐量は、ノイズ試験の環境、制御基板配線パターン、部品配置等に大きく依存しますので実システムでの確認を行ってください。

測定回路

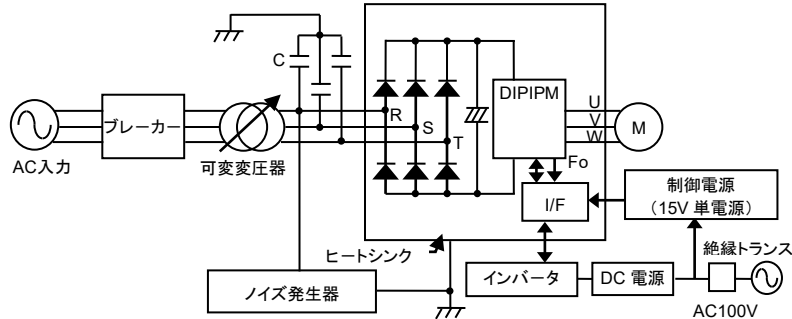


図 3-24 ノイズ試験回路

15V 単電源方式、モータは IM で実施、マイコンからの PWM 信号はフォトプラ入力
C1: AC ラインコモンモードフィルタ4700pF

測定条件

$V_{CC}=600V$, $V_b=15V$, $T_a=25^\circ C$, 無負荷

ノイズ印加方法: AC ライン(R, S, T)より印加 周期 $T=16ms$, 時間幅 $tw=0.05\sim 1\mu s$, Random 入力

3.3.2 対策と注意事項

DIPIPM は、設計時に内部配線の最適化による低インダクタンス化、絶縁構造の最適化による漏れ電流の低減を行うことで、部品を削減しノイズ耐量を確保していますが、回路パターンなどによって制御部にノイズが回り込み、短絡や短絡保護の誤動作が発生する場合があります。その場合には、図 3-25 のような対策をご検討ください。

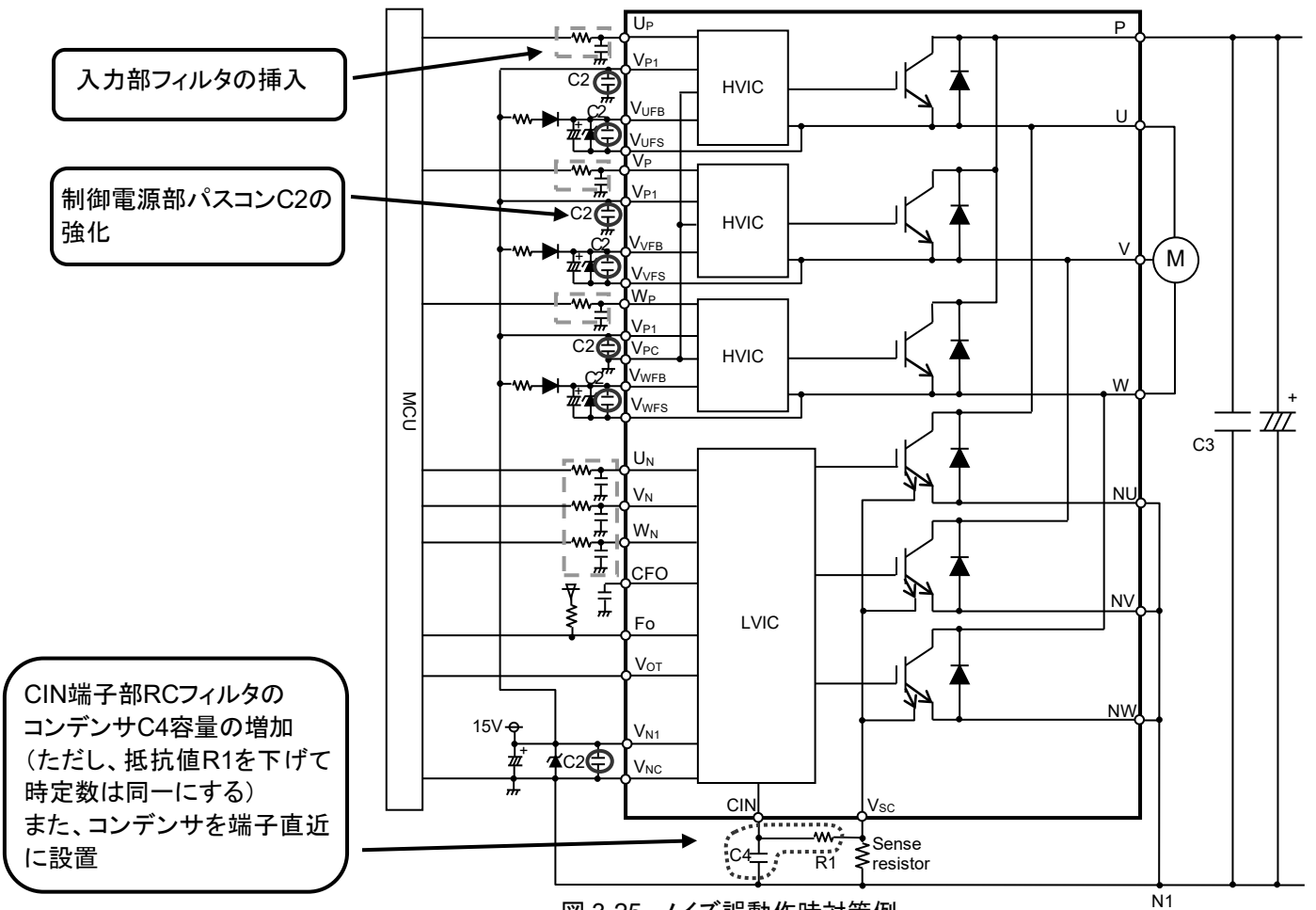


図 3-25 ノイズ誤動作時対策例

3.3.3 静電気耐量について

HBM 法($R=1.5k\Omega, C=100pF$)及び MM 法($R=0\Omega, C=200pF$)による静電気耐量実力値を下記します。

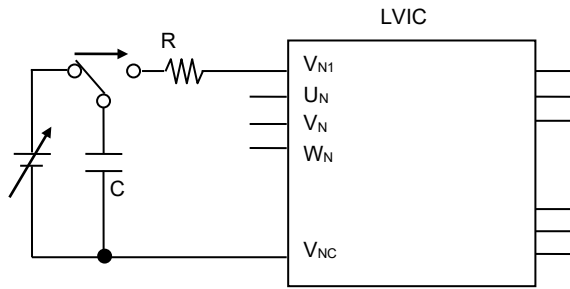


図 3-26 静電気耐量評価回路例(V_{N1} 端子評価時)

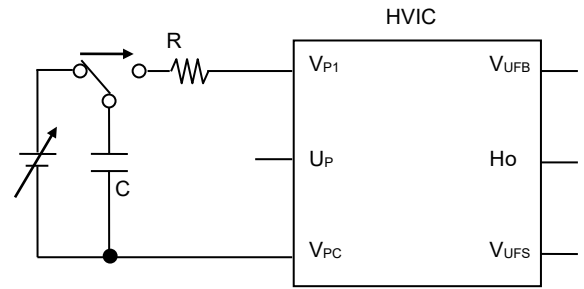


図 3-27 静電気耐量評価回路例(V_{P1} 端子評価時)

(1) Human Body Model

HBM にて DIIPM 各端子-GND(or NU, NV, NW)端子間に正・負の電圧を 3 回印加し、印加前後の端子の V-I 特性を変化を確認。

表3-4 静電気耐量(代表例)

条件: サージ電圧を1回印加し耐圧劣化に至った電圧(kV)

0.1kV毎に装置の限界電圧($\pm 4.0kV$)まで実施。

破壊有無は、静電気サージ印加端子のV-I特性にて確認。

[制御部] (内部ICのインターフェース回路構造が同じため制御部の耐量は同じです)

端子	+サージ	-サージ	単位
UP、VP、WP- V_{PC} 間	4.0以上	4.0以上	kV
V_{P1} - V_{PC} 間	4.0以上	4.0以上	
V_{UFB} - V_{UFS} 、 V_{VFB} - V_{VFS} 、 V_{WFB} - V_{WFS} 間、	4.0以上	4.0以上	
UN、VN、WN- V_{NC} 間	3.9	4.0以上	
V_{N1} - V_{NC} 間	4.0以上	4.0以上	
CIN- V_{NC} 間	4.0以上	4.0以上	
FO- V_{NC} 間	4.0以上	4.0以上	
CFo- V_{NC} 間	4.0以上	4.0以上	
V_{OT} - V_{NC} 間	4.0以上	4.0以上	

[パワー部] 全形名

端子	+サージ	-サージ	単位
V_{SC} - V_{NC} 間	4.0以上	4.0以上	kV
P-NU、NV、NW間	4.0以上	4.0以上	
U-NU、V-NV、W-NW間	4.0以上	4.0以上	

(2) Machine Model

MM にて DIIPM 各端子-GND(or NU, NV, NW)端子間に正・負の電圧を 1 回印加し、印加前後の端子の V-I 特性を変化を確認。

表3-5 静電気耐量(代表例)

条件: サージ電圧を1回印加し耐圧劣化に至った電圧(kV)

0.1kV毎に装置の限界電圧(±4.0kV)まで実施。

破壊有無は、静電気サージ印加端子のV-I特性にて確認。

[制御部] (内部ICのインターフェース回路構造が同じため制御部の耐量は同じです)

端子	+サージ	-サージ	単位
UP、VP、WP-V _{PC} 間	1.1	1.0	kV
V _{P1} -V _{PC} 間	1.3	1.3	
V _{UFB} -V _{UFS} 、V _{VFB} -V _{VFS} 、 V _{WFB} -V _{WFS} 間、	2.2	2.1	
UN、VN、WN-V _{NC} 間	0.6	0.5	
V _{N1} -V _{NC} 間	4.0以上	4.0以上	
CIN-V _{NC} 間	0.9	0.9	
Fo-V _{NC} 間	0.7	0.7	
CFo-V _{NC} 間	1.0	1.0	
V _{OT} -V _{NC} 間	1.1	1.1	

[パワー部] 全形名

端子	+サージ	-サージ	単位
V _{SC} -V _{NC} 間	0.7	0.7	kV
P-NU、NV、NW間	4.0以上	4.0以上	
U-NU、V-NV、W-NW間	4.0以上	4.0以上	

第4章 ブートストラップ回路動作

4.1 ブートストラップ回路動作

DIIPMでは、ブートストラップ回路を用いたフローティング電源により、通常のインバータ回路駆動時に必要な4つの独立電源(P側 IGBT 駆動用 3相分+N側 IGBT 駆動用)を N 側駆動用制御電源 1つで動作させることができます。

ブートストラップ回路は、図 4-1 に示すとおりブートストラップダイオード(以下 BSD)とブートストラップコンデンサ(以下 BSC)、電流制限抵抗で構成されます。

P 側 IGBT の駆動に BSC を電源として使用し、P 側 IGBT オン時のゲートチャージ及び、P 側 IGBT の駆動 IC 内ロジック回路へ回路電流を供給します。(図 4-2 コンデンサが電源の代わりであるため、その電流供給能力には制限があり、ブートストラップ回路による P 側駆動は、比較的消費電流が小さい DIIPM に適した方法です。)

回路駆動により消費された電荷は、インバータ動作中に各相の出力端子(U 端子など)の電位が GND レベル付近まで下がることで、N 側 15V 制御電源から制限抵抗、BSD を通して、コンデンサに充電されます。

ただし、P 側素子の SW シーケンス、BSC の容量、制限抵抗値など使用条件によっては、必要な電荷量に対して十分な充電が行われず、BSC の電位が電源電圧低下(UV)保護レベル以下に低下し、P 側 IGBT の SW 停止やゲート電圧(コンデンサ電圧)の低下による P 側 IGBT の損失増加につながりますので、コンデンサの容量など回路定数の設定時には十分な検討、評価が必要です。ブートストラップ回路による駆動についての詳細は、アプリケーションノートの『DIIPM ブートストラップ回路設計の手引き』を参照ください。

以下に、本製品に搭載の BSD の特性及び、P 側 IGBT 駆動部の消費電流特性を示します。

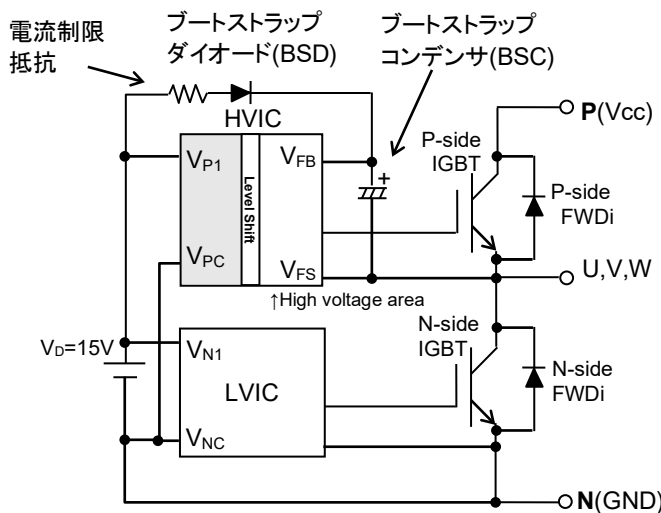


図 4-1 ブートストラップ回路

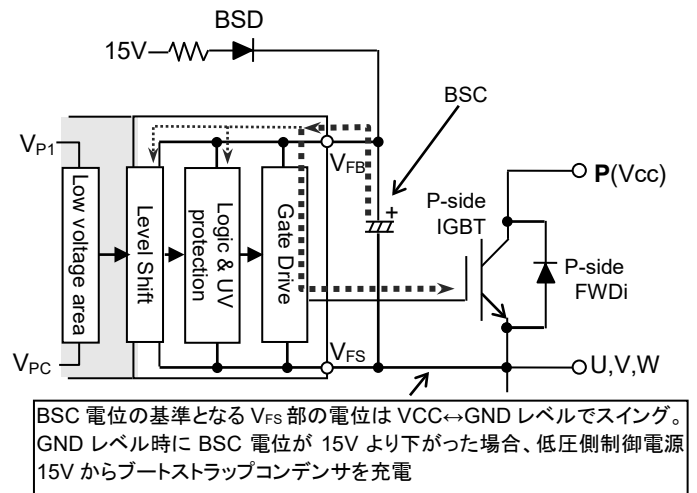


図 4-2 ブートストラップ回路消費電流

4.2 ブートストラップ電源回路電流

本製品の定常状態におけるブートストラップ電源の回路電流は、最大 1.1mA です。しかし、PWM 制御時などスイッチング時には、IGBT 駆動のためゲートの充放電が繰り返されるため、回路電流はキャリア周波数に比例して増加し、1.1mA を超えます。図 4-3~9 に各品種毎の I_{DB} の回路電流 I_{DB} -キャリア周波数特性(代表例)を示します。

条件: $V_D=V_{DB}=15V$ 、 $T_j=125^\circ C$

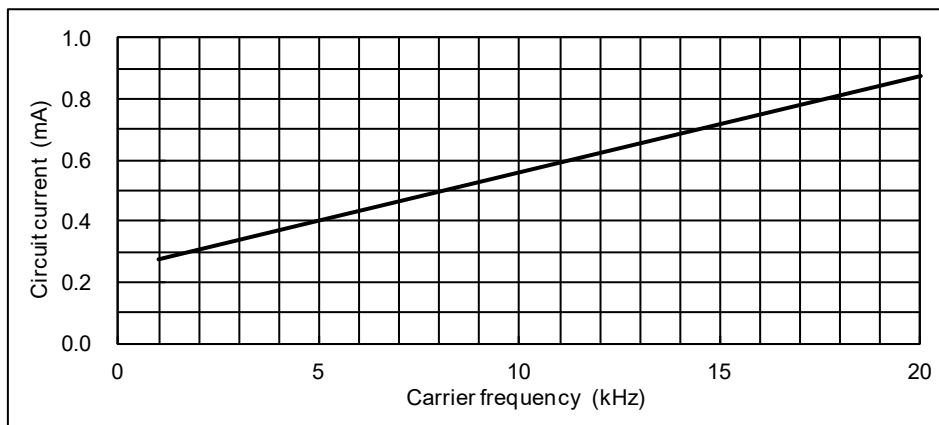


図 4-3 PSS05SA2FT の I_{DB} -キャリア周波数特性(代表例)

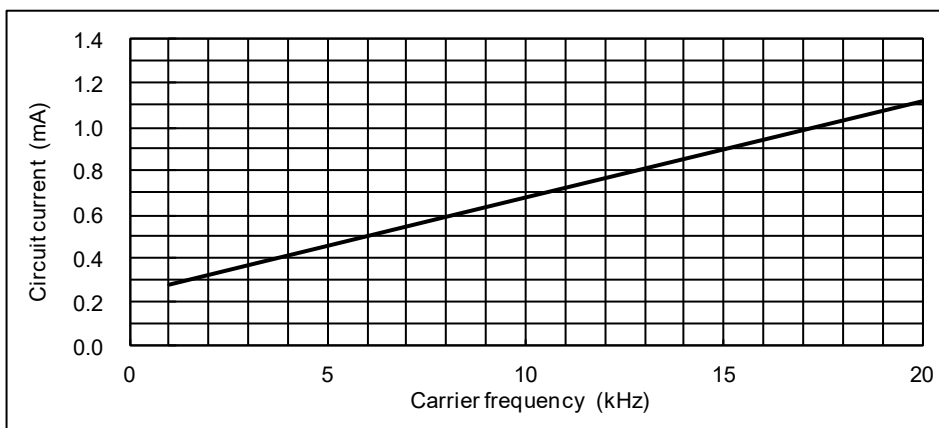


図 4-4 PSS10SA2FT の I_{DB} -キャリア周波数特性(代表例)

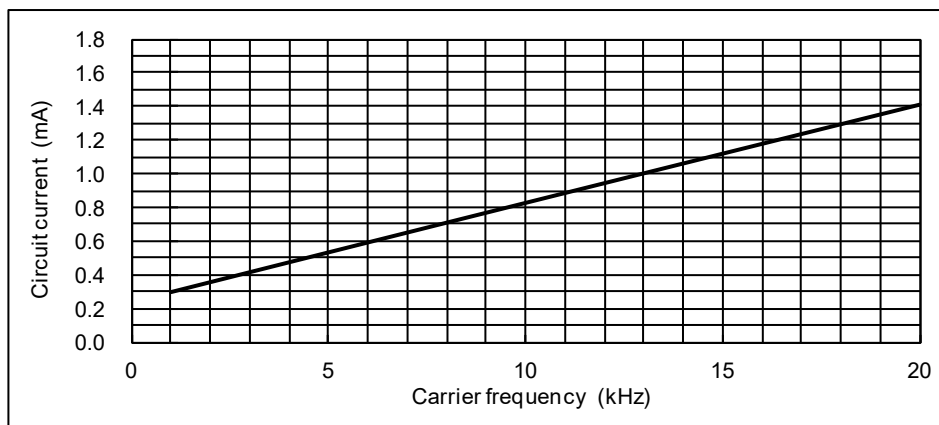


図 4-5 PSS15SA2FT の I_{DB} -キャリア周波数特性(代表例)

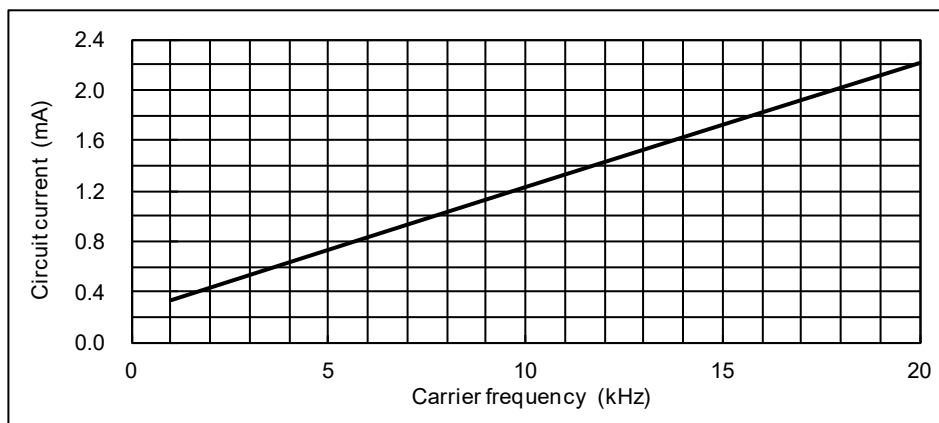


図 4-6 PSS25SA2FT の I_{DB} -キャリア周波数特性(代表例)

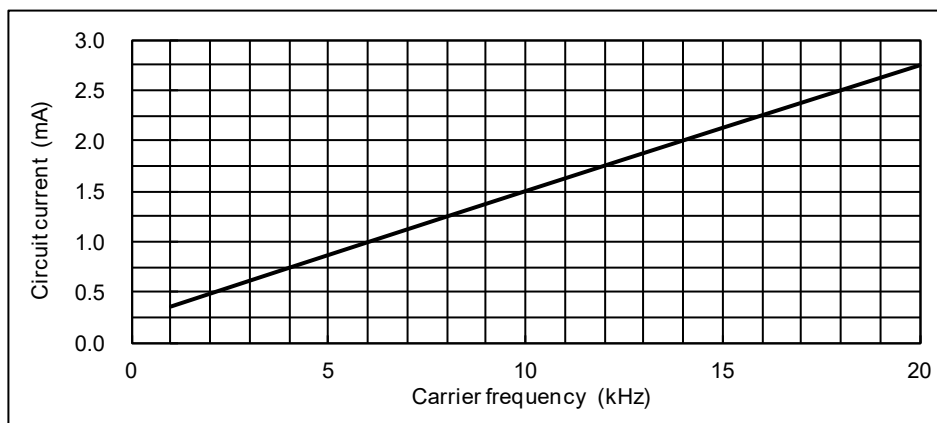


図 4-7 PSS35SA2FT の I_{DB} -キャリア周波数特性(代表例)

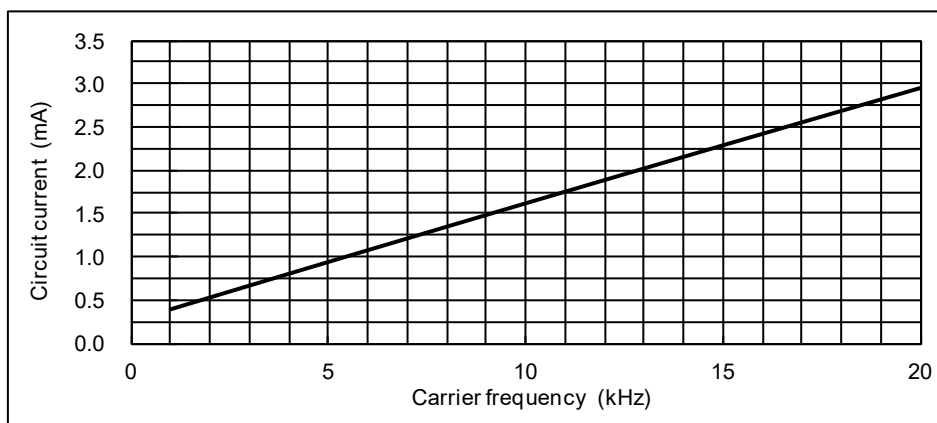


図 4-8 PSS50SA2FT の I_{DB} -キャリア周波数特性(代表例)

4. 3 ブートストラップ回路定数設定時の注意点

ブートストラップ回路の各定数の検討時には、各素子の温度特性、寿命による変化、ばらつきなどを考慮した上で設計願います。ブートストラップ回路の動作については、アプリケーションノートの『DIIPM ブートストラップ回路設計の手引き』も参照ください。各素子の選定において注意いただきたい点について以下に挙げます。

(1) ブートストラップコンデンサ

BSC には、電解コンデンサが一般的に使用されていますが、近年、大容量のセラミックコンデンサも使用されつつあります。しかし、電解コンデンサとは異なり、**セラミックコンデンサは、DC バイアス特性 (DC 電圧印加時の容量特性) により容量が大きく低下するものがありますので注意が必要です。**表 4-1 に電解コンデンサとセラミックコンデンサの一般的な特性例を示します。

表 4-1 コンデンサ静電容量の各特性例

	電解コンデンサ	大容量セラミックコンデンサ
温度特性 (Ta: -20~85°C)	アルミ電解コンデンサ: 低温: -10% 高温: +10%程度 導電性高分子アルミ固体タイプ: 低温: -5% 高温: +10%程度	B, X5R, X7R など温度特性ランクにより異なる。 低温: -5%~0%程度 高温: -5%~-10%程度
DC バイアス特性 (DC15V 印加時)	定格電圧内であればほぼ変化無し	サイズ、温度特性、定格電圧により異なる。 -70%~-15%程度低下

電解コンデンサについては、DC バイアス特性は問題ありませんが、繰り返し充放電によるリップル耐量、寿命 (周囲温度による影響大) などに注意が必要です。上記、特性は WEB に掲載のコンデンサの特性の参考例です。コンデンサの詳細特性につきましては、各コンデンサメーカーにご確認ください。

(2) ブートストラップダイオード

本製品は、P 側 IGBT 駆動電源用のブートストラップダイオード (以下 BSD) を搭載してします。BSD には、typ20Ω の電流制限抵抗も搭載しています。BSD の V_F 特性 (電流制限抵抗による電圧降下分を含む) を図 4-10 及び表 4-2 に示します。

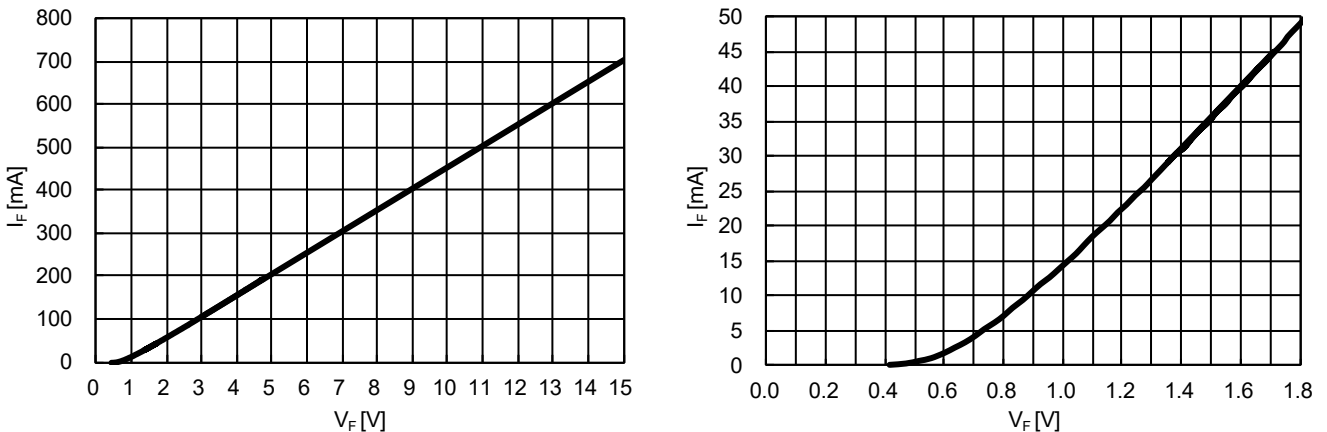


図 4-10 ブートストラップダイオード V_F - I_F カーブ (代表例、右図は拡大図)

表 4-2 ブートストラップダイオード電気的特性

項目	記号	条件	Min.	Typ.	Max.	Unit
ブートストラップ Di 順電圧降下	V_F	$I_F=10\text{mA}$, 制限抵抗の電圧降下含む	0.5	0.9	1.3	V
ブートストラップ Di 内蔵制限抵抗	R	ブートストラップ Di に内蔵	16	20	24	Ω

4. 4 ブートストラップ回路使用時の初期充電について

ブートストラップ回路を用いる場合、初期始動前、あるいは、IPMの一定時間休止後(1秒程度でも)にはICの定常消費電流 I_{DB} により BSC の電圧が UV 保護レベルより下がっている可能性があるため、始動前に BSC をあらかじめ初期充電する必要があります。

BSC の充電は、通常 N 側 IGBT 全相をオンさせて行います。モータなどの負荷がつながっている場合は、1相をオンさせるだけでもモータ内配線を通して、他相の出力端子電位も低下し充電できる場合があります。ただし、モータ内の配線抵抗などにより、コンデンサの充電効率は低下する可能性があります。

充電は、ワンパルスで行う方法と、15V 制御電源の供給能力などの制限がある場合に複数回のオンパルスにて行う方法もあります。

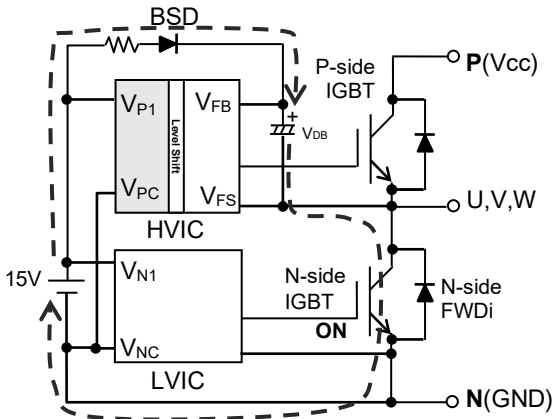


図 4-11 初期充電経路

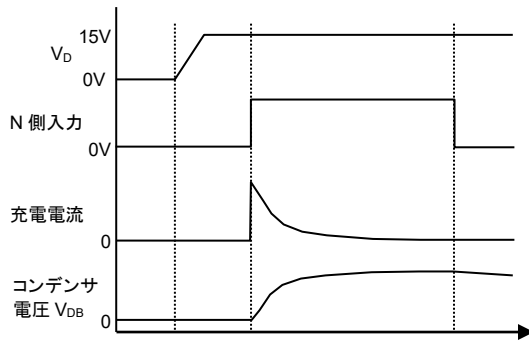


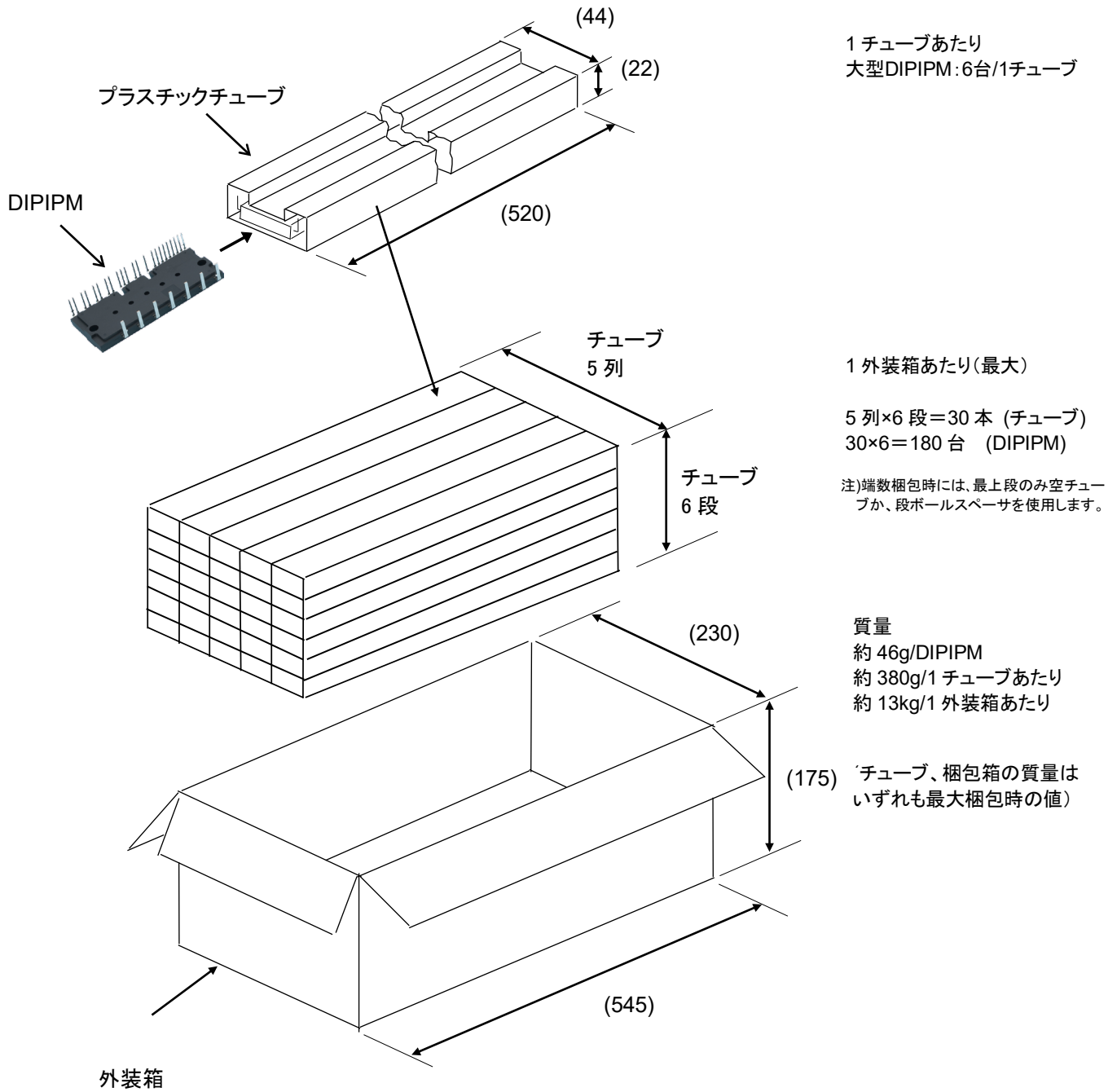
図 4-12 ワンパルスでの充電波形例

初期充電は、少なくとも V_{DB} の推奨電源電圧範囲である 13V 以上になるまで実施してください。(充電後、インバータ動作開始までの時間の低下分を考慮して、13V より高めに充電することを推奨します。)

BSC が十分に充電された後、インバータ(PWM 入力)スタート前に P 側保護状態のリセット用オンパルスを 1 パルス入力することを推奨いたします。入力するパルス幅は、各製品に規定の最小許容入力オンパルス幅(1.5 μ s)で問題ありません。

第5章 その他


5.1 梱包仕様



箱の底及び最上段のチューブの上には、板状のスペーサが入ります。また、上部に空間がある場合、気泡緩衝材が入ります。

図 5-1 梱包仕様

5.2 取り扱いの注意

 注 意	
運送・運搬方法	<ul style="list-style-type: none">・運送中は梱包箱を正しい向きに置いてください。逆さにしたり、立てかけたり不自然な力を加えると、電極端子が変形したり樹脂ケースが壊れる原因になります。・投げたり、落したりすると素子が壊れる原因になります。・水に濡れると使用時の故障原因になります。降雨、降雪時の運搬には濡らさないように注意してください。
保管方法	<ul style="list-style-type: none">・本製品を保管する場所の温度及び湿度は、5～35℃、45～75%の常温常湿範囲内が望ましく、この温度、湿度から極度にかけて離れた環境では素子の性能や信頼性を低下させることがあります。
長期保存	<ul style="list-style-type: none">・本製品を長期(1年以上)に保管する場合は、除湿対策をしてください。なお、長期保管後、ご使用の際は、外観に傷、汚れ、錆等がないことを確認してください。
使用環境	<ul style="list-style-type: none">・水(結露含む)や有機溶剤が直接付着する場所、腐蝕性ガスを発生する場所、また、爆発性ガス、粉塵、塩分などのあるところでの使用は重大な事故につながる可能性がありますので避けてください。
難燃性について	<ul style="list-style-type: none">・ケース材料には UL 規格の 94V-0 認定品を使用していますが、不燃性ではありません。
静電気対策	<ul style="list-style-type: none">・DIIPM は MOS ゲート構造を有する専用 IC を使用しています。静電気による破壊を防止するために下記事項を守ってください。(1)静電気破壊に対する注意事項<ul style="list-style-type: none">人体や梱包材料などに帯電した静電気が端子に印加されると、素子が破壊することがあります。静電気対策の基本は、静電気の発生をできるだけ押さえることと、帯電した電荷をすばやく逃がすことが大切です。* 運搬、保存に静電気を帯びやすい容器は使用しないでください。* DIIPM は、使用する直前までチューブから出さないでください。また素手で端子を絶対に触らないようにしてください。* 組立時、使用機器や人体を接地して作業を行ってください。また、作業台表面および作業台周囲の床は導電性マットを敷き、接地することを推奨します。* 素子を実装したプリント基板上で各制御端子間がオープンになっていると、プリント基板に帯電した静電気により破壊することがありますのでご注意ください。* 半田ゴテを使用する場合は、コテ先をアースしてください。(2)各制御端子間開放時の注意事項<ul style="list-style-type: none">* 各制御端子間がオープン状態で、コレクタ・エミッタ間に電圧を印加しないでください。* 素子を取外す場合、各制御端子間を短絡してから取外してください。
過電圧対策	<ul style="list-style-type: none">・過電圧破壊に対する注意事項インラインテスト工程などにおいて試験後基板のコネクタを放電前に活線挿抜する、絶縁試験時治具の接触不具合など DIIPM の外形や搭載基板に対して直接あるいは間接的に放電を発生させた場合、IPM 内の素子にサージが伝搬し過電圧破壊の可能性があるので注意してください。

特記事項

本資料に記載されている情報は、いかなる場合でも、条件、特性及び品質を保証するものではありません。弊社半導体製品は必ず本資料に記載された最大定格の範囲内でご使用いただき、また、適用される法令による要求、規範及び基準をお客様が遵守することを前提としております。

なお、弊社の権限を有する者が署名した書面による明示の承諾がある場合を除き、人身事故を招くおそれのある用途に弊社半導体製品を使用することはできません。

パワー半導体製品は、長期の信頼性（パワーサイクルやサーマルサイクル等）について寿命を有していることや、特殊環境下（結露、高湿度、高粉塵、高塩分、高地、有機物・腐食性ガス・爆発性ガスが多い環境、端子部等への過度な応力等）での使用により、故障が発生したり、誤動作したりする場合がありますので、十分ご注意ください。また、技術的要件によっては弊社半導体製品に環境規制物質等が含まれる可能性があります。詳細確認を要する場合には、最寄りの弊社営業所、あるいは代理店までお問い合わせください。

本資料の内容・データは、専門技術・教育を受けられた技術者を対象としています。弊社半導体製品のお客様用途への適合性及び適合性に関する弊社製品データの完全性については、お客様の技術部門の責任にて評価・判断してください。なお、貴社製品への適用検討にあたって、弊社半導体製品単体で評価するだけでなく、システム全体で十分に評価し、適用可否をご判断ください。必要に応じ、電源と半導体製品の間に適切な容量のヒューズまたはブレーカーを取り付けて二次破壊を防ぐなど、安全設計に十分ご注意ください。関連するアプリケーションノート・技術資料も合わせてご参照ください。

安全設計に関するお願い

弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

- 本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機または、第三者に帰属する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入にあたりましては、事前に三菱電機または代理店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ(www.MitsubishiElectric.co.jp/semiconductors/)などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または代理店へご照会ください。
- 半導体・デバイスサイトに含まれる製品や技術をお客様が他の国へ提供する場合は、日本およびその他の国の輸出管理規制等を遵守する必要があります。また、日本、その他の仕向け地における輸出管理規則に抵触する迂回行為や再輸出は禁止します。
- 本資料の一部または全部の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または代理店までご照会ください。