

mitsubishi

<Dual-In-Line Package Intelligent Power Module >

小型 DIIPM Ver.4 シリーズ アプリケーションノート

PS21765/PS21767/PS21767-V

DIIPM アプリケーションノート目次

第1章 製品の概要	2
1.1 用途.....	2
1.2 製品ラインナップ.....	2
1.3 機能・特長.....	2
第2章 小型 DIIPM Ver.4 のスペック	4
2.1 小型 DIIPM Ver.4 のスペック.....	4
2.1.1 最大定格.....	4
2.1.2 電気的特性 熱抵抗.....	5
2.1.3 電気的特性 静特性およびスイッチング特性.....	5
2.1.4 電気的特性 制御(保護)部の特性.....	6
2.1.5 推奨使用条件.....	7
2.1.6 機械的定格および特性.....	8
2.2 小型 DIIPM Ver.4 の保護機能とシーケンス.....	8
2.2.1 短絡保護.....	8
2.2.2 制御電源電圧低下保護.....	9
2.3 小型 DIIPM Ver.4 のパッケージ.....	11
2.3.1 外形図.....	11
2.3.2 マーキング.....	12
2.3.3 端子配列と名称.....	13
2.4 小型 DIIPM Ver.4 の取り付け方法.....	15
2.4.1 小型 DIIPM Ver.4 の絶縁距離.....	15
2.4.2 小型 DIIPM Ver.4 の取り付け方法と注意点.....	15
2.4.3 はんだ付け条件.....	16
第3章 小型 DIIPM Ver.4 の使用方法	17
3.1 小型 DIIPM Ver.4 の使用方法と応用.....	17
3.1.1 システム接続例.....	17
3.1.2 インターフェイス回路例(直接接続、N側エミッタ共通).....	18
3.1.3 インターフェイス回路例(フォトカプラ駆動).....	19
3.1.4 N側エミッタ分割仕様の場合の外部 SC 保護回路例.....	20
3.1.5 DIIPM の信号入力端子と Fo 端子.....	20
3.1.6 スナバコンデンサの接続.....	23
3.1.7 外部シャント抵抗周辺回路の接続.....	23
3.1.8 PCB設計時の注意点について.....	25
3.1.9 DIIPM の並列動作について.....	26
3.1.10 DIIPM の SOA(スイッチング時、短絡時).....	26
3.1.11 短絡 SOA データ.....	27
3.1.12 動作寿命について.....	28
3.2 パワーロスと放熱設計.....	29
3.2.1 損失計算方法(例).....	29
3.2.2 温度上昇の考え方と計算例.....	31
3.3 ノイズ耐量について.....	32
3.3.1 測定回路.....	32
3.3.2 対策と注意事項.....	32
3.3.3 静電気耐量について.....	33
第4章 小型 DIIPM Ver.4 の外部定数設定方法	34
4.1 短絡保護用外部シャント抵抗の設定方法.....	34
4.2 ブートストラップ回路動作.....	35
4.2.1 ブートストラップ回路動作.....	35
4.2.2 ブートストラップ電源回路電流.....	36
4.2.3 ブートストラップ回路定数設定時の注意点.....	36
第5章 小型 DIIPM Ver.4 の I/F 基板例	38
5.1 I/F 基板について.....	38
5.2 I/F 基板の配線パターン例(両面基板).....	39
5.3 回路図と部品図.....	40
第6章 その他	42
6.1 梱包仕様.....	42
6.2 取り扱いの注意.....	43

小型 DIIPM Ver.4 シリーズ アプリケーションノート

第1章 製品の概要

1.1 用途

エアコン, 給湯機器用コンプレッサ等のモータ駆動
小容量産業用モータ駆動

1.2 製品ラインナップ

表 1-1: 小型 DIIPM Ver.4 製品ラインナップ

形名 ^{注2)}	定格	モータ定格 ^{注1)}	絶縁耐電圧 Viso
PS21765	20A/600V	1.5kW/220VAC	AC2500Vrms (正弦波 60Hz, 1min 全端子共通-放熱ヒートシンク間)
PS21767/-V	30A/600V	2.2kW/220VAC	

注1) モータ定格は、以下の条件時の計算結果によるものです。実際にはご使用条件により適用可能なモータ容量は異なります。(条件: $V_{AC}=220V, V_D=V_{DB}=15V, T_c=100^\circ C, T_j=125^\circ C, f_c=5kHz, P.F=0.8, \text{motor efficiency}=0.75, \text{current ripple ratio}=1.05, \text{motor over load } 150\% \text{ } 1\text{min.}$)

注2) PS21767-V は、高速 SW オフ仕様です。

1.3 機能・特長

小型 DIIPM Ver.4 は、AC100V~200V 系の小容量モータ制御用インバータのパワー素子、および駆動・保護回路を、量産性に優れたトランスファーモールド方式により、1パッケージに集積した、小型インテリジェントパワーモジュール(IPM)です。図 1-1 に外観写真、図 1-2 に内部構造断面図を示します。

小型 DIIPM Ver.4 は、高放熱の絶縁放熱シート構造を用いることで、小型化を図りながら放熱性の向上も実現しています。また、絶縁耐圧 2500Vrms を確保していますので、産業用途の小容量モータの制御に最適です。

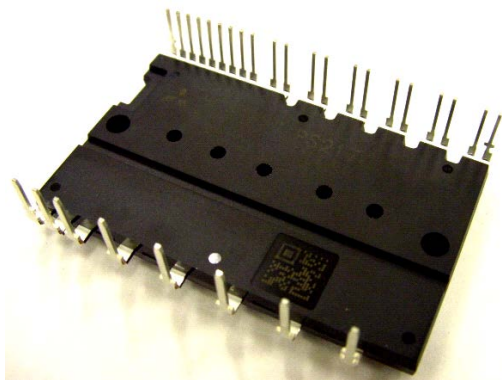


図 1-1 外観写真

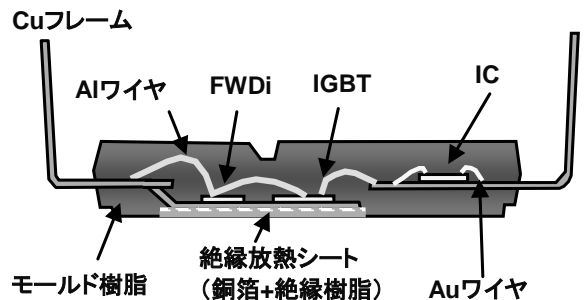


図 1-2 内部断面構造図

■内蔵機能

- P 側 IGBT 用:
 - 駆動回路、高圧レベルシフト回路、
 - 制御電源電圧低下(UV)保護回路(エラー出力無し)
- N 側 IGBT 用:
 - 駆動回路、短絡保護回路、
 - 制御電源電圧低下(UV)保護回路
 - (短絡保護は、DIIPM外部の電流検出抵抗で過電流に対する電圧を検出し、DIIPMへフィードバックして行う。)
- エラー出力:
 - N 側 IGBT 短絡保護時、N 側制御電源電圧低下時出力
- IGBT 駆動電源:
 - DC15V 単一電源
- 入力インターフェイス:
 - 3V,5V 対応、ハイアクティブ駆動
- UL 認証済み :
 - UL1557 File E80276

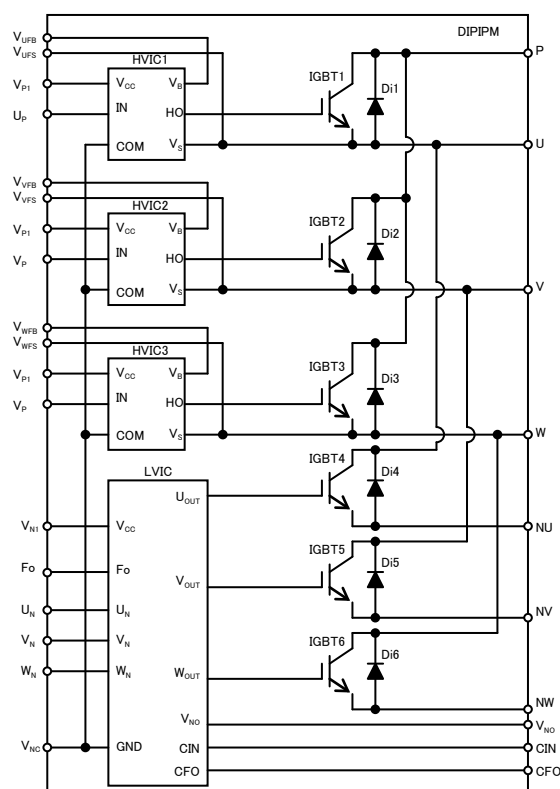


図 1-3 内部回路図

小型 DIIPM Ver.4 シリーズ アプリケーションノート

第2章 小型 DIIPM Ver.4 のスペック

2.1 小型 DIIPM Ver.4 のスペック

スペック例について代表例 PS21767(30A/600V)で説明します。

2.1.1 最大定格

PS21767(30A/600V)の最大定格を、表 2-1 に示します。

表 2-1 PS21767(30A/600V)の最大定格

インバータ部

項目	記号	条件	定格値	単位
電源電圧	V_{CC}	P-NU,NV,NW 端子間	450	V
電源電圧(サージ)	$V_{CC(surge)}$	P-NU,NV,NW 端子間	500	V
コレクタ・エミッタ間電圧	V_{CES}		600	V
コレクタ電流	$\pm I_C$	$T_c=25^\circ\text{C}$	30	A
コレクタ電流(ピーク)	$\pm I_{CP}$	$T_c=25^\circ\text{C}$, 1ms以下	60	A
コレクタ損失	P_c	$T_c=25^\circ\text{C}$, 1素子当り	90.9	W
接合温度	T_j		-20~+150	$^\circ\text{C}$

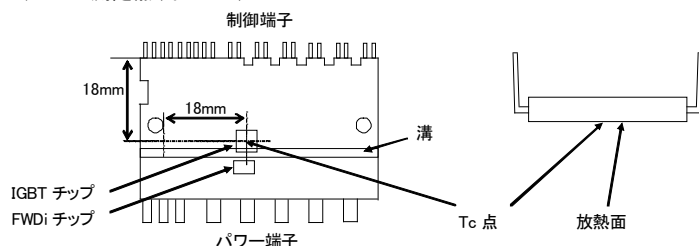
制御(保護)部

項目	記号	条件	定格値	単位
制御電源電圧	V_D	$V_{P1}-V_{NC}$, $V_{N1}-V_{NC}$ 端子間	20	V
制御電源電圧	V_{DB}	$V_{UFB}-V_{UFS}$, $V_{VFB}-V_{VFS}$, $V_{WFB}-V_{WFS}$ 端子間	20	V
入力電圧	V_{IN}	$U_P, V_P, W_P, U_N, V_N, W_N-V_{NC}$ 端子間	-0.5~ $V_D+0.5$	V
エラー出力印加電圧	V_{FO}	$Fo-V_{NC}$ 端子間	-0.5~ $V_D+0.5$	V
エラー出力電流	I_{FO}	Fo端子のシンク電流値	1	mA
電流検出入力電圧	V_{SC}	CIN- V_{NC} 端子間	-0.5~ $V_D+0.5$	V

全システム

項目	記号	条件	定格値	単位
電源電圧自己保護範囲(短絡)	$V_{CC(PROT)}$	$V_D=13.5\sim 16.5\text{V}$, インバータ部 $T_j=125^\circ\text{C}$ スタート, 2 μs 以内 非繰り返し	400	V
動作モジュール温度	T_c	(注1)	-20~+100	$^\circ\text{C}$
保存温度	T_{stg}		-40~+125	$^\circ\text{C}$
絶縁耐圧	Viso	正弦波 60Hz, 1分間 全端子共通一放熱フィン間	2500	Vrms

(注1) T_c の測定点(イメージ)



各項目の説明

- (1) V_{CC} 内蔵 IGBT がスイッチングしていない状態で、P-N 端子間に印加できる最大直流電源電圧。この電圧を超えるような場合は、ブレーキ回路等による制限をかける必要があります。
- (2) $V_{CC(surge)}$ 内蔵 IGBT がスイッチングしている状態で、P-N 端子間に現れるサージ電圧の最大値。この電圧を超えないように、母線のインダクタンスを低減したり、スナバ回路を接続する必要があります。
- (3) V_{CES} 内蔵 IGBT の C-E 間に印加できる最大電圧定格。
- (4) $\pm I_C$ $T_c=25^\circ\text{C}$ 時に、連続通電可能な DC 電流値。温度が高くなると通電可能な電流値は下がります。
- (5) T_j 最大瞬時接合温度は 150°C ですが、安全動作させるための平均動作接合温度は $T_j \leq 125^\circ\text{C}$ ($T_c=100^\circ\text{C}$)以内を推奨します。
- (6) $V_{CC(PROT)}$ 内蔵の IGBT が短絡や過電流状態になった場合に、IPM の保護機能によって IGBT を安全に遮断できる最大電源電圧。この条件を超えると保護できず、素子破壊に至る可能性が高くなります。
- (7) T_c 測定点 小型 DIIPM Ver.4 は UN 相 IGBT チップの直下を T_c 測定点と定義しています。ヒートシンクを加工し、チップ直下に熱電対が位置するようにします。P 側と N 側で制御方法が異なる場合などには、最も T_c が高くなる点が入りとは異なる可能性があります。そのような場合には、測定点を変更して最も損失が大きくなるパワーチップの直下で T_c を測定する必要があります。

小型 DIIPM Ver.4 シリーズ アプリケーションノート

2. 1. 2 電気的特性 熱抵抗

PS21767(30A/600V)の熱抵抗規格を、表 2-2 に示します。

表 2-2 PS21767(30A/600V)の熱抵抗規格
熱抵抗

項目	記号	条件	最小値	標準値	最大値	単位
接合・ケース間熱抵抗	$R_{th(j-c)Q}$	インバータIGBT(1/6モジュール)	-	-	1.1	°C/W
	(注2) $R_{th(j-c)F}$	インバータFWD(1/6モジュール)	-	-	2.8	

(注2) DIIPMと放熱フィンとの接触面には、熱伝導のよいグリースを100~200 μ m程度、均一になるように塗布の上、規定の締め付けトルクにて締め付けることを規定します。(またグリースは使用動作温度範囲内で変質せず、経年変化のないものとします。)

ただし、製品放熱面-フィン間の熱抵抗は、締め付けた状態におけるグリースの厚さ、グリースの熱伝導率等により異なります。目安として、グリース厚20 μ m、グリースの熱伝導率1.0W/m \cdot Kの場合の製品放熱面-フィン間熱抵抗値(1/6モジュール)は0.3°C/Wとなります。

規格表のデータは、接合-ケース間の定常時の熱抵抗を示しています。小型 DIIPM Ver.4 の熱抵抗は、およそ 10 秒で飽和し定常状態になります。10 秒以下での熱抵抗(過渡熱抵抗)は図 2-1 の通りです。図 2-1 の過渡熱抵抗 $Z_{th(j-c)}$ の"1"が、規格表の熱抵抗値に相当します。PS21767 の IGBT 部の 0.2s における過渡熱抵抗値は、 $1.1(°C/W) \times 0.8=0.88(°C/W)$ となります。過渡熱抵抗は、定常的に流れるのではなく短時間(ms オーダ)の電流が流れる場合(例えばモータ起動時や短時間のロック時など)の温度上昇を検討する場合に使用します。

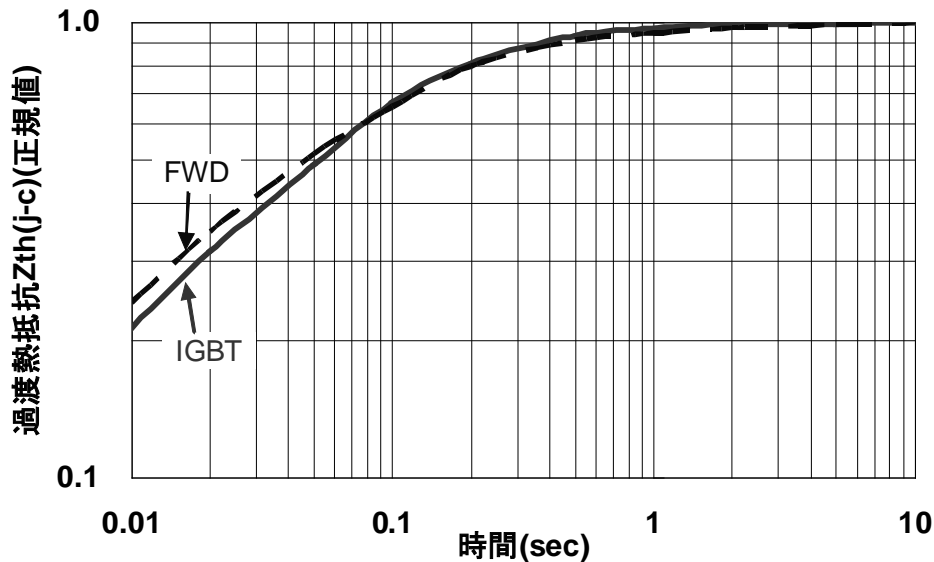


図 2-1: 小型 DIIPM Ver.4 の IGBT/FWD 過渡熱抵抗特性(代表例)

2. 1. 3 電気的特性 静特性およびスイッチング特性

PS21767(30A/600V)の静特性およびスイッチング特性の規格を、表 2-3 に示します。

表 2-3 PS21767(30A/600V)の静特性およびスイッチング特性規格
インバータ部

項目	記号	条件	最小値	標準値	最大値	単位	
コレクタ・エミッタ間飽和電圧	$V_{CE(sat)}$	$V_D=V_{DB}=15V$ $V_{IN}=5V$	$I_c=30A, T_j=25°C$	-	1.60	2.10	V
			$I_c=30A, T_j=125°C$	-	1.70	2.20	
FWD順電圧降下	V_{EC}	$T_j=25°C, -I_c=30A, V_{IN}=0V$	-	1.50	2.00	V	
スイッチング時間	t_{on}	$V_{CC}=300V, V_D=V_{DB}=15V$ $I_c=30A, T_j=125°C$ 誘導負荷(上-下アーム)	0.70	1.30	1.90	μ s	
	t_{tr}		-	0.30	-		
	$t_{C(on)}$		-	0.50	0.80		
	t_{off}		-	1.50	2.10		
	$t_{C(off)}$		$V_{IN}=0 \Leftrightarrow 5V$	-	0.40		0.60
コレクタ・エミッタ間遮断電流	I_{CES}	$V_{CE}=V_{CES}$	$T_j=25°C$	-	-	1	mA
			$T_j=125°C$	-	-	10	

スイッチング時間の定義、および測定方法については、図 2-2、図 2-3 に示します。スイッチングは L 負荷(誘導負荷)ハーフブリッジ回路で測定しています。

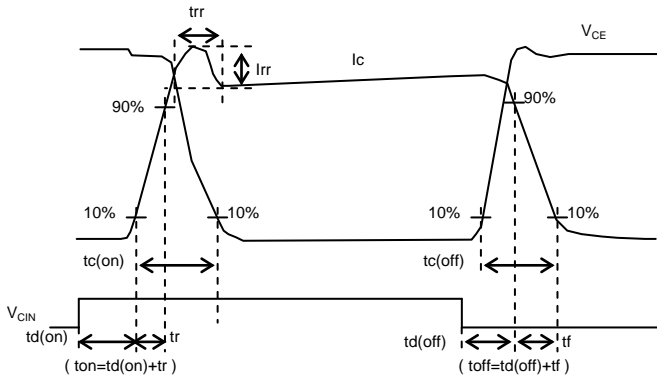


図 2-2: スイッチング時間の定義

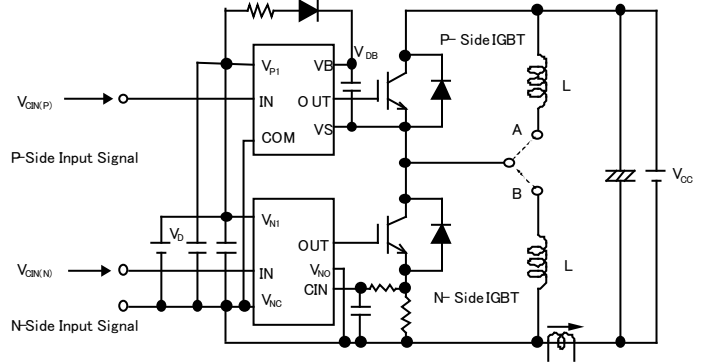


図 2-3: L 負荷ハーフブリッジ測定回路

* : P 側スイッチング時は B を接続、N 側スイッチング時は A を接続

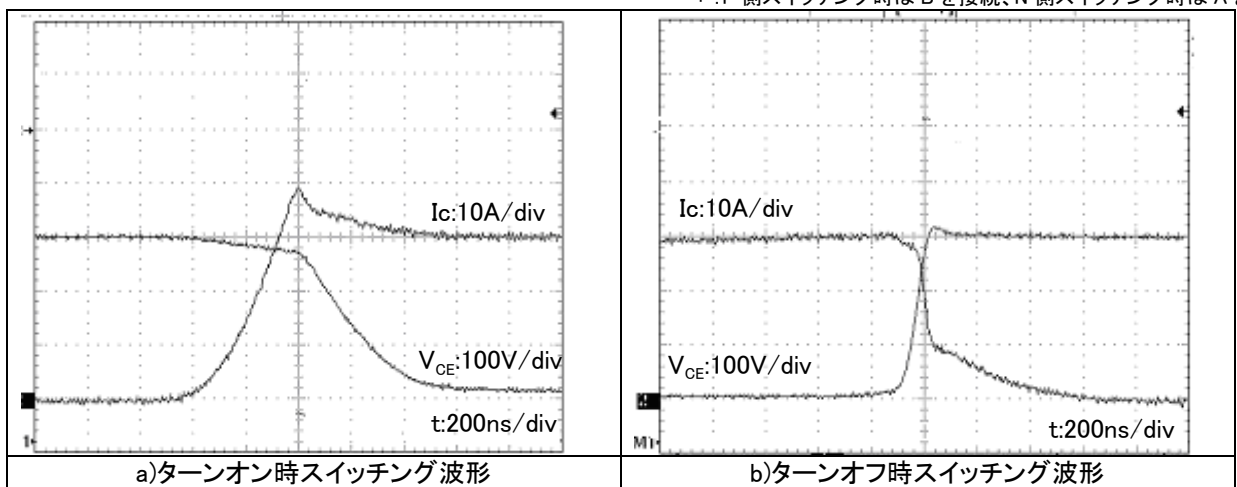


図 2-4: 小型 DIIPM Ver.4 PS21767(30A/600V)スイッチング波形 (代表例)

測定条件: $V_{CC}=300V, V_D=V_{DB}=15V, T_j=125^\circ C, L$ 負荷ハーフブリッジ, $I_C=30A$

2. 1. 4 電気的特性 制御(保護)部の特性

PS21767(30A/600V)の制御(保護)部の規格を、表 2-4 に示します。

表 2-4 PS21767(30A/600V)の制御(保護)部規格

制御(保護)部		項目		記号	条件	最小値	標準値	最大値	単位
回路電流	I_D	$V_D=V_{DB}=15V$ $V_{IN}=5V$	$V_{P1}-V_{NC}, V_{N1}-V_{NC}$ の総和		—	—	7.00	mA	
			$V_{UFB}-V_{UFS}, V_{VFB}-V_{VFS}, V_{WFB}-V_{WFS}$		—	—	0.55		
		$V_D=V_{DB}=15V$ $V_{IN}=0V$	$V_{P1}-V_{NC}, V_{N1}-V_{NC}$ の総和		—	—	7.00		
			$V_{UFB}-V_{UFS}, V_{VFB}-V_{VFS}, V_{WFB}-V_{WFS}$		—	—	0.55		
エラー出力電圧	V_{FOH}	$V_{SC}=0V, F_o=10k\Omega$ 5V プルアップ			4.9	—	—	V	
	V_{FOL}	$V_{SC}=1V, I_{F0}=1mA$			—	—	0.95	V	
短絡保護トリップレベル	$V_{SC(ref)}$	$T_j=25^\circ C, V_D=15V$			(注3) 0.43	0.48	0.53	V	
入力電流	I_{IN}	$V_{IN}=5V$			1.0	1.5	2.0	mA	
制御電源電圧 低下保護	UV_{DBt}	$T_j \leq 125^\circ C$	トリップレベル		10.0	—	12.0	V	
	UV_{DBr}		リセットレベル		10.5	—	12.5	V	
	UV_{Dt}		トリップレベル		10.3	—	12.5	V	
	UV_{Dr}		リセットレベル		10.8	—	13.0	V	
エラー出力パルス幅	t_{F0}	$C_{F0}=22nF$			(注4) 1.0	1.8	—	ms	
入力オンしきい電圧	$V_{th(on)}$	$U_p, V_p, W_p-V_{NC}, U_n, V_n, W_n-V_{NC}$ 端子間			—	2.3	2.6	V	
入力オフしきい電圧	$V_{th(off)}$				0.8	1.4	—	V	
入力しきい値 ヒステリシス電圧	$V_{th(hys)}$				0.5	0.9	—	V	

(注3) 短絡保護は下アームのみ動作します。また、SCは定格の2.0倍以下になるように外部抵抗を選定してください。

(注4) エラー出力は、短絡保護・ V_D 制御電源電圧保護のとき下アームのみ出力します。
 t_{F0} の計算式を示します。 $C_{F0} = 12.2 \times 10^{-9} \times t_{F0}$ [F]

2. 1. 5 推奨使用条件

PS21767(30A/600V)の推奨使用条件を、表 2-5 に示します。

推奨使用条件は必須使用条件ではありませんが、DIIPM を安全に使用するためには極力、推奨使用条件範囲内で使用されるようお願いいたします。

表 2-5 PS21767(30A/600V)の推奨使用条件

推奨使用条件

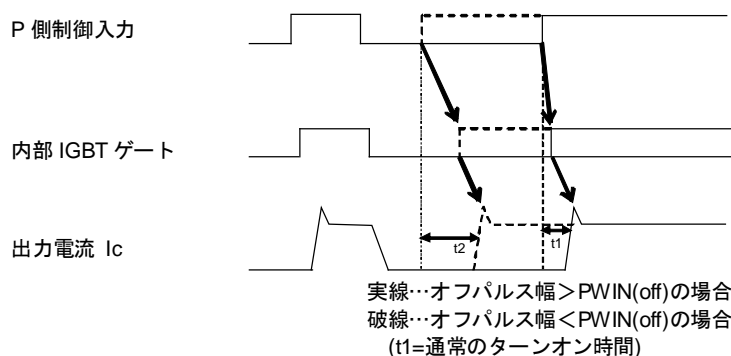
項目	記号	条件	推奨値			単位	
			最小	標準	最大		
電源電圧	V_{OC}	P-NU,NV,NW 端子間	0	300	400	V	
制御電源電圧	V_D	$V_{P1}-V_{NC}$, $V_{N1}-V_{NC}$ 端子間	13.5	15.0	16.5	V	
制御電源電圧	V_{DB}	$V_{UFB}-V_{UFS}$, $V_{VFB}-V_{VFS}$, $V_{WFB}-V_{WFS}$ 端子間	13.0	15.0	18.5	V	
制御電源電圧変動率	ΔV_D , ΔV_{DB}		-1	-	1	V/ μ s	
上下アーム休止時間	t_{dead}	各アーム段入力に対応, $T_c \leq 100^\circ\text{C}$	2.0	-	-	μ s	
PWM制御入力信号	f_{PWM}	$T_c \leq 100^\circ\text{C}$, $T_j \leq 125^\circ\text{C}$	-	-	20	kHz	
許容実効電流	I_o	$V_{OC}=300\text{V}$, $V_D=V_{DB}=15\text{V}$, P.F=0.8, 正弦波出力, $T_c \leq 100^\circ\text{C}$, $T_j \leq 125^\circ\text{C}$ (注7)	$f_{PWM}=5\text{kHz}$	-	-	21	Arms
			$f_{PWM}=15\text{kHz}$	-	-	16	
許容最小入力パルス幅	PWIN(on)	(注8)	0.3	-	-	μ s	
	PWIN(off)	200 $\leq V_{OC} \leq 350\text{V}$, 13.5 $\leq V_D \leq 16.5\text{V}$, 13.0 $\leq V_{DB} \leq 18.5\text{V}$, -20 $^\circ\text{C} \leq T_c \leq 100^\circ\text{C}$, Nライン配線インダクタンス 10nH以下 (注9)	定格電流以下	1.5	-		-
			定格電流の1.7倍	3.0	-		-
			定格電流の1.7倍~ 定格電流の2.0倍	3.6	-	-	
V_{NC} 端子変動	V_{NC}	$V_{NC}-\text{NU,NV,NW}$ 端子間の電位差, サージ電圧含む	-5.0	-	5.0	V	
接合温度	T_j		-20	-	125	$^\circ\text{C}$	

(注7) 許容実効電流に関しては、使用条件によって変わります。

(注8) PWIN(on)以下のパルス幅の入力オン信号には出力が応答しないことがあります。

(注9) PWIN(off)以下のパルス幅の入力オフ信号には出力が応答しない、またはP側のみターンオン時間が大きくなる場合があります(2 μ s程度以下)。ただし、この場合においても入力オンの状態にて出力オフの状態を維持し続けることはありません。詳細は下図のタイミング図を参照ください。また、Nライン配線インダクタンスについては、後述の外付けシャント抵抗周辺配線応用例を参照ください。

許容最小入力パルス幅PWIN(off)以下の信号を印加した場合の出力動作(P側のみ)



※制御電源電圧変動率について

制御 IC の電源ラインに高周波の急峻なノイズが重畳されると、IC の誤動作が起きて Fo を出力し、更には出力を停止(ゲート遮断)することがあります。この誤動作を回避するために、ノイズの変動成分が $\pm 1\text{V}/\mu\text{s}$ より穏やかになるよう、また、そのリップル電圧も 2Vp-p より小さくなるように、電源回路を設計してください。(規定: $dV/dt \leq 1\text{V}/\mu\text{s}$, $V_{ripple} \leq 2\text{Vp-p}$)

小型 DIIPM Ver.4 シリーズ アプリケーションノート

2. 1. 6 機械的定格および特性

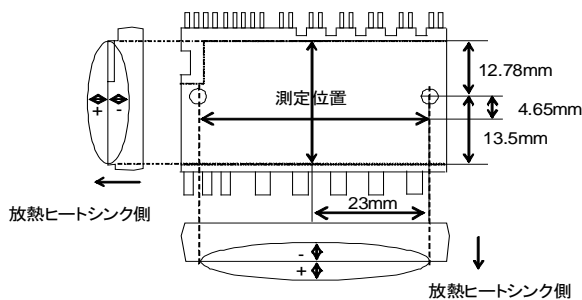
PS21767(30A/600V)の機械的定格および特性規格を、表 2-6 に示します。
 小型 DIIPM Ver.4 の取り付け方法については、2.4 項を参照ください。

表 2-6 PS21767(30A/600V)の機械的定格および特性
 機械的定格及び特性

項目	条件		準拠規格	最小値	標準値	最大値	単位
締め付けトルク強度	取り付けネジ M3(注5)	推奨値 0.78 N・m	-	0.59	-	0.98	N・m
端子引張り強度	荷重 9.8N		EIAJ-ED-4701	10	-	-	s
端子曲げ強度	荷重 4.9Nにて90度 曲げ		EIAJ-ED-4701	2	-	-	回
質量				-	21	-	g
放熱面平面度	(注6)			-50	-	100	μm

(注5) 取り付けネジには平座金(推奨: JIS B1256)を使用して下さい。

(注6) 放熱面平面度測定位置



2. 2 小型 DIIPM Ver.4 の保護機能とシーケンス

小型 DIIPM Ver.4 には、短絡保護、制御電源電圧低下保護があります。各保護機能の動作シーケンスを示します。

2. 2. 1 短絡保護

DIIPM は、内部に電流検出手段を内蔵していませんので、外部にシャント抵抗(電流検出用抵抗)を接続する必要があります。このシャント抵抗に電流が流れることによって発生する電圧を、DIIPM の CIN 端子にフィードバックさせることで、DIIPM の短絡保護が可能になります。CIN 端子はコンパレータに接続されています。しきい値 $V_{sc}=0.48V$ (typ) で保護動作します。

保護動作に入ると、N 側の IGBT3 相分のゲートを遮断し、Fo 信号を出力します。スイッチング時のリカバリ電流や、ノイズによる保護回路への影響を取り除くため、CIN 端子のラインに RC フィルタ(時定数 1.5~2μs 程度)を設置してください。また、シャント抵抗部の配線は可能な限り短くすることが必要です。

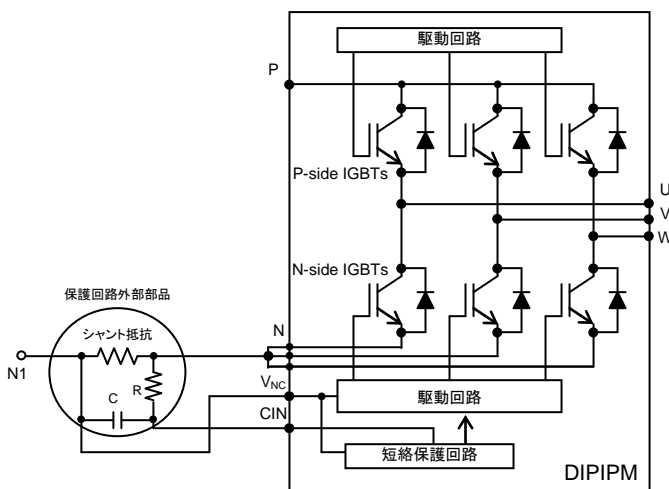


図 2-5: 短絡保護回路(外部シャント周辺回路例)

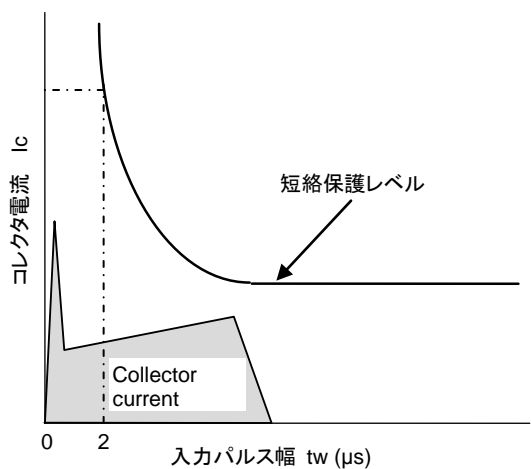


図 2-6: フィルタ設定

小型 DIIPM Ver.4 シリーズ アプリケーションノート

短絡保護動作シーケンス(N 側のみ)・・・外付けシャント抵抗, RC 時定数回路による保護

- a1. 正常動作=IGBT オン=出力電流あり
- a2. 過電流検出(SCトリガ)・・・RC 時定数回路で最適遮断時間を設定 (1.5~2.0μs)
- a3. IGBT ゲートをハード遮断
- a4. IGBT をオフ
- a5. Fo出力・・・最小Fo出力時間は、外付けコンデンサC_{Fo}で設定
- a6. 入力 “L” =オフ
- a7. 入力 “H” =オン ただし、IGBT は Fo 出力の間、オフを継続
- a8. Fo 出力終了後、L→H の入力で IGBT オン

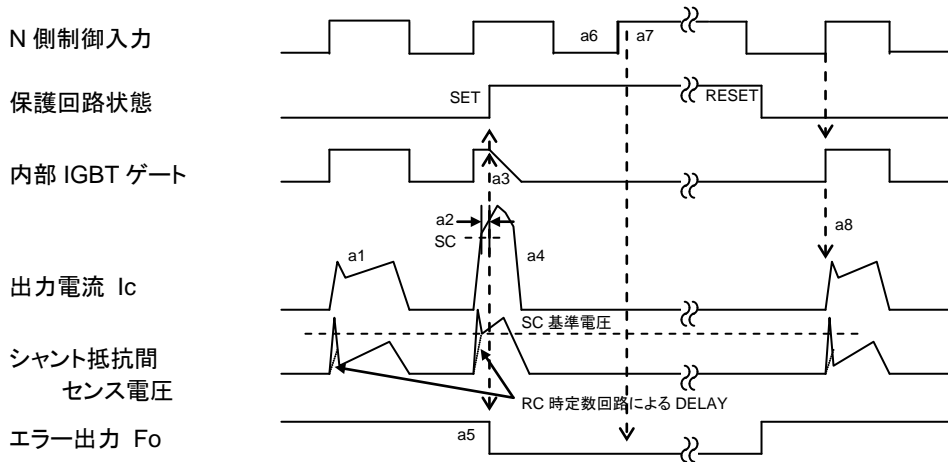


図 2-7: 小型 DIIPM Ver.4 の短絡保護動作シーケンス

2. 2. 2 制御電源電圧低下保護

制御電源電圧が低下すると、IGBT のゲート電圧が下がることによる弊害が生じます。推奨電源電圧内でご使用ください。制御電源電圧時には、IGBT を保護するため、制御電源電圧低下保護(UV)が動作します。P 側、N 側の両方に UV 回路はありますが、N 側回路で UV が動作したときのみ、Fo 信号を出力します。Fo 信号は、制御電源電圧が低下している期間出力します。P 側は、該当の相の IGBT のゲート遮断のみで、Fo 信号は出力しません。

また、この保護回路には、ノイズ等による瞬間的な電圧低下での誤動作防止のため、約10μs(typ値)のフィルタを内蔵しておりますので制御電源電圧がトリップ電圧(UV_{DBt}, UV_{Dt})まで低下した場合でも、約10μs以内であれば保護は働きません。

表 2-7: 各制御電源電圧範囲での DIIPM の状態

制御電源電圧範囲(V _D , V _{DB})	状態
0-4.0V(P 側,N 側)	電源を入れない状態と同じです。 電源電圧低下保護(UV)が動作せず、Fo も出力しません。 IGBT のしきい電圧以下であり、基本的にオンしません、外来ノイズ等により誤オンする可能性がありますので制御電源より先に DC-LINK 電圧を立ち上げないでください。
4.0-UV _{Dt} (N 側), UV _{DBt} (P 側)	制御電源電圧低下保護(UV)動作範囲内 制御入力信号を加えても、スイッチング動作を停止しています。 電源電圧低下保護(UV)が動作し、N 側のみ Fo を出力します。
UV _{Dt} (N 側)-13.5V UV _{DBt} (P 側)-13.0V	スイッチング動作します。但し推奨範囲外ですので、DIIPM の仕様書で規定している V _{CE(sat)} ・スイッチング時間共に規格値を外れてコレクタ損失が増加し、接合温度が上昇する可能性があります。
13.5~16.5V(N 側) 13.0~18.5V(P 側)	推奨電源電圧範囲内 正常動作します。
16.5~20.0V(N 側) 18.5~20.0V(P 側)	スイッチング動作します。 但し、推奨範囲外ですので、スイッチング時間が高速になりすぎて、短絡時にはチップの短絡耐量が不足し、破壊することがあります。
20.0~	IPM の制御回路が破壊する可能性があります。

※リップルノイズの規定

制御 IC の電源ラインに高周波の急峻なノイズが重畳されると、IC の誤動作が起きて Fo を出力し、更には出力を停止(ゲート遮断)する可能性があります。この誤動作を回避するために、ノイズの変動成分が±1V/μ以下、リップル電圧は、2Vp-p 以下となるように、電源回路を設計してください。(規定:dV/dt≤1V/μs, Vripple≤2Vp-p)

制御電源電圧低下保護動作シーケンス(N側, UV_{Dr})

- b1. 制御電源電圧立上り… UV_{Dr} にて次のオン信号(L→H)入力より動作開始
- b2. 正常動作=IGBT オン=出力電流有り
- b3. 制御電源電圧低下(UV_{Dt})
- b4. N側全相の IGBT オフ…制御入力の状態に関らずオフ
- b5. F_o 動作開始(CFOにて設定された F_o パルス幅以上, 制御電源電圧が復帰するまでの間 F_o 出力)
- b6. 制御電源電圧復帰(UV_{Dr})
- b7. 正常動作=IGBT オン=出力電流有り (各相への入力で相ごとに通常状態に復帰します)

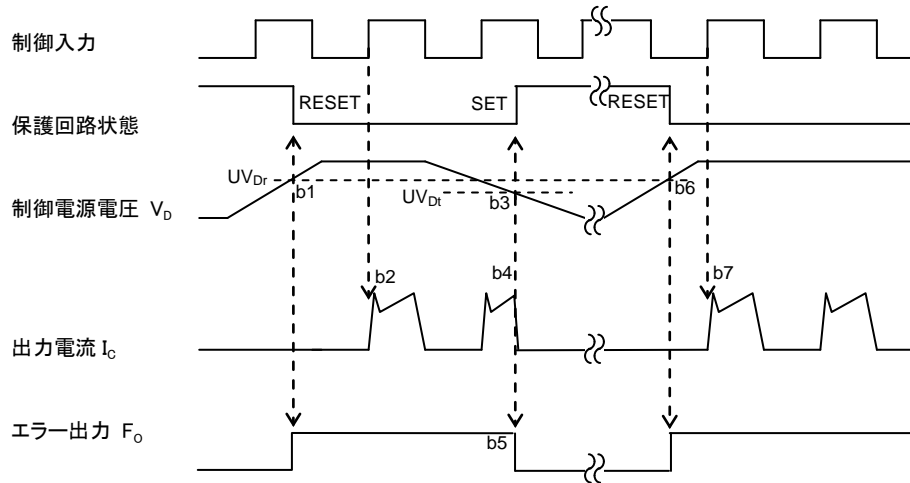


図 2-8: 小型 DIIPM Ver.4 の制御電源電圧低下保護(N側)動作シーケンス

制御電源電圧低下保護動作シーケンス(P側, UV_{DBr})

- c1. 制御電源電圧立上り… UV_{DBr} にて動作開始
- c2. 正常動作=IGBT オン=出力電流あり
- c3. 制御電源電圧低下(UV_{DBt})
- c4. 該当相の IGBT のみオフ…制御入力に関らずオフ, F_o 出力はなし
- c5. 制御電源電圧復帰(UV_{DBr})
- c6. 正常動作=IGBT オン=出力電流あり

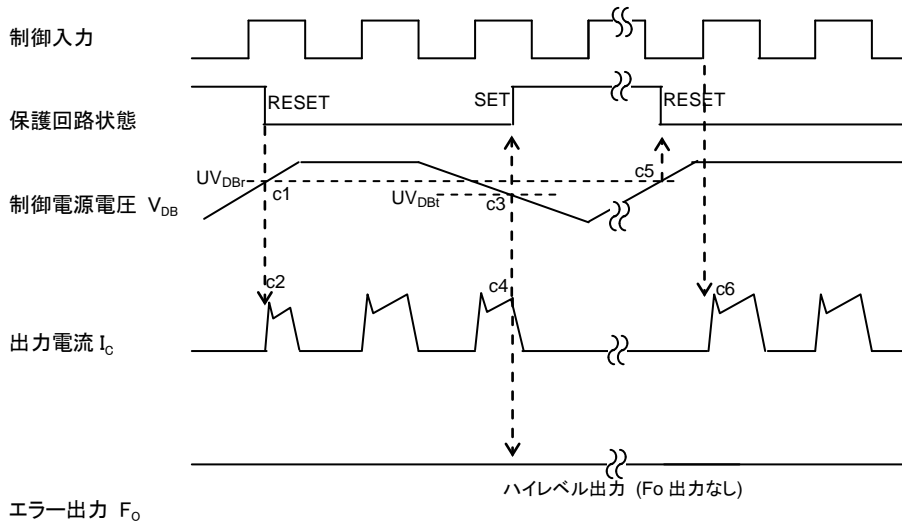


図 2-9: 小型 DIIPM Ver.4 の制御電源電圧低下保護(P側)動作シーケンス

小型 DIIPM Ver.4 シリーズ アプリケーションノート

2.3 小型 DIIPM Ver.4 のパッケージ

2.3.1 外形図

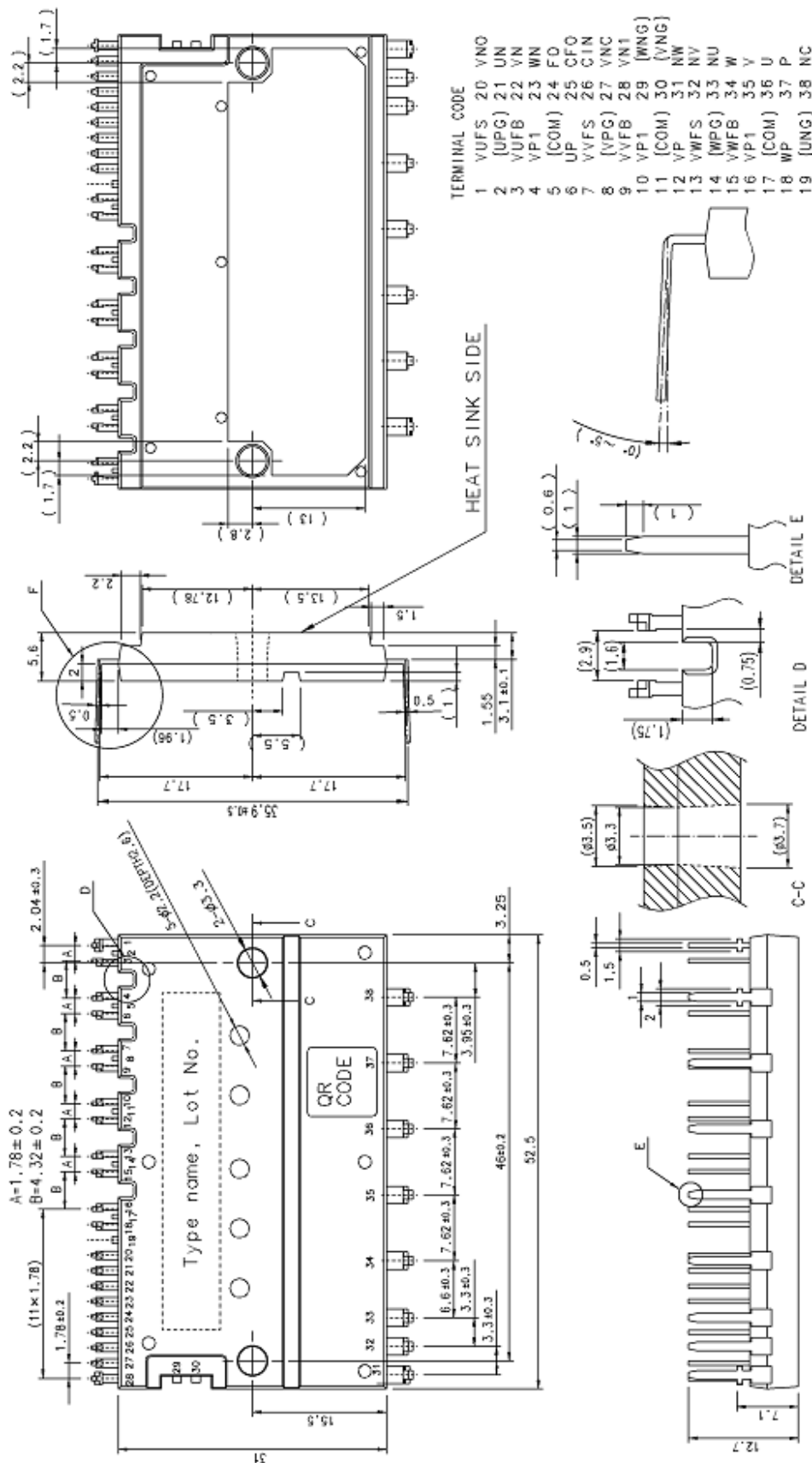
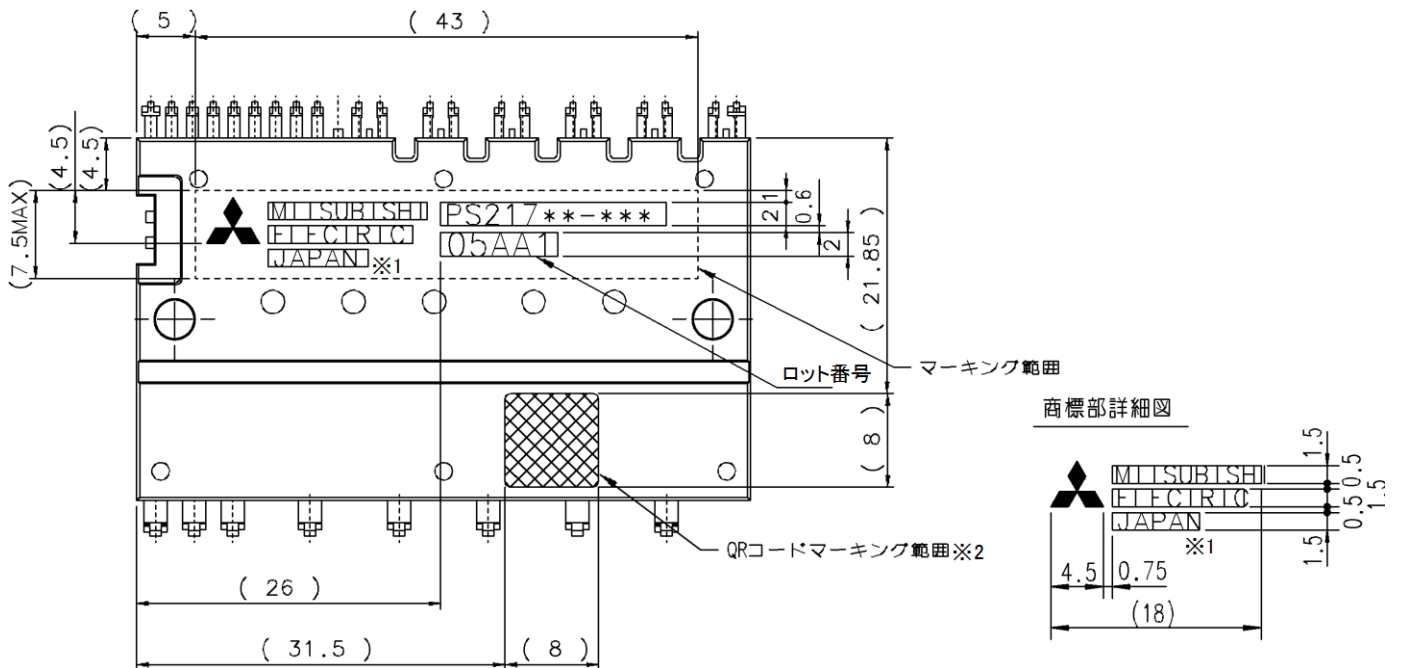


図 2-10: 小型 DIIPM Ver.4 の外形図

小型 DIIPM Ver.4 シリーズ アプリケーションノート

2.3.2 マーキング

図 2-11 に小型 DIIPM Ver.4 のレーザーマーキング範囲を示します。三菱マーク、形名(図中 A)、ロット番号(図中 B)は、モジュール上部(放熱面の反対側)にマーキングされます。

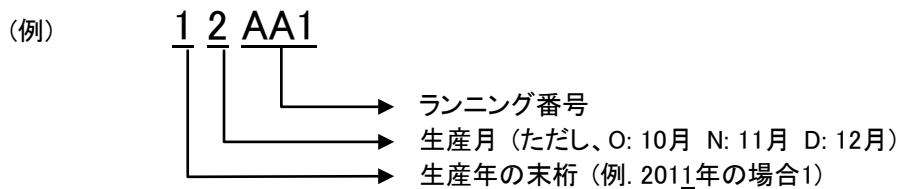


※1 中国生産品には JAPAN のマーキングはありません。
 ※2 QR コードは株式会社デンソーウェーブの登録商標です。

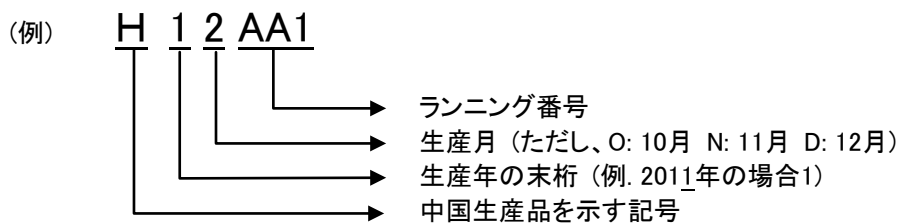
図 2-11: 小型 DIIPM Ver.4 のマーキング図

ロット番号は、製造年・月、ランニング番号を示します。詳細は以下のとおりです。

(1) 日本生産品



(2) 中国生産品



小型 DIIPM Ver.4 シリーズ アプリケーションノート

2.3.3 端子配列と名称

表 2-8: 小型 DIIPM Ver.4 端子説明

端子 No.	小型 DIIPM Ver.4	
	端子名	端子説明
1	V _{UFS}	UP 相駆動電源 GND 端子
2	UPG	ダミーピン
3	V _{UFB}	UP 相駆動電源端子
4	V _{P1}	UP 相制御電源端子(+)
5	COM	ダミーピン
6	U _P	UP 相制御入力信号端子
7	V _{VFS}	VP 相駆動電源 GND 端子
8	VPG	ダミーピン
9	V _{VFB}	VP 相駆動電源端子
10	V _{P1}	VP 相制御電源端子(+)
11	COM	ダミーピン
12	V _P	VP 相制御入力信号端子
13	V _{WFS}	WP 相駆動電源 GND 端子
14	WPG	ダミーピン
15	V _{WFB}	WP 相駆動電源端子
16	V _{P1}	WP 相制御電源端子(+)
17	COM	ダミーピン
18	W _P	WP 相制御入力信号端子
19	UNG	ダミーピン
20	VNO	N 側駆動側 GND 端子
21	U _N	UN相制御入力信号端子
22	V _N	VN相制御入力信号端子
23	W _N	WN相制御入力信号端子
24	F _O	エラー出力端子
25	CFO	エラー出力パルス幅設定端子
26	CIN	短絡トリップ電圧検出端子
27	V _{NC}	N 側制御電源 GND 端子
28	V _{NI}	N 側制御電源端子(+)
29	WNG	ダミーピン
30	VNG	ダミーピン
31	NW	W 相出力 GND(エミッタ)端子
32	NV	V 相出力 GND(エミッタ)端子
33	NU	U 相出力 GND(エミッタ)端子
34	W	W 相出力端子
35	V	V 相出力端子
36	U	U 相出力端子
37	P	インバータ電源端子
38	NC	NC(No Connect)

注 1) ダミーピンは、内部ゲートなどの電位をもっていますので、パターンや他の端子等と接続しないでください。

小型 DIIPM Ver.4 シリーズ アプリケーションノート

表 2-9: 小型 DIIPM Ver.4 の入出力端子構造

項目	記号	内容
P 側駆動電源端子 P 側駆動電源 GND 端子	$V_{UFB} - V_{UFS}$ $V_{VFB} - V_{VFS}$ $V_{WFB} - V_{WFS}$	<ul style="list-style-type: none"> ・ P 側 IGBT 駆動用電源端子です。 ・ ブートストラップ回路を外付けすることにより外部電源は不要となります。ブートストラップコンデンサは、V_0 から N 側 IGBT のスイッチンググループによって充電されます。 ・ V_{DB} が安定していないと誤動作の原因となります。ブートストラップコンデンサと並列に、周波数及び温度特性の良いパスコン(～2μF 程度)の接続を推奨します。 ・ 制御電源へのサージ電圧吸収用にツェナダイオード(ツェナ電圧 24V、電力損失 1W 程度)を端子近傍に接続することをお奨めします。
P 側制御電源端子 N 側制御電源端子	V_{P1} V_{N1}	<ul style="list-style-type: none"> ・ 内蔵 IC の制御側電源端子です。(LVIC と HVIC)。 ・ V_{P1}, V_{N1} は外部基板上で接続してください。 ・ ノイズと電源リップルによる誤動作を抑えるために周波数特性の良い平滑コンデンサを制御端子近傍に接続ください。また、周波数及び温度特性の良いパスコン(～2μF 程度)の接続を推奨します。 ・ 電圧リップルは規格内にはいるように設計ください。 ・ 制御電源へのサージ電圧吸収用にツェナダイオード(ツェナ電圧 24V、電力損失 1W 程度)を端子近傍に接続することをお奨めします。
制御電源 GND 端子	V_{NC}	<ul style="list-style-type: none"> ・ 内蔵 IC の制御側グランド端子です。(LVIC と HVIC) ・ 入力、F_0 出力など制御の基準電位となるのでノイズの影響を避けるため、制御 GND 配線に母線電流が流れないようにしてください。(パワー GND と共通インピーダンスを持たないように分けて配線する)
VNO 端子	V_{NO}	<ul style="list-style-type: none"> ・ 内蔵 IC のパワー側(駆動側)のグランド端子です。 ・ N 側 IGBT の駆動回路の GND となります。
制御入力端子	U_P, V_P, W_P U_N, V_N, W_N	<ul style="list-style-type: none"> ・ スwitchング制御する入力端子です。内部で min 2.5kΩ でプルダウンされています。 ・ 電圧駆動タイプです。内部は CMOS 構成のシュミットトリガ回路に接続しています。 ・ ノイズに敏感ですので、パターンは最短とし、かつ配線に注意してください。ノイズなどが重畳している場合は、RC フィルタを接続してください。RC フィルタを追加する場合、内部のプルダウン抵抗との分圧になりますのでご注意ください。
短絡トリップ 電圧検出端子	CIN	<ul style="list-style-type: none"> ・ 短絡時に電流検出用シャント抵抗で発生した電位を RC フィルタを通して、この端子に入力し短絡保護を行います。CIN 端子の入力インピーダンスは 600kΩ 程度です。 ・ RC フィルタ時定数は 2μs 以下を推奨します。
エラー出力端子	F_0	<ul style="list-style-type: none"> ・ DIIPM の異常状態(N 側の SC, UV 保護動作時)を示す出力です。 ・ オープンドレイン出力です。F_0 出力時ののシンク電流を 1mA 以下にする必要があります。外部で 5V 系電源に 5kΩ 以上(推奨 10kΩ)の抵抗でプルアップしてください。
エラー出力パルス幅 設定端子 (コンデンサ接続)	CF ₀	<ul style="list-style-type: none"> ・ エラー出力パルス幅を設定する端子です。 ・ この端子と V_{NC} 間にコンデンサを挿入し、エラー出力時間幅を設定します。 ・ コンデンサ容量 22nF であればエラー出力時間幅 typ 値 1.8ms となります。 ・ 必要な FO パルス幅に対するコンデンサ容量値の計算式は以下のとおりです。 $C_{F0} = 12.2 \times 10^{-6} \times t_{F0}$
インバータ 電源端子	P	<ul style="list-style-type: none"> ・ インバータの電源端子です。P 側 IGBT のコレクタに接続されています。 ・ パターンのインダクタンス成分によるサージ電圧を抑制するため、平滑コンデンサを P, N 両端子の直近に配置してください。また、周波数特性に優れたフィルムコンデンサ(スナバ)の追加も効果的です。
インバータ GND 端子	NU, NV, NW	<ul style="list-style-type: none"> ・ インバータのグランドです。 ・ NU に U 相、NV に V 相、NW に W 相の N 側 IGBT のエミッタが接続されています。
インバータ出力端子	U, V, W	<ul style="list-style-type: none"> ・ インバータ出力用の端子です。 ・ モーターなどの負荷を接続します。内部はハーフブリッジで構成された出力 IGBT の中点に接続されています。

※ スwitchング動作時の DIIPM 制御電源端子、P-N 間電圧のサージ電圧や、入力端子のノイズをオシロスコープなどで確認してください。その際、オシロスコープの時間軸は 1 μ s/div 以下での確認が必要です。
定格を超えるサージや入力しきい値を越えるようなノイズが重畳しているようであれば、対策(配線見直し、コンデンサの位置、容量の見直し、ツェナ Di の搭載、フィルタの強化など)をご検討ください。

小型 DIIPM Ver.4 シリーズ アプリケーションノート

2.4 小型 DIIPM Ver.4 の取り付け方法

小型 DIIPM Ver.4 の絶縁距離および小型 DIIPM Ver.4 を実装する場合の注意点を示します。

2.4.1 小型 DIIPM Ver.4 の絶縁距離

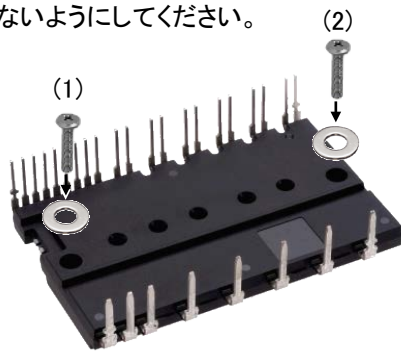
小型 DIIPM Ver.4 の各空間、沿面距離を表 2-10 に示します。

表 2-10: 小型 DIIPM Ver.4 絶縁距離(最小値)

空間距離(mm)		沿面距離(mm)	
パワー端子間	4.0	パワー端子間	4.0
制御端子間	2.5	制御端子間	6.0
対アース間(端子-放熱ヒートシンク間)	3.0	対アース間(端子-放熱ヒートシンク間)	4.0

2.4.2 小型 DIIPM Ver.4 の取り付け方法と注意点

モジュールを放熱ヒートシンクなどに取り付ける場合、極端な片締めを行いますと、モジュール内シリコンチップに応力が加わり素子の破壊または劣化を招くことにもなります。締め付け順序例を図 2-12 に示します。締め付け時にはトルクドライバーを使用し、所定のトルクで締めつけてください。また、DIIPM の放熱面とヒートシンク表面の間に、異物が混入しないようにしてください。



仮締め
(1)→(2)
本締め
(1)→(2)

Note: 仮締めの締め付けトルクは、推奨トルクの最大値の 20~30%を目安に設定してください。
また、交互に締め付けるのであれば順序はどちらが先でも問題ありません。((2)→(1)の順序でも可です)

図 2-12: DIIPM 締め付け順序例

表 2-11: 締め付けトルク強度とヒートシンク平面度の規格

項目	条件	最小値	標準値	最大値	単位
締め付けトルク強度	推奨値 0.78N・m, 取付けネジ:M3*	0.59	—	0.98	N・m
放熱面平面度	図 2-13 を参照	-50	—	+100	μm

*) 取付けねじには平座金(推奨: JIS B1256)を使用してください。

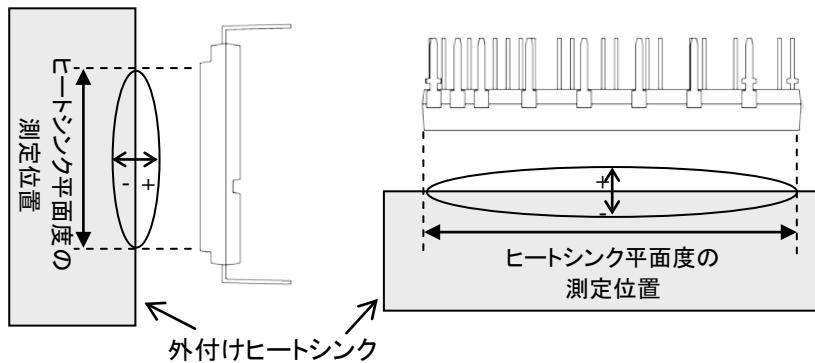


図 2-13: ヒートシンク/放熱ヒートシンクの平面度測定点

放熱効果を最大限得るためには、その接触面積をできるだけ大きくし接触熱抵抗を最小にする必要があります。外付けヒートシンクの平面度(反り/凹凸)は、DIIPM 取り付け面において、図 2-13 の通りとしてください。または表面仕上げ Rz12 以内を推奨します。また、DIIPM の放熱面とヒートシンクとの接触面には熱伝導性の良いグリースを 100μm~200μm 程度、均一になるように塗布してください。ヒートシンクとの接触面にグリースを塗布しますと接触部の腐食防止にも役立ちます。ただし、塗布するグリースは、使用動作温度範囲内で変質せず、経年変化のないものをご使用ください。接触熱抵抗は、締め付けた状態におけるグリースの厚さ、グリースの熱伝導率等により異なります。目安として、グリース厚 20μm、グリースの熱伝導率 1.0W/m・K 時の製品放熱面-ヒートシンク間熱抵抗値(1/6 モジュール)は、0.3 °C/W となります。グリース塗布、ヒートシンク取り付け時には、空気を巻き込まないように十分なじませてください。(接触熱抵抗の増加、締め付けの緩みにつながる可能性があります)

小型 DIIPM Ver.4 シリーズ アプリケーションノート

2. 4. 3 はんだ付け条件

DIIPM 基板実装時のはんだ付け条件を下記します。(リフローはんだ付けはできません。)

(1) フローはんだ条件

フローはんだの条件につきましては、はんだ槽温度 $260^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 以下、浸漬時間 10 ± 1 秒以内であれば、当社信頼性試験条件(表 2-12) 以下であり問題ないものと考えます。また、予備加熱につきましては、DIIPM の保存温度定格の 125°C 以下での実施を推奨します。

フローはんだ付けでは、はんだ噴流の状態、コンベア速度、基板のランド、スルーホール形状などによって条件が変化いたします。最終的には実際の基板を使用し、現品で問題ないことをご確認願います。

表 2-12 信頼性試験条件

信頼性項目	試験条件
はんだ耐熱性	はんだ温度 $260^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 、 10 ± 1 秒

(2) 手はんだ条件

はんだごてなどによる手はんだ付け条件につきましては、はんだごての種類(ワット数含む)や基板上の配線パターンにより変わりますので、一般的な推奨条件は提示しておりません。

はんだごてによるはんだ付け時の温度は、DIIPM のトランスファーモールド樹脂の T_g (ガラス転位温度)やチップ耐熱温度を考慮して、リード端子根元部で 150°C 以下にすることを推奨しています。

はんだ付け条件を設定する場合には、ご使用のはんだごて、基板にて DIIPM の端子根元温度、はんだぬれ性などを十分ご確認のうえ、設定願います。(はんだ付け時間は極力短時間としてください)

また、はんだごて使用時の一般的な注意点として、半導体用のはんだごて(12~24Vの低電圧仕様)を用いて、こて先はアースして使用願います。温度管理のために、温度調整機能付きのはんだごてが有効です。

以下に端子根元の温度上昇のご参考データとして、50W はんだごてにより模擬評価した結果を図 2-15 に示します。

[評価方法]

(1) 評価サンプル: 小型 DIIPM Ver.4

(2) 評価手順

- ・熱容量的に小さい制御側外部リード端子先端(先端から 1mm)の箇所にはんだごて(50W)をあて、リード端子根元の温度上昇を測定する。(図 2-14)
- ・温度測定は、リード端子根元に熱電対(C・C 線)を取り付けて測定。
- ・はんだごての温度設定は、 400°C にて実施。

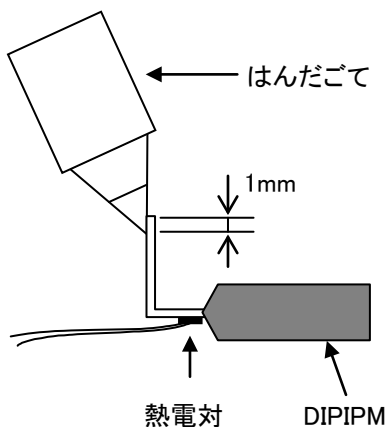


図 2-14 評価状態

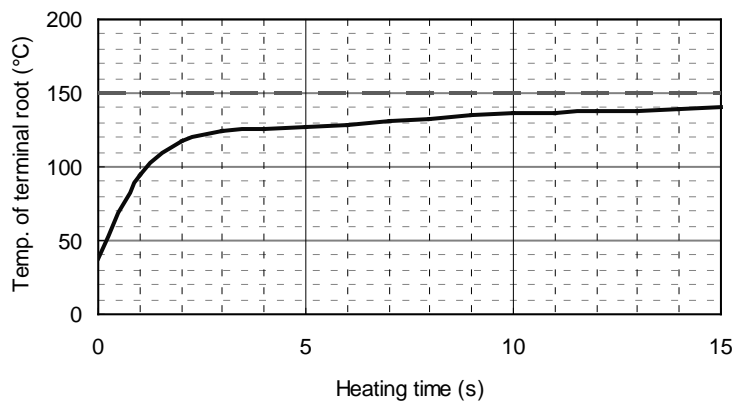


図 2-15 端子にはんだごてをあてたときの端子根元温度推移(代表例)

第3章 小型 DIIPM Ver.4 の使用方法

3.1 小型 DIIPM Ver.4 の使用方法と応用

この章では、小型 DIIPM Ver.4 の使用方法、周辺回路例について説明します。

3.1.1 システム接続例

C1:温度・周波数特性に優れた電解コンデンサ

注)容量値は PWM 制御入力方式によって変わります。

C2:バイパスコンデンサ 0.22~2 μ F ノイズ除去用の温度、周波数、DC バイアス特性に優れたセラミックコンデンサ(B, R 特性など。)

C3:スナバコンデンサ 0.1~0.22 μ F程度(フィルムコンデンサなど)

D1: ブートストラップダイオード 耐圧=600V (=V_{CEs})以上

trr=100ns以下の高速品

D2: サージ保護用ツェナダイオード24V/1W

C : AC filter(セラミックコンデンサ 2.2n~6.5nF)
(コモンモードノイズフィルタ)

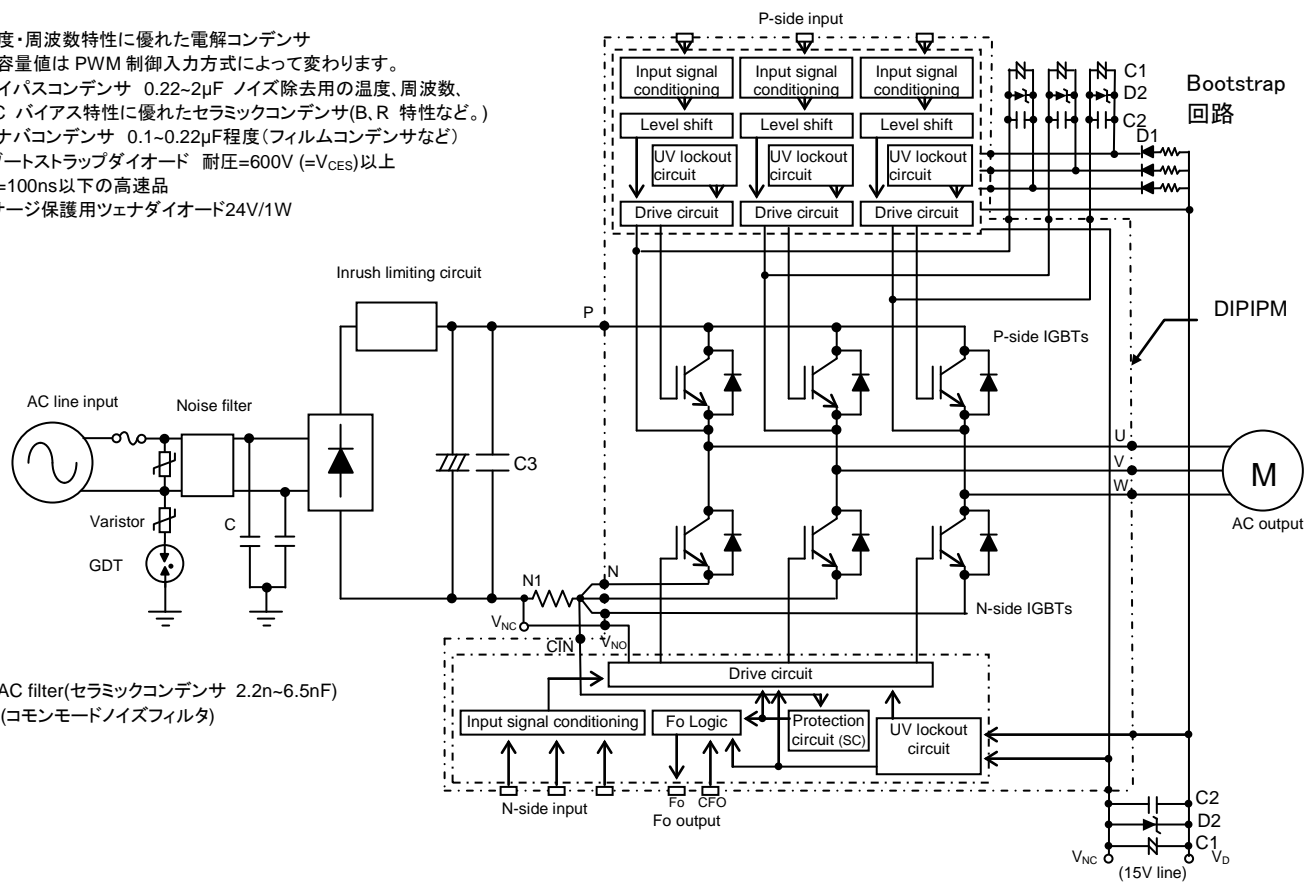


図 3-1: 小型 DIIPM Ver.4 システム接続例

小型 DIIPM Ver.4 シリーズ アプリケーションノート

3. 1. 2 インターフェイス回路例(直接接続、N 側エミッタ共通)

マイコン(MCU)や DSP など、DIIPM を直接接続し、1 シャントで使用する場合のインターフェイス回路例を示します。

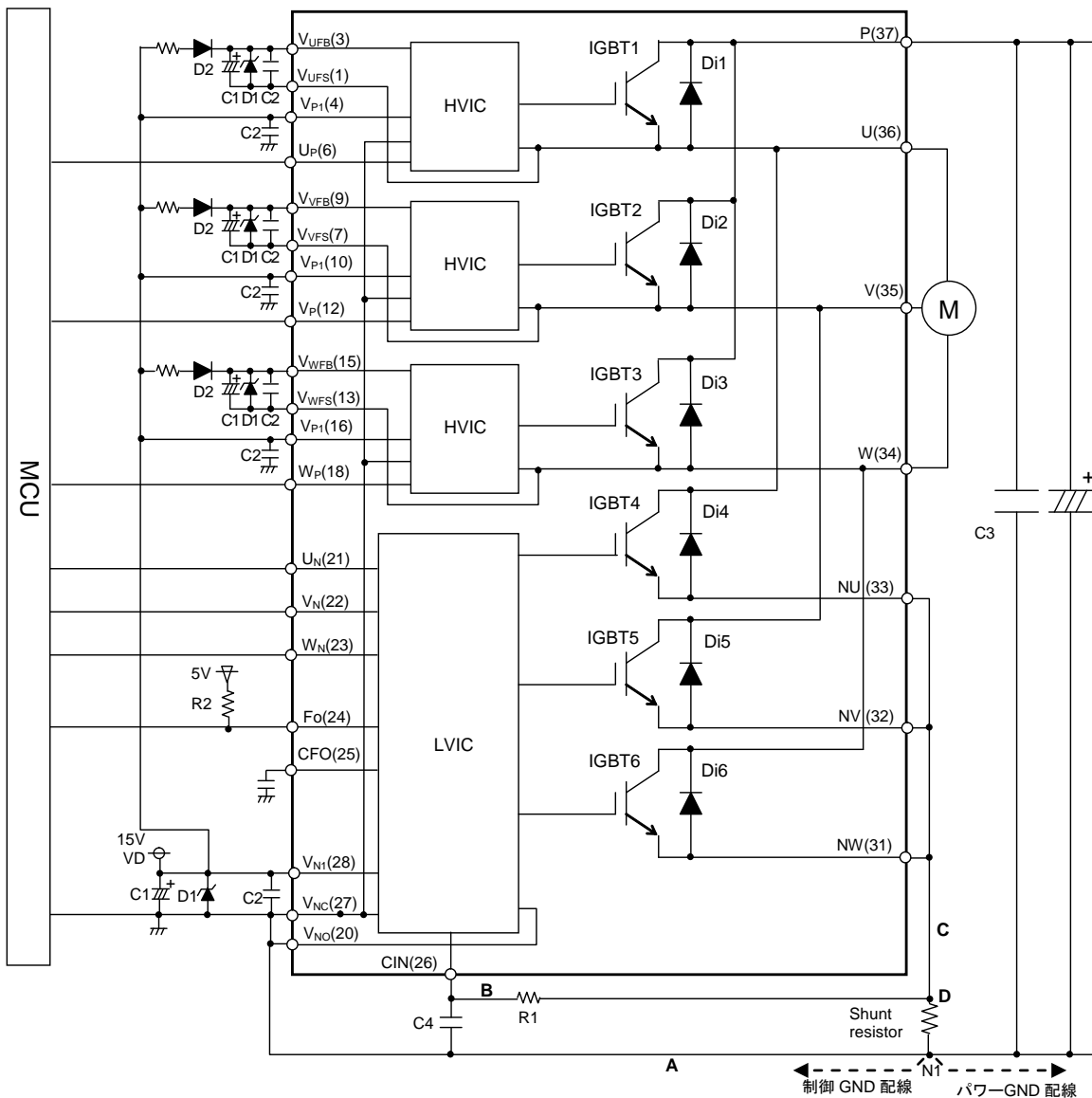


図 3-2: DIIPM Ver.4 インターフェイス回路例(直接接続、1 シャント)

- (1) 制御側電源 GND とパワー側 GND の配線を共通のベタ配線で配線すると大電流が流れるパワー-GND の変動の影響を受け誤動作の可能性がありますので、制御側電源 GND とパワー側 GND の配線は分けて配線し、N1 点 (NU, NV, NW を接続した点) にて一点接続としてください。
- (2) サージ電圧による耐圧破壊を防止するために、平滑コンデンサと P, N1 端子間の配線はできるだけ短くしてください。また P-N1 端子間に 0.1 μ -0.22 μ F 程度のスナバコンデンサ C3 を挿入してください。
- (3) 短絡保護の誤動作防止用 RC フィルタ(R1C4)の時定数は、短絡時に 2 μ s 以下で遮断するように設定してください。(1.5~2 μ s 以下推奨) また、R1, C4 は温度補償用などバラツキの小さいものを推奨します。遮断時間は、配線パターンによって変わりますので十分評価してください。
- (4) 各コンデンサは DIIPM の端子近傍に設置してください。C1 は、温度特性、周波数特性の優れた電解コンデンサ、C2 は 0.22 μ -2 μ F でノイズ除去用の温度、周波数、DC バイアス特性に優れたセラミックコンデンサ(B, R 特性などを推奨。)
- (5) 制御電源へのサージ電圧吸収用にツェナダイオード D1 (ツェナ電圧 24V、許容損失 1W 程度) を制御電源端子間近傍への接続を推奨します。
- (6) CIN 端子への配線は、短絡保護の誤動作防止のため、シャント抵抗端子部直近の D 点で分岐してください。
- (7) シャント抵抗には温度特性含めばらつき \pm 1%以内で表面実装型など低インダクタンスの物を推奨します。
- (8) DIIPM の動作に大きな影響(誤動作やサージ印加など)をもたらすため、A, B, C の配線はできるだけ短く配線してください。
- (9) Fo 端子はオープンドレインです。制御電源(5V, 15V)に I_{F0}=1mA 以下となるような抵抗 R2 でプルアップしてご使用ください。(5V にプルアップする場合、5.1k Ω 以上、10k Ω を推奨します)
- (10) Fo 出力のパルス幅は、CFO 端子に接続するコンデンサで設定可能です。 $C_{F0} = 12.2 \times 10^{-6} \times t_{F0}$
- (11) ブートストラップダイオード D2 には耐圧 600V 以上の高速リカバリ品(trr=100ns 以下)を推奨します。
- (12) 入力信号はハイアクティブです。IC 内部で 2.5k Ω (min) の抵抗でプルダウンしています。誤動作防止のため、入力信号配線はできるだけ短く配線してください。誤動作防止のため RC フィルタを挿入する場合は、入力のしきい値電圧を満足するように設定してください。専用 HVIC を採用しているため、MCU に直接接続することができます。
- (13) 制御 IC の電源ラインに高周波の急峻なノイズが重畳されると、IC の誤動作が起きて Fo を出力し、停止することがあります。制御電源ラインの

3. 1. 4 N 側エミッタ分割仕様の場合の外部 SC 保護回路例

N 側エミッタ分割仕様(3 シャント)では、そのまま 3 相のシャント抵抗の電圧を CIN 端子に入力できませんので図 3-4 のような外部回路が必要となります。

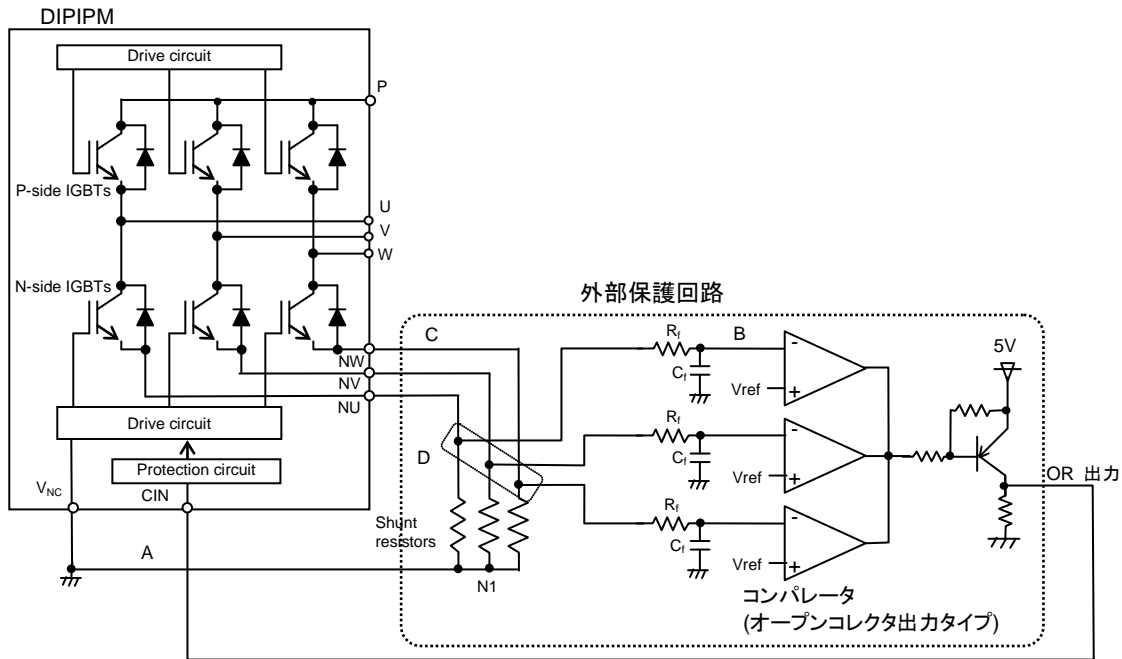


図 3-4: 外部保護回路例

注:

- (1) 短絡保護の誤動作防止用RCフィルタ($R_f C_f$)の時定数は、短絡時に $2\mu s$ 以下で遮断できるように設定してください。(1.5~ $2\mu s$ 推奨) 遮断時間は、配線パターン、コンパレータの反応速度などにも依存します。
- (2) しきい値電圧 V_{ref} は、DIIPMの短絡トリップ電圧 $V_{sc(ref)}$ の規格値と同じにすることを推奨します。(typ.0.48V)
- (3) シャント抵抗値は、短絡保護トリップ電流値が規定の値(定格の2.0倍)以下となるように設定してください。
- (4) 誤動作防止のため、A、B、Cの配線は、可能な限り短くしてください。
- (5) コンパレータへの入力の配線は、シャント抵抗の端子部直近(D点)で分岐してください。
- (6) OR 出力の High レベル(保護時出力)は、CIN 端子の短絡トリップ電圧の最大値である 0.53V 以上となるように設定してください。

3. 1. 5 DIIPM の信号入力端子と Fo 端子

(1) 制御入力端子構造と接続例について

入力端子はハイアクティブ動作です。プルダウン抵抗(2.5k Ω min.)を内蔵しており、外付けのプルダウン抵抗は不要です。

図3-5に入力部ブロック図、表3-1に入力しきい値電圧規格を示します。

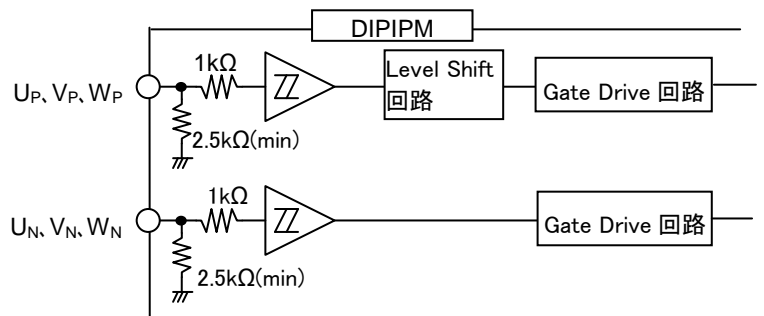


図 3-5: 入力部ブロック図

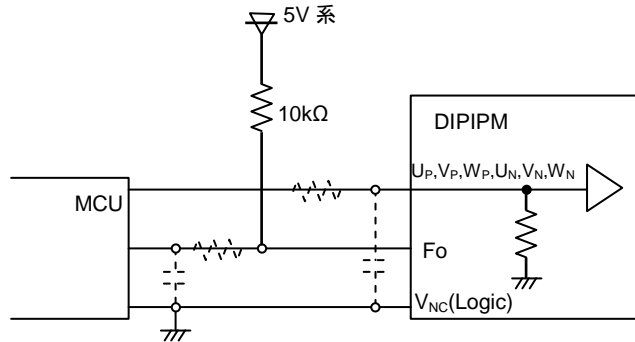
表 3-1: 入力しきい値の規格(V_D=15V, T_j=25°C)

項目	記号	条件	最小値	標準値	最大値	単位
1. 入力オンしきい値電圧	V _{th(on)}	U _P , V _P , W _P - V _{NC} U _N , V _N , W _N - V _{NC} 端子間	—	2.3	2.6	V
2. 入力オフしきい値電圧	V _{th(off)}		0.8	1.4	—	
3. 入力しきい値ヒステリシス電圧	V _{th(hys)}		0.5	0.9	—	

信号配線は極力短く配線する必要がありますが、配線が長くノイズが重畳する場合は、図 3-6 の回路例のような対

小型 DIIPM Ver.4 シリーズ アプリケーションノート

策を検討してください。また、DIIPMには、表 3-2 のように許容最小入力パルス幅の規定があります。この規定パルス幅より長いパルスを入力するようにしてください。



注) 入力の RC カップリングは、応用システムに使われる PWM 制御入力方式、入力配線パターンにより変わります。
DIIPM 入力信号部は IC 内部で 2.5kΩ(min)の抵抗プルダウンを行っています。入力信号ラインに抵抗を挿入される場合は、DIIPM の入力しきい値を満足する設定としてください。

図 3-6: 入力端子接続例

表 3-2: 許容最小入力パルス幅

		条件		形名	最小	標準	最大	単位
許容最小 入力パルス幅	PWIN(on)	—	—	PS21765	0.3	—	—	μs
				PS21767	0.3	—	—	
	PWIN(off)	200 ≤ VCC ≤ 350V 13.5 ≤ VD ≤ 16.5V 13.0 ≤ VDB ≤ 18.5V -20 ≤ Tc ≤ 100°C N ライン配線インダクタンス 10nH 以下	定格電流以下	PS21765	1.4	—	—	
				PS21767	1.5	—	—	
			定格電流 ~ 定格電流 × 1.7	PS21765	2.5	—	—	
				PS21767	3.0	—	—	
			定格電流 × 1.7 ~ 定格電流 × 2.0	PS21765	3.0	—	—	
				PS21767	3.6	—	—	

- PWIN(on)以下のパルス幅の入力オン信号には出力が応答しないことがあります。
- PWIN(off)以下のパルス幅の入力オフ信号には出力が応答しない、または P 側のみターンオン時間が大きくなる場合があります (2μs 程度以下)。ただし、この場合においても入力オンの状態にて出力オフの状態を維持し続けることはありません。詳細は下記のタイミング図を参照ください。

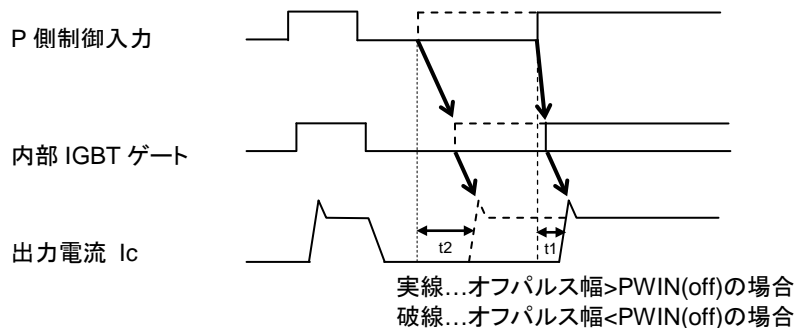


図 3-7: 許容最小入力パルス幅 PWIN(off)以下の信号を印加した場合の出力動作(P 側のみ)

小型 DIIPM Ver.4 シリーズ アプリケーションノート

(2) Fo端子構造と接続例について

Fo端子はオーブンドレインです。外部I/F系の電源または5V系電源のプラス側へプルアップしてください(図3-6)。図3-8にFo端子のV-I特性(代表例)を示します。Fo信号のシンク電流の最大値は1mAです。フォトカプラ接続される場合は、フォトカプラの特性に応じて、バッファ等の接続をご検討ください。

表 3-3: Fo 信号電気的特性

項目	記号	条件	最小値	標準値	最大値	単位
エラー出力電圧	V_{FOH}	$V_{SC}=0V, I_{Fo}=10k\Omega$ 5V プルアップ	4.9	—	—	V
	V_{FOL}	$V_{SC}=1V, I_{Fo}=1mA$	—	—	0.95	V

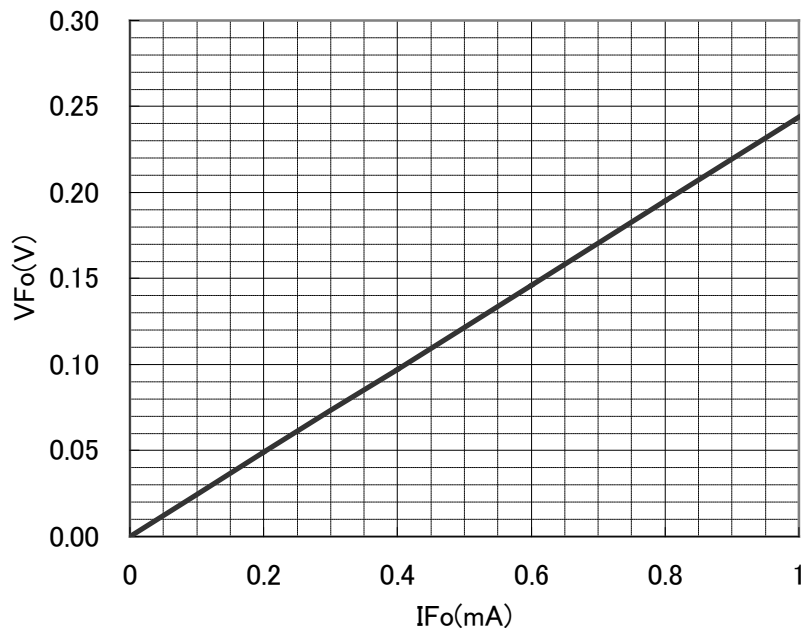


図 3-8: Fo端子の V-I 特性($V_D=15V, T_j=25^\circ C$, 代表例)

3.1.6 スナバコンデンサの接続

サージ電圧による耐電圧破壊を防止するために、平滑コンデンサと DIIPM の端子間の配線はできるだけ短くしてください。また、0.1~0.22 μ F 程度の C スナバを DIIPM の直近に設置してください。

図 3-9 の様に、スナバコンデンサの挿入位置として①と②が考えられます。サージ電圧を最大限に除去するためには、スナバコンデンサを②の位置に設置する必要がありますが、シャント抵抗にはスナバコンデンサを通して充放電電流(配線インダクタンスとスナバコンデンサの共振電流)が流れます。配線インダクタンスが大きい場合、この充放電電流で短絡保護回路が動作する場合がありますので注意が必要です。

シャント抵抗の外にスナバコンデンサを設置する場合は、サージ電圧を最大限に除去するために A の配線を短くし、③のように設置することを御検討ください。

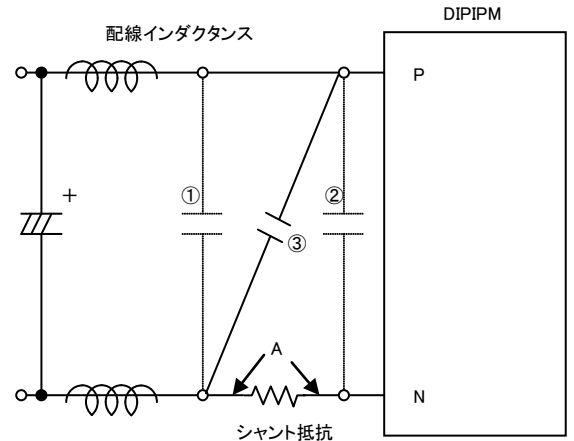


図 3-9: スナバ接続回路

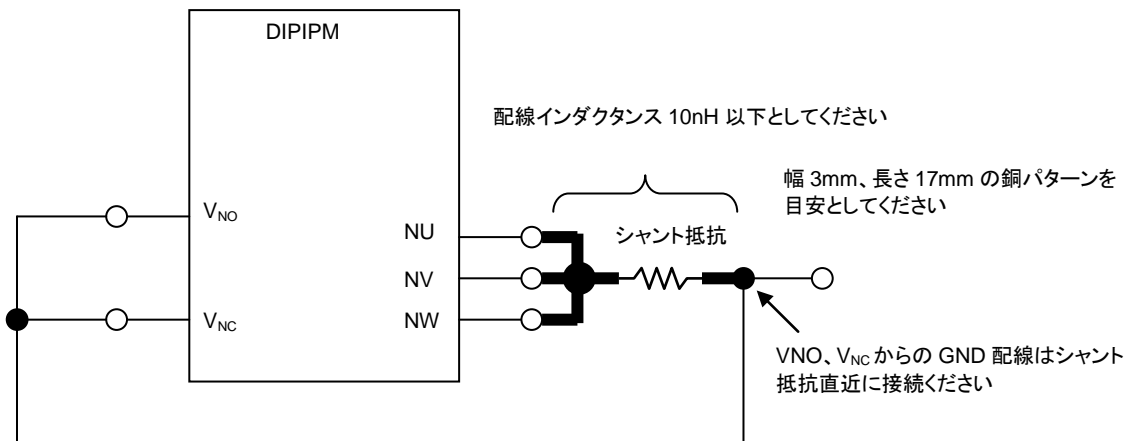
3.1.7 外部シャント抵抗周辺回路の接続

DIIPM の短絡保護機能を利用するためには、DIIPM の外部に電流検出用のシャント抵抗が必要です。

DIIPM とシャント抵抗の配線が長くなりますと、配線パターンのインダクタンスによって、電圧サージが発生し、DIIPM 内部の IC を破壊することがあります。

DIIPM とシャント抵抗間の配線パターンは、配線インダクタンスが最小となるよう、極力短く配線してください。また、シャント抵抗は、寄生インダクタンスの小さいリードのない面実装タイプなどを推奨いたします。

(a) 1 シャントで使用する場合



(b) 3 シャントで使用する場合

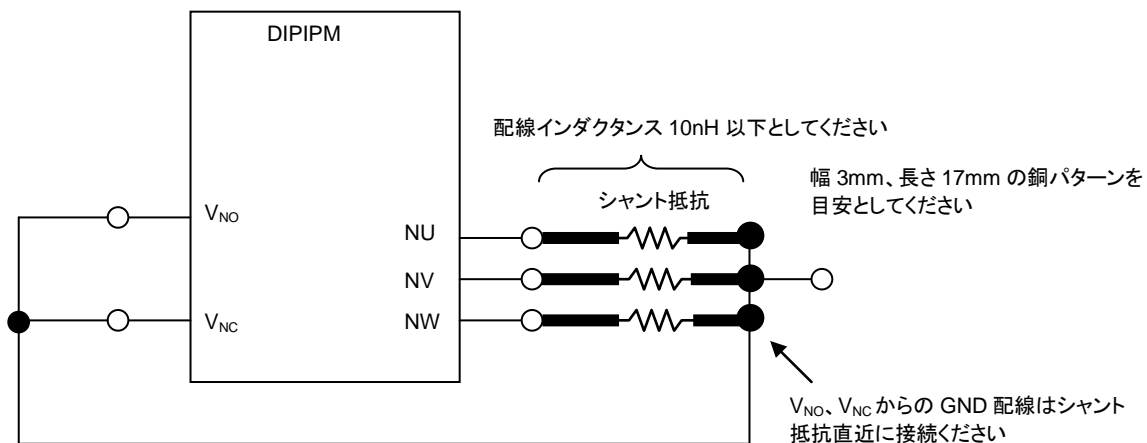


図 3-10: シャント抵抗周辺配線

小型 DIIPM Ver.4 シリーズ アプリケーションノート

外部シャント抵抗周辺の配線は、その配線インダクタンスによって下記のように DIIPM の動作にさまざまな影響を与えます。極力短く設計し、配線インダクタンスを抑える様にしてください。

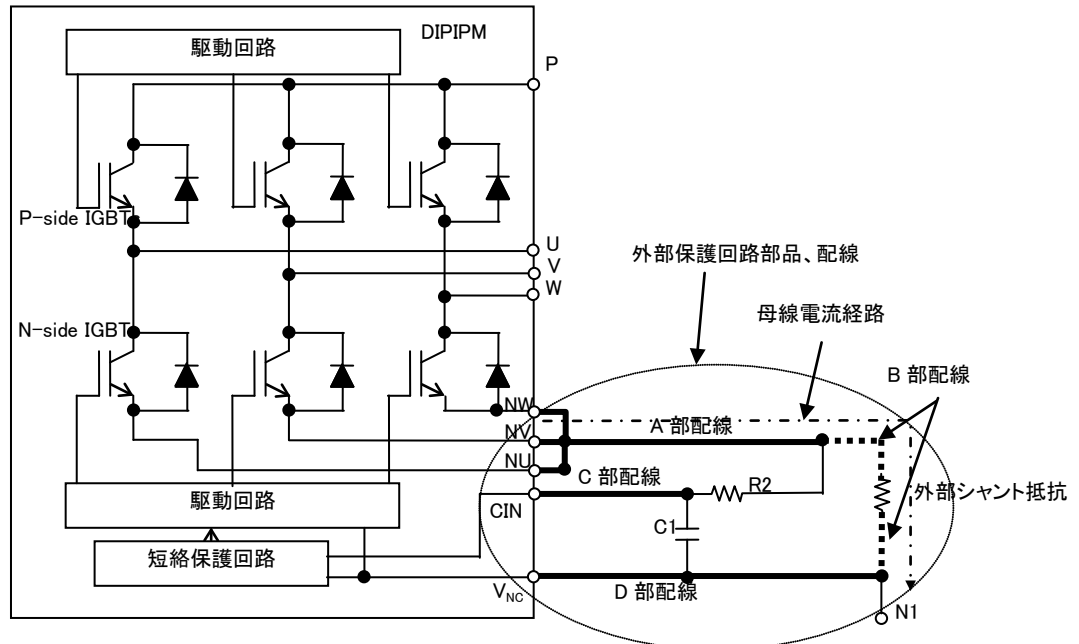


図 3-11: シャント抵抗周辺配線と配線の影響

(1) A 部配線パターンの影響

N 側 IGBT ゲートは V_{NC} 基準で動作します。図 3-11 中の A 部配線パターンが長いと、IGBT のスイッチング時に A 部配線インダクタンスによる電圧変動が発生し、IGBT のエミッタ電位を変動させ異常動作する要因となります。外部シャント抵抗は、配線インダクタンスが 10nH 以下となるように極力 N 端子近傍に設置してください。

(2) B 部配線パターンの影響

B 部配線は短絡保護レベルに影響を与えます。短絡保護は $CIN - V_{NC}$ 間に発生する電圧 (typ. 0.48V) で動作します。B 部配線が長いと、この配線インダクタンスにより発生するサージ電圧により、短絡保護レベルが低下します。 CIN , V_{NC} は、B 部配線を含まないように外部シャント抵抗の両端に接続してください。

(3) C 部配線パターンの影響

外部シャント抵抗に発生するノイズを除去するために、 $R2C1$ フィルタ回路を接続しますが、C 部配線が長いと、フィルタ効果が小さくなり、誘導ノイズを受けやすくなります。 $R2C1$ フィルタは CIN , V_{NC} 端子近傍に設置してください。

(4) D 部配線パターンの影響

(1)~(3)までの項目すべてに影響があります。GND 配線は極力短く配線する必要があります。

小型 DIIPM Ver.4 シリーズ アプリケーションノート

3. 1. 8 PCB設計時の注意点について

DIIPM シリーズ用のPCBパターンを設計される上でパターン上の主な注意点を図 3-12 に示します。詳細は、前述のインターフェイス回路例を参照ください。

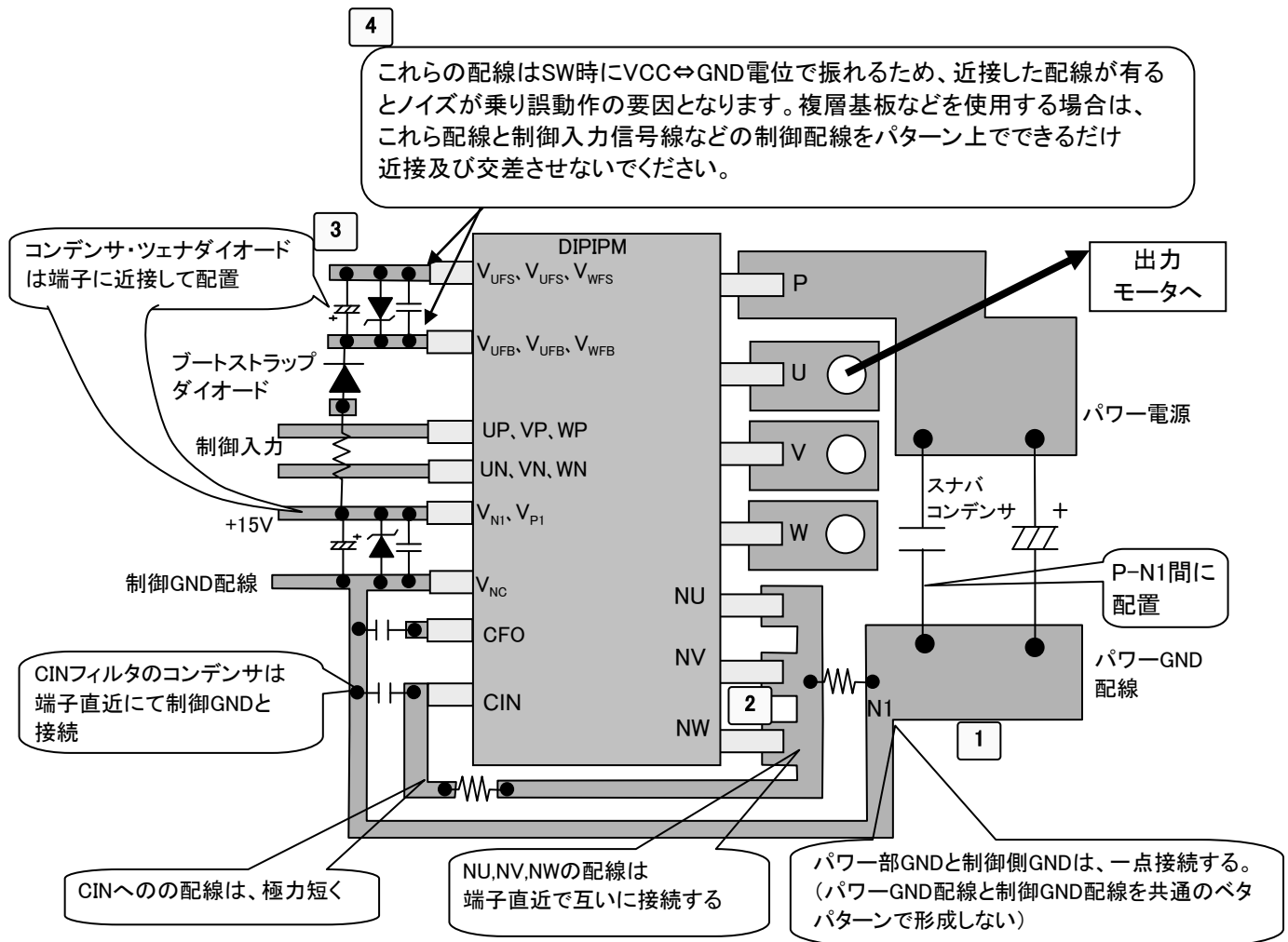


図 3-12: PCBパターン設計時の注意点

PCB パターンにおけるトラブル事例

	パターン事例	トラブル発生事例
1	パワーGNDと制御GNDがオーバーラップして配線	パワーGNDに流れる不連続な大電流による di/dt と配線の寄生インダクタンスによって生じるサージが、制御GNDに伝搬して制御GNDレベルが変動し、同GNDを基準としている入力端子に誤信号が入力されIGBTが誤オンしてアーム短絡発生。
	GND配線にループあり	GNDループに迷走電流が流れることでGND電位変動が発生し、入力端子に誤信号が入力されIGBTが誤オンしてアーム短絡発生。
2	N端子-N1間配線が長い	配線が長いことにより寄生インダクタンスが大きくなり、スイッチングによって発生する di/dt によりサージが発生し、以下のようなトラブルが発生。 ・VS電位(出力端子電位)の低下によるHVIC誤動作の発生 ・LVICの過電圧破壊の発生
3	コンデンサ・ツェナダイオードが無し、或いは位置が端子から離れている	制御ICの過電圧破壊や誤動作の発生。
4	P側駆動電源配線と入力配線が近接・平行に配線	P側駆動用電源配線とDIPへの制御入力配線間の浮遊容量を通してクロストークノイズが伝搬し、入力端子に誤信号がはいりIGBTが誤オンしてアーム短絡が発生。

3. 1. 9 DIIPM の並列動作について

図3-13にDIIPMを2台並列接続した場合の回路例を示します。DIIPMの下アームIGBTのゲートチャージは、DIIPM 1では①の経路、DIIPM 2では②の経路で行われます。この経路が長くなりますと、配線インダクタンスも大きくなりますのでスイッチング動作に影響を与える可能性があります。(ブートストラップコンデンサの充電にも影響を与える可能性があります。) また、ノイズの影響を受け易く誤動作の要因となります。並列数が多ければ多いほど、このGNDパターンは長くなりますので、GND電位の変動による他の回路への影響(電源、保護回路動作等)も考えられますので推奨いたしません。電氣的には、動作可能と考えますが、上記項目に注意し評価検討の上、ご判断願います。

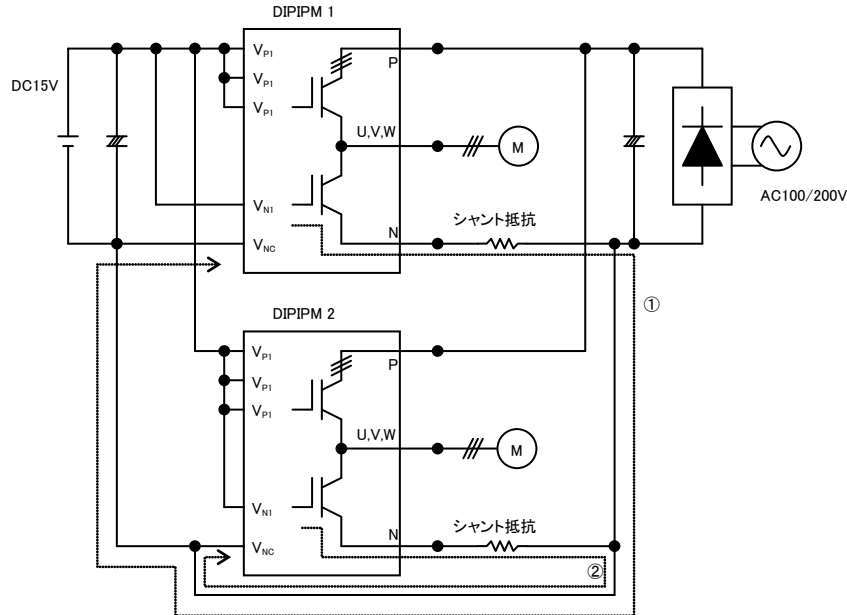


図 3-13 並列動作

また、同一パッケージ内の素子の並列使用(例: U相とV相のIGBTを並列接続で使用)につきましても、素子特性のバラつきによるSW時間、飽和電圧の差異などにより、片側のIGBTへの電流集中の可能性もありますので推奨いたしません。

3. 1. 10 DIIPM の SOA(スイッチング時、短絡時)

DIIPM の SOA について下記に示します。(規定はしていません)

- V_{CES} : DIIPM 内部 IGBT のコレクター-エミッタ間電圧の最大定格
- V_{CC} : P-N, N, V, W 間電源電圧
- $V_{CC(surge)}$: V_{CC} に、P-N 電源間につながる電解コンデンサと IPM の P-N 間の配線インダクタンスにより発生するサージ電圧を加えた電圧を表します。
- $V_{CC(prot)}$: 自己保護可能な P-N 間電源電圧を表します。

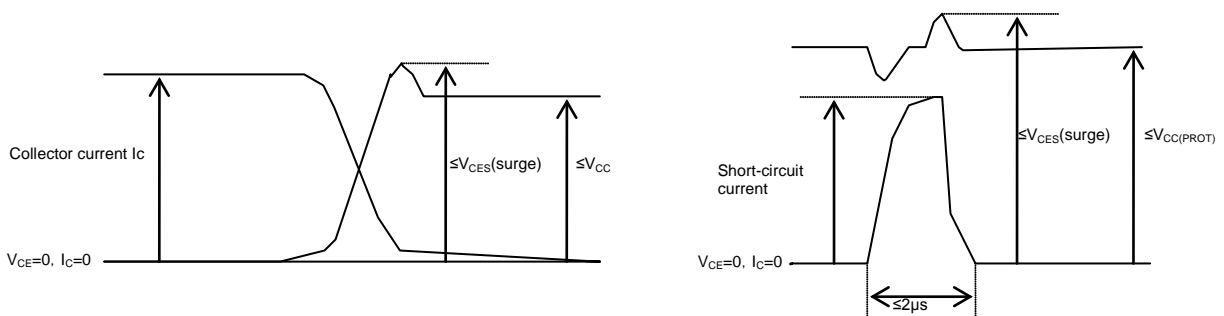


図 3-14: スwitchング、短絡時の SOA

スイッチングターンオフ時

V_{CES} はDIIPMに搭載されるIGBTの耐圧600Vを示しています。この値より、DIIPM内の配線インダクタンスで発生するサージ電圧(マージン等考慮し100V以下)を引いたものが $V_{CC(surge)}=500V$ となります。さらに、P-N電源間につながる電解コンデンサとIPMのP-N間の配線インダクタンスにより発生するサージ電圧(50V以下)を引いたものが $V_{CC}=450V$ となります。

短絡時

V_{CES} は DIIPM に搭載される IGBT の耐圧 600V を示しています。この値より、DIIPM 内の配線インダクタンスで発生するサージ電圧(マージン等考慮し 100V 以下)を引いたものが $V_{CC(surge)}=500V$ となります。さらに、P-N 電源間につながる電解コンデンサと IPM の間の配線インダクタンスにより発生するサージ電圧(100V 以下)を引いたものが $V_{CC}=400V$ となります。

小型 DIIPM Ver.4 シリーズ アプリケーションノート

3. 1. 11 短絡 SOA データ

図 3-15,16 に PS21765,PS21767 の短絡 SOA カーブ(代表例)を示します。
 条件: $V_{CC}=400V$, $T_j=125^{\circ}C$ スタート、非繰り返し、 $V_{CES} \leq 600V$, $V_{CC(surge)}=500V$ (サージ電圧含む)、負荷短絡(2m 負荷)

図 3-15 は、内蔵 CSTBT の ON しきい値電圧の min.品(飽和電流が大となるもの)の場合の代表例で、図に示した条件時に定格の約 9 倍のコレクタ電流が流れ、この時の IGBT の ON 期間が $4.5\mu s$ 以下であれば、ターンオフできる実力があることを示しています。

制御電源電圧 V_D 、主回路電圧(VCC)によって IGBT の短絡動作範囲は変わりますので、Cin 端子入力部の RC フィルタの設定は SOA にマージンを持って設定してください。

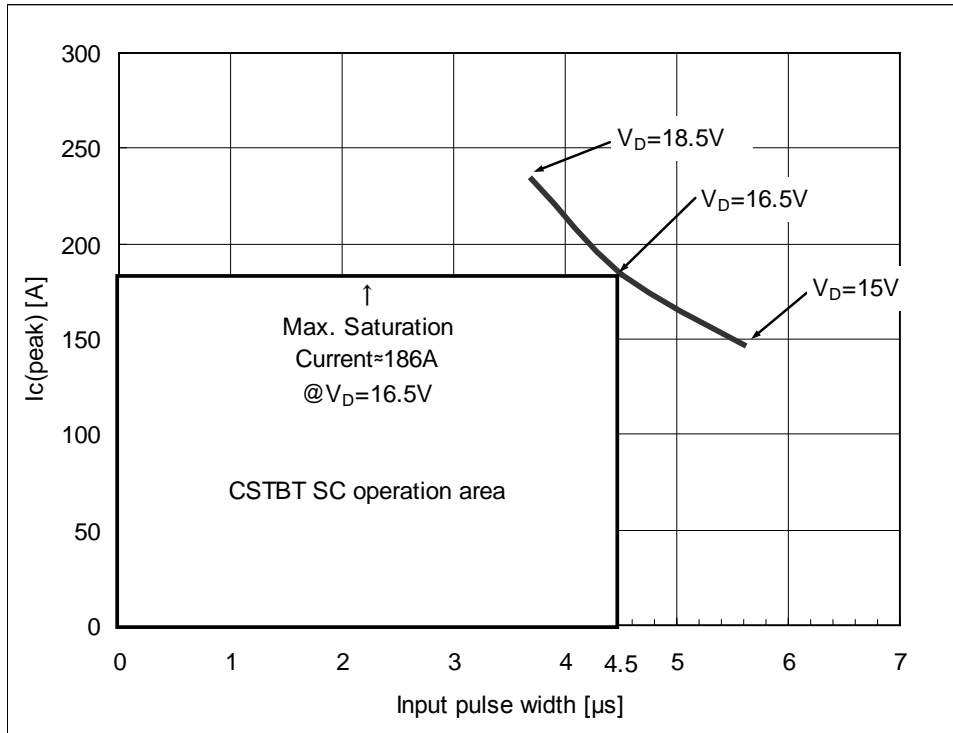


図 3-15 PS21765 の短絡 SOA カーブ(代表例)

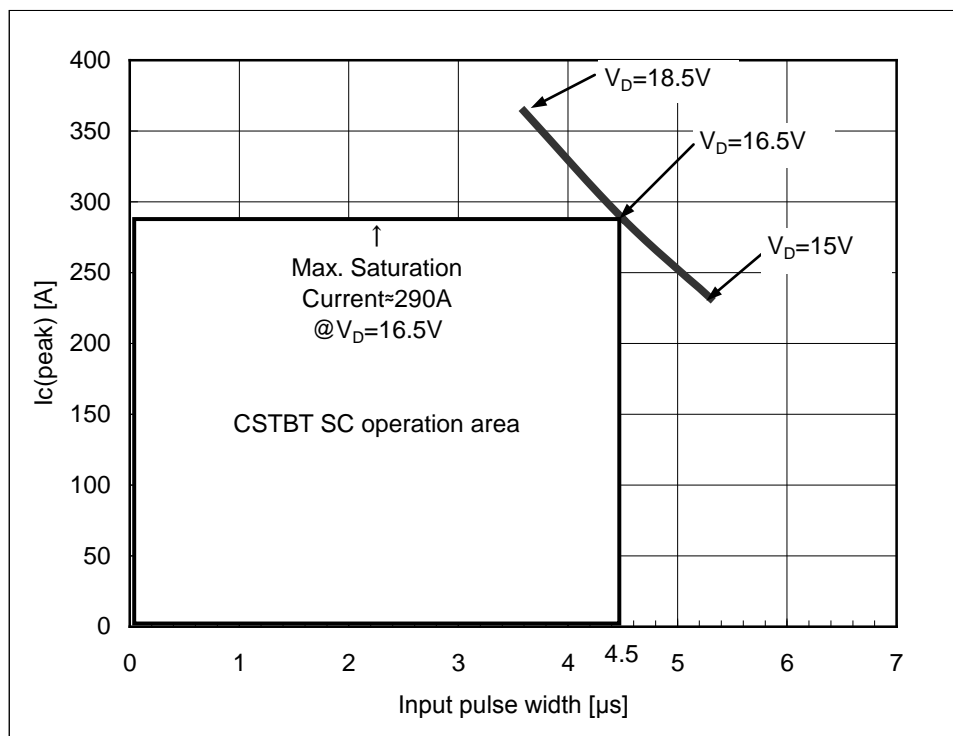


図 3-16 PS21767 の短絡 SOA カーブ(代表例)

3. 1. 12 動作寿命について

DIIPM の動作時は、IGBT の温度変化(ΔT_j)が繰り返し起きます。この温度変化 ΔT_j と温度変化のサイクル数は、デバイスの寿命に影響を及ぼします。

図 3-17 に IGBT の ΔT_j とサイクル数の寿命カーブを示します。

($\Delta T_j=46, 88, 98K$ の3ポイントで実施したデータであり、それぞれの故障率0.1, 1, 10%の点を回帰直線で表したものです。)

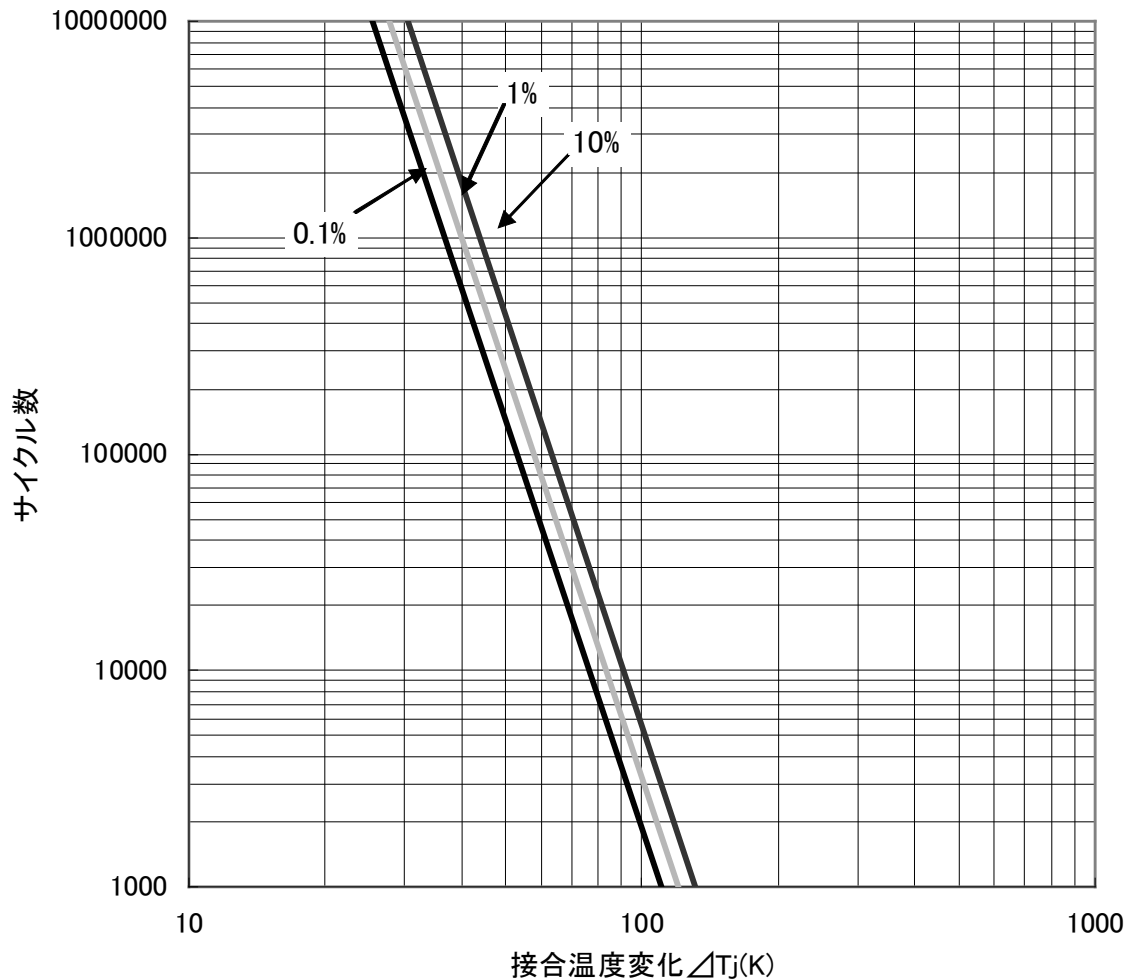


図 3-17: DIIPM の断続通電寿命と接合温度変化 ΔT_j との関係

3.2 パワー・ロスと放熱設計

3.2.1 損失計算方法(例)

平均電力損失簡易計算式について

●適用範囲

VVVF インバータへの応用に際してパワー素子を選定(比較)するための、通常動作時の総合損失の算出が可能です。
装置の熱設計(限界設計)には適用できません。

●仮定条件

- ①正弦波電流出力 PWM 制御 VVVF インバータ
- ②正弦波・三角波比較による PWM 信号発生
- ③PWM 信号のデューティ振幅は $\frac{1-D}{2} \sim \frac{1+D}{2}$ (% / 100) で変化 D: 変調率
- ④出力電流にはリップルがなく $I_{cp} \cdot \sin x$ が流れる
- ⑤出力電流に対する負荷力率は $\cos\theta$ 、スイッチングに対する負荷は純インダクタンス

●式の算出

PWM 信号のデューティ変化は、位相 x に対して $\frac{1+D \times \sin x}{2}$ となり、これが出力電圧変化に相当しますから、出力電流と電圧の関係を示す力率 $\cos\theta$ により、出力電流の任意の位相 x での出力電流と PWM デューティは、

$$Output\ current = I_{cp} \times \sin x$$

$$PWM\ Duty = \frac{1 + D \times \sin(x + \theta)}{2}$$

従って、位相 x での $V_{CE(sat)}$ と V_{EC} は

$$V_{ce(sat)} = V_{ce(sat)} (@ I_{cp} \times \sin x)$$

$$V_{ec} = (-1) \times V_{ec} (@ I_{cp} (= I_{cp}) \times \sin x)$$

以上から、トランジスタの静損失は、

$$\frac{1}{2\pi} \int_0^{\pi} (I_{cp} \times \sin x) \times V_{ce(sat)} (@ I_{cp} \times \sin x) \times \frac{1 + D \sin(x + \theta)}{2} \bullet dx$$

同様にフリーホイールダイオードの静損失は、

$$\frac{1}{2\pi} \int_{\pi}^{2\pi} ((-1) \times I_{cp} \times \sin x) ((-1) \times V_{ec} (@ I_{cp} \times \sin x) \times \frac{1 + D \sin(x + \theta)}{2}) \bullet dx$$

一方、トランジスタの動損失は PWM デューティに依りませんので

$$\frac{1}{2\pi} \int_0^{\pi} (P_{sw(on)} (@ I_{cp} \times \sin x) + P_{sw(off)} (@ I_{cp} \times \sin x)) \times f_c \bullet dx$$

またフリーホイールダイオードの動損失は、図 3-18 のように理想化すると

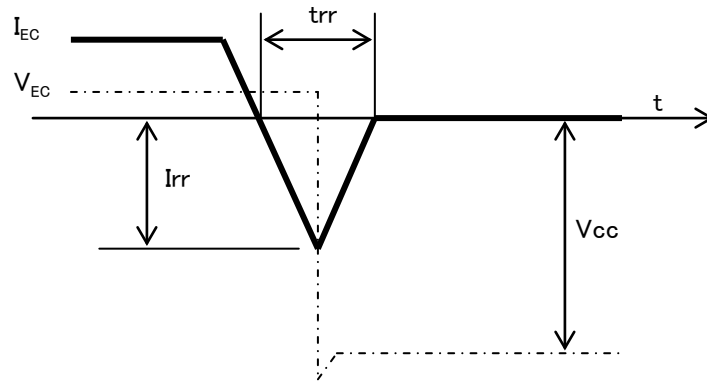


図 3-18: FWDi の動損失

$$P_{SW} = \frac{I_{rr} \times V_{cc} \times trr}{4}$$

リカバリーが発生するのは、出力電流周期の半分ですので、動損失は、

$$\begin{aligned} & \frac{1}{2} \int_{\pi}^{2\pi} \frac{I_{rr} (@ I_{cp} \times \sin x) \times V_{cc} \times trr (@ I_{cp} \times \sin x)}{4} \times fc \cdot dx \\ & = \frac{1}{8} \int_{\rho}^{2\pi} I_{rr} (@ I_{cp} \times \sin x) \times V_{cc} \times trr (@ I_{cp} \times \sin x) \times fc \cdot dx \end{aligned}$$

●インバータへの応用の際の一般的な注意点

- 出力電流 1 周期分を多数分割し、各点における実際の「PWM デューティー」、「出力電流」、「その電流における $V_{CE(sat)}$ 、 V_{EC} 、 P_{sw} 」に基づいて計算し加算する必要があります。
- PWM デューティーは信号の発生方法に依存します。
- 出力電流波形や出力電流と PWM デューティーの関係は信号の発生方法、負荷、その他の種々の要因に依存しますので、実波形を基にします。
- $V_{CE(sat)}$ は $T_j=125^{\circ}\text{C}$ の値を使用します。
- P_{sw} は $T_j=125^{\circ}\text{C}$ ハーフブリッジ動作時の値を使用します。

小型 DIIPM Ver.4 シリーズ アプリケーションノート

3. 2. 2 温度上昇の考え方と計算例

DIIPMの代表特性を基に損失計算を行った結果を、実効電流 I_o とキャリア周波数特性(代表例)として図3-19に示します。

条件: $V_{CC}=300V$, $V_D=V_{DB}=15V$, $P.F.=0.8$, $V_{CE(sat)}=Typ.$, スイッチングロス=Typ.値, $T_j=125^\circ C$, $T_f=100^\circ C$
 $R_{th(j-c)}$ =規格 max., $R_{th(c-f)}=0.3^\circ C/W$ (1/6 モジュール), シミュレーションモデル 3相変調 正弦波出力 60Hz

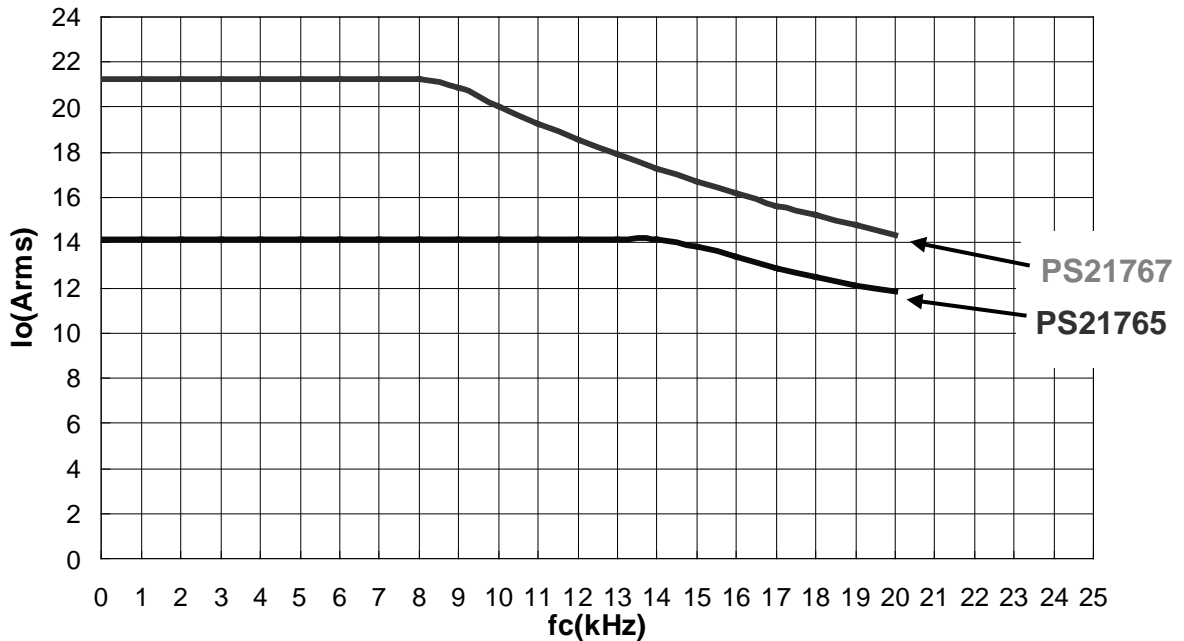


図 3-19: DIIPM キャリア周波数 - 許容実効電流特性

図3-19の特性(計算値代表例)は、フィン温度 $T_f=100^\circ C$ でインバータ動作した場合に、IGBTのジャンクション温度 T_j が、安全動作させるための平均動作接合温度 $125^\circ C$ まで上昇する時に流し得ることのできる許容実効電流 I_o を表しています。この特性は、制御方式、モーター種等で変わります。又、定格以上の電流は、連続して流さないようにしてください。

許容電流は、三菱半導体ホームページ(URL <http://www.MitsubishiElectric.co.jp/semiconductors/>)で公開の損失計算ソフトを使用して計算することができます。

小型 DIIPM Ver.4 シリーズ アプリケーションノート

3.3 ノイズ耐量について

3.3.1 測定回路

DIIPM でのノイズ試験に関しては、図 3-20 の測定回路、条件で±2.0kV 以上の耐量を確認しています。ノイズ耐量は、ノイズ試験の環境、制御基板配線パターン、部品配置等に大きく依存しますのでシステムでの確認を行ってください。

測定回路

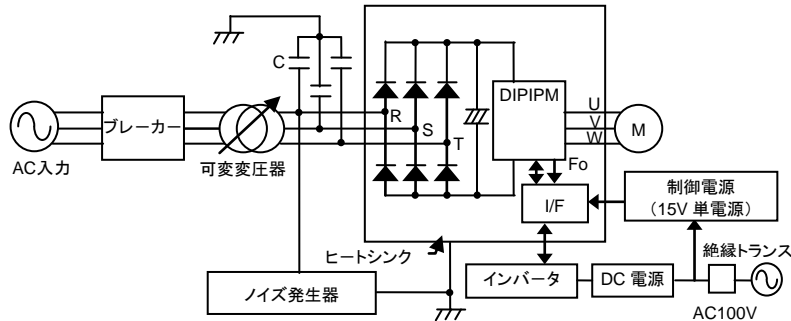


図 3-20:ノイズ試験回路

15V 単電源方式、モータは IM で実施、マイコンからの PWM 信号はフォトカプラ入力

C1: AC ラインコモンモードフィルタ4700pF

測定条件

$V_{CC}=300V$, $V_D=15V$, $T_a=25^{\circ}C$, 無負荷

ノイズ印加方法: AC ライン(R, S, T)より印加 周期 $T=16ms$, 時間幅 $tw=0.05\sim 1\mu s$, Random 入力

3.3.2 対策と注意事項

DIIPM は、設計時に内部配線の最適化による低インダクタンス化、絶縁構造の最適化による漏れ電流の低減を行うことで、部品を削減しノイズ耐量を確保していますが、回路パターンなどによって制御部にノイズが回り込み短絡や短絡保護の誤動作が発生する場合があります。その場合には、図 3-21 のような対策をご検討ください。

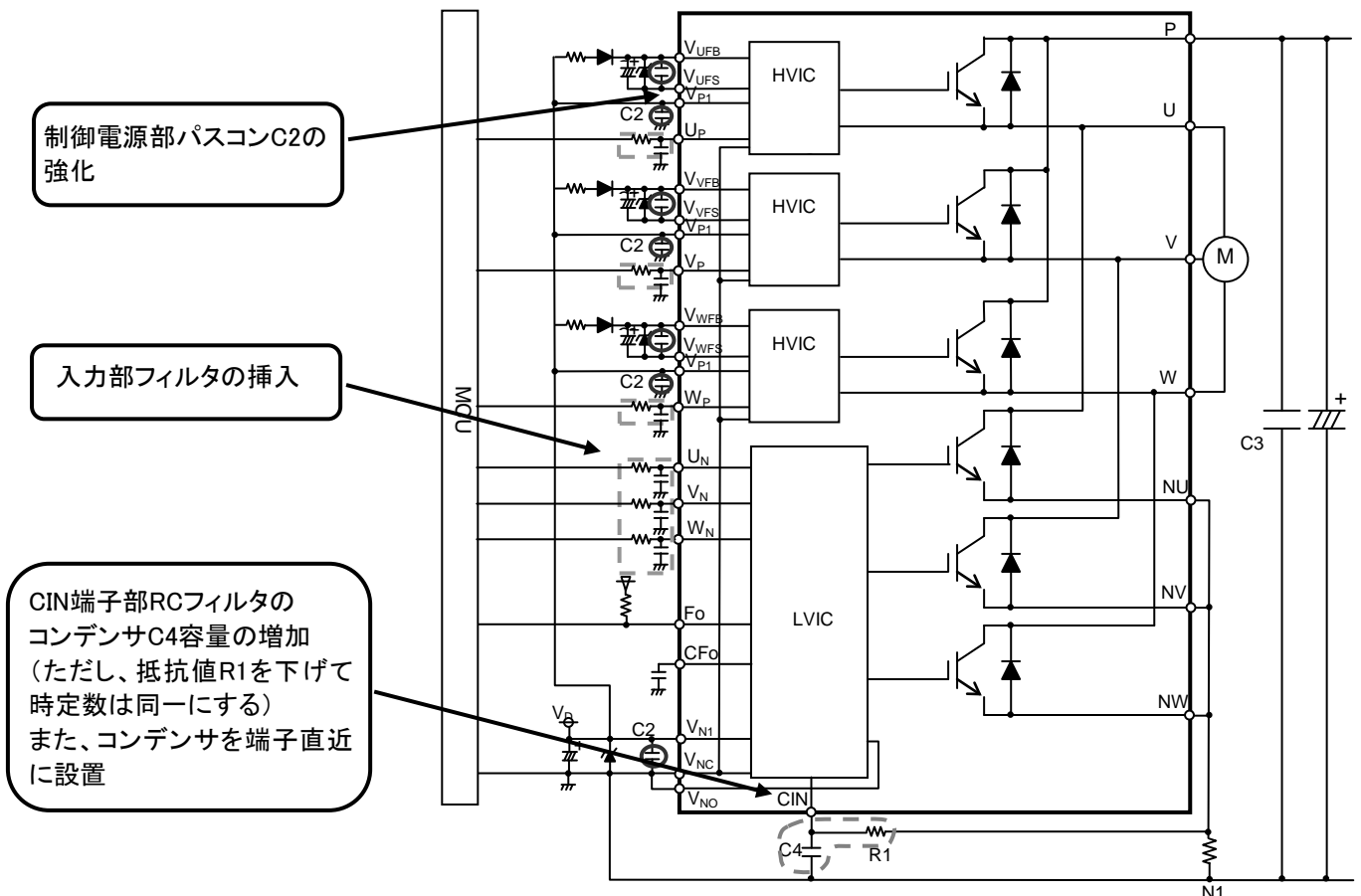


図 3-21:ノイズ誤動作時対策案

3.3.3 静電気耐量について

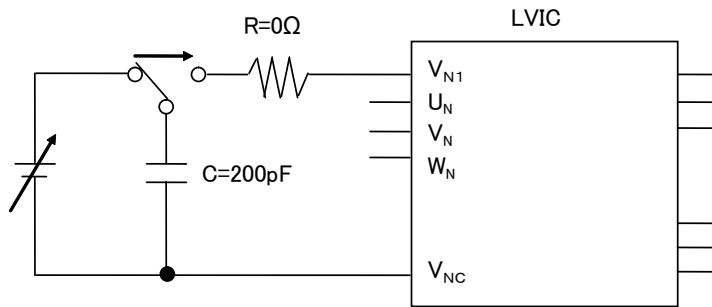


図 3-22: 静電気耐量評価回路(V_{N1} 端子評価時)

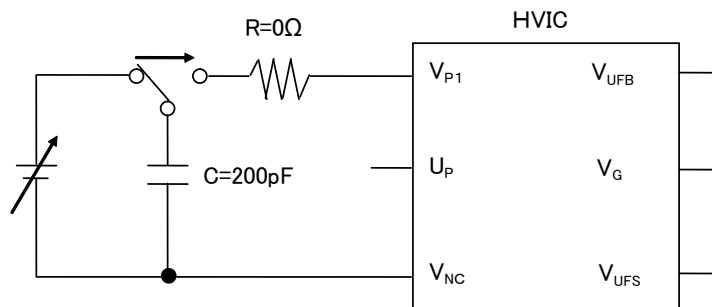


図 3-23: 静電気耐量評価回路(V_{P1} 端子評価時)

図 3-22,23 の評価回路にて、M・M 法(C=200pF,R=0Ω)にて DIIPIM 各端子-V_{NC} or N 端子間に正・負の電圧を 1 回印加し、印加前後の端子の V-I 特性を変化を確認しています。各端子とも±200V 以上の耐量を確認しています。

表3-4: 静電気耐量(代表例)

条件: サージ電圧を1回印加し耐圧劣化に至った電圧(kV)

0.1kV毎に装置の限界電圧(±4.0kV)まで実施。

破壊有無は、静電気サージ印加端子のV-I特性にて確認。

[PS21765 / PS21767 制御部] (内部ICの回路構造が同じため両製品の耐量は同じです)

端子	+サージ	-サージ
UP,VP,WP-V _{NC} 間	0.9	1.8
V _{P1} -V _{NC} 間	1.5	1.6
V _{UFB} -V _{UFS} , V _{VFB} -V _{VFS} , V _{WFB} -V _{WFS} 間	3.7	3.5
UN,VN,WN-V _{NC} 間	1.0	1.5
V _{N1} -V _{NC} 間	1.8	3.1
CIN-V _{NC} 間	1.1	1.6
Fo-V _{NC} 間	1.0	1.9
CFO-V _{NC} 間	0.3	0.7
V _{NO} -V _{NC} 間	2.0	3.1

[PS21765 パワー部]

端子	+サージ	-サージ
P-NU,NV,NW間	4.0以上	4.0以上
U-NU,V-NV,W-NW間	3.2	4.0以上

[PS21767 パワー部]

端子	+サージ	-サージ
P-NU,NV,NW間	4.0以上	4.0以上
U-NU,V-NV,W-NW間	4.0以上	4.0以上

第4章 小型 DIIPM Ver.4 の外部定数設定方法

4.1 短絡保護用外部シャント抵抗の設定方法

(1) シャント抵抗値の設定

DIIPM の短絡保護を行うためには、外部に電流検出用のシャント抵抗を接続する必要があります。
外部シャント抵抗値は、短絡保護トリップ電圧 $V_{SC(ref)}$ と遮断すべき電流設定値 SC から次式で設定します。

$$\text{外部シャント抵抗値 } R_{SC} = V_{SC(ref)} / SC$$

SC レベルの max 値は、シャント抵抗のばらつき・変動や $V_{sc(ref)}$ のばらつきを考慮して、DIIPM の飽和電流最小値以下となるように設定する必要があります。PS2176*シリーズの飽和電流最小値は定格電流の 2.0 倍ですので、それ以下になるように外部シャント抵抗値を設定してください。

例として PS21767 で SC レベルを 60A (定格 30A の 2 倍) とした場合の設定を下記に示します。

DIIPM の SC 基準電圧のバラツキを表 4-1 に示します。

表 4-1: $V_{SC(ref)}$ の規格

項目	記号	条件	最小値	標準値	最大値	単位
短絡保護トリップレベル	$V_{SC(ref)}$	$T_J=25^\circ\text{C}$, $V_D=15\text{V}$	0.43	0.48	0.53	V

シャント抵抗値 R_{Shunt} 及び $V_{sc(ref)}$ と SC 保護レベルの関係は、ばらつきを考慮した場合、下記のようになります。

$$R_{Shunt \text{ min. 値}} = V_{SC(ref) \text{ max. 値}} / SC \text{ max. 値} (= \text{定格電流の 2 倍})$$

$$R_{Shunt \text{ typ. 値}} = R_{Shunt \text{ min. 値}} / 0.95^* \text{ よって } SC_{\text{typ. 値}} = V_{SC(ref) \text{ typ. 値}} / R_{Shunt \text{ typ. 値}}$$

$$R_{Shunt \text{ max. 値}} = R_{Shunt \text{ typ. 値}} \times 1.05^* \text{ よって } SC_{\text{min. 値}} = V_{SC(ref) \text{ min. 値}} / R_{Shunt \text{ max. 値}}$$

*) ここではシャント抵抗のばらつきを $\pm 5\%$ とする。

以上より SC レベルの動作範囲は表 4-2 のようになります。

表 4-2: SC の動作範囲 (シャント抵抗値 min. 8.8m Ω , typ. 9.3m Ω , max. 9.8m Ω)

	min.	typ.	max.
$T_J=25^\circ\text{C}$ での SC 動作範囲	43.9 A	51.6 A	60.0 A

(例: 8.8m Ω ($R_{shunt \text{ min.}}$) = 0.53V (= $V_{SC(ref) \text{ max.}}$) / 60A (= SCmax.)

外部配線の寄生インダクタンスや寄生容量に起因する共振波形により、設計値より低い電流で保護回路が動作することがあります。抵抗値の調整は最終的には実機で評価する必要があります。

(2) RC 時定数の設定

RC フィルタ回路は、シャント抵抗に発生するノイズによる SC 保護回路の誤動作を防止と、過負荷時に十分な電流を流すことを目的としています。ノイズの印加時間と素子の耐量から RC 時定数を設定します。(推奨は 1.5~2.0 μs)

外部シャント抵抗に SC レベルを超える電圧が発生した後、RC フィルタを介し CIN 端子に電圧が印加される時間 t_1 は下記計算式により求められます。

$$\text{計算式} \quad V_{SC} = R_{shunt} \cdot I_c \cdot (1 - e^{-\frac{t_1}{\tau}})$$

$$t_1 = -\tau \cdot \ln\left(1 - \frac{V_{SC}}{R_{shunt} \cdot I_c}\right)$$

V_{SC} : 短絡保護トリップ電圧 $V_{SC(ref)}$ 、 R_{shunt} : シャント抵抗値、 I_c : ピーク電流値、 τ : RC 時定数、 t_1 : 遮断時間

また、CIN 端子に保護レベルを超える電圧が印加されてから、実際に IGBT のゲートが遮断されるまでには、下記表 4-3 に示すような IC 内部の遅れ時間 t_2 が掛かります。

表 4-3: SC 回路遅れ時間

項目	min.	typ.	max.	単位
SC 遮断時間	0.3	0.5	1.0	μs

外部シャント抵抗に SC レベルを超える電圧が発生した後、IGBT のゲートを遮断するまでの時間 t_{TOTAL} は、下記となります。

$$t_{TOTAL} = t_1 + t_2$$

小型 DIIPM Ver.4 シリーズ アプリケーションノート

4. 2 ブートストラップ回路動作

4. 2. 1 ブートストラップ回路動作

DIIPM では、ブートストラップ回路を用いたフローティング電源により、通常のインバータ回路駆動時に必要な 4 つの独立電源(P 側 IGBT 駆動用 3 相+N 側 IGBT 駆動用)を N 側駆動用制御電源 1 つで動作させることができます。

ブートストラップ回路は、図 4-1 に示すとおりブートストラップダイオード(以下 BSD)とブートストラップコンデンサ(以下 BSC)、電流制限抵抗で構成されます。

P 側 IGBT の駆動に BSC を電源として使用し、P 側 IGBT オン時のゲートチャージ及び、P 側 IGBT の駆動 IC 内ロジック回路へ回路電流を供給します。(図 4-2 コンデンサが電源の代わりであるため、その電流供給能力には制限があり、ブートストラップ回路による P 側駆動は、比較的消費電流が小さい DIIPM に適した方法です。)

回路駆動により消費された電荷は、インバータ動作中に各相の出力端子(U 端子など)の電位が GND レベル付近まで下がることで、N 側 15V 制御電源から制限抵抗、BSD を通して、コンデンサに充電されます。

ただし、P 側素子の SW シーケンス、BSC の容量、制限抵抗値など使用条件によっては、必要な電荷量に対して十分な充電が行われず、BSC の電位が電源電圧低下(UV)保護レベル以下に低下し、P 側 IGBT の SW 停止やゲート電圧(コンデンサ電圧)の低下による P 側 IGBT の損失増加につながりますので、コンデンサの容量など回路定数の設定時には十分な検討、評価が必要です。ブートストラップ回路による駆動についての詳細は、アプリケーションノートの『DIIPM ブートストラップ回路設計の手引き』を参照ください。

以下に、小型 DIIPM Ver.4 シリーズのP側 IGBT 駆動部時の消費電流特性を示します。

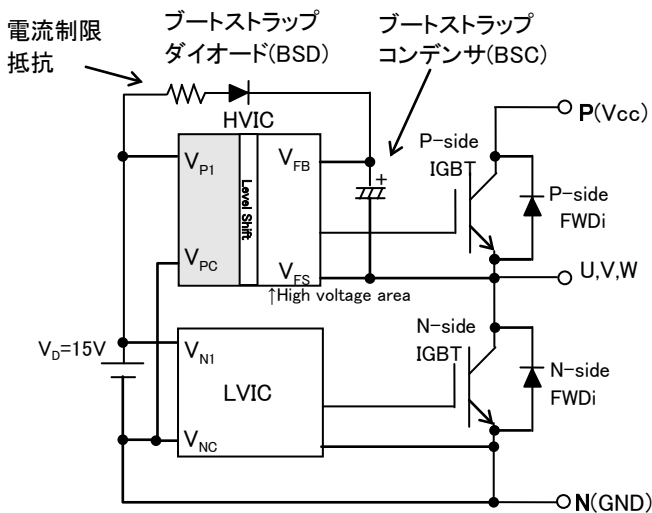
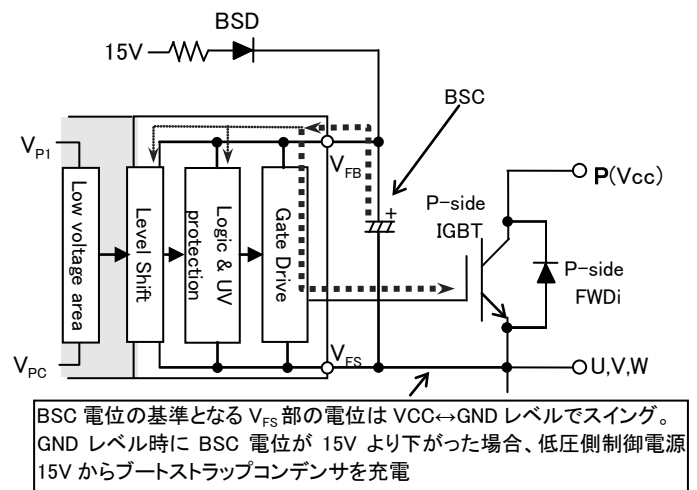


図 4-1: ブートストラップ回路



BSC 電位の基準となる V_{FS} 部の電位は VCC↔GND レベルでスイング。GND レベル時に BSC 電位が 15V より下がった場合、低圧側制御電源 15V からブートストラップコンデンサを充電

図 4-2: ブートストラップ回路消費電流

4. 2. 2 ブートストラップ電源回路電流

本製品の定常状態におけるブートストラップ電源の回路電流は、最大 0.55mA です。しかし、PWM 制御時などスイッチング時には、IGBT 駆動のためゲートの充放電が繰り返されるため、回路電流はキャリア周波数に比例して増加し、0.55mA を超えます。参考データとして PS21765、PS21767 の P 側駆動電源 (V_{DB}) 回路電流 I_{DB} が大きくなる高温時の I_{DB} -キャリア周波数特性を図 4-3、4 に示します。

条件: $V_D=V_{DB}=15V$ 、 $T_j=125^\circ C$ 、IGBT ON Duty=10、30、50、70、90%

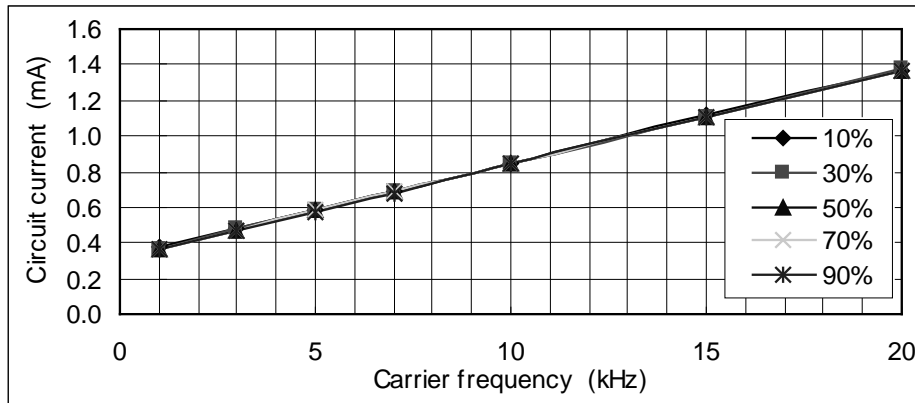


図 4-3: PS21765 の I_{DB} -キャリア周波数特性(代表例)

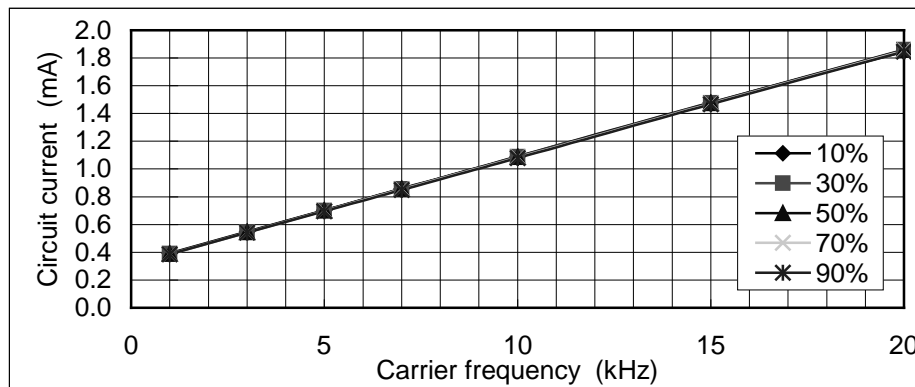


図 4-4: PS21767 の I_{DB} -キャリア周波数特性(代表例)

4. 2. 3 ブートストラップ回路定数設定時の注意点

ブートストラップ回路の各定数の検討時には、各素子の温度特性、寿命による変化、ばらつきなどを考慮した上で設計願います。ブートストラップ回路の動作については、アプリケーションノートの『DIIPM ブートストラップ回路設計の手引き』も参照ください。各素子の選定において注意いただきたい点について以下に挙げます。

(1) ブートストラップコンデンサ

BSCには、電解コンデンサが一般的に使用されていますが、近年、大容量のセラミックコンデンサも使用されつつあります。しかし、電解コンデンサとは異なり、セラミックコンデンサは、DC バイアス特性(DC 電圧印加時の容量特性)により容量が大きく低下するものがありますので注意が必要です。表 4-4 に電解コンデンサとセラミックコンデンサの一般的な特性例を示します。

小型 DIIPM Ver.4 シリーズ アプリケーションノート

表 4-4: コンデンサ静電容量の各特性例

	電解コンデンサ	大容量セラミックコンデンサ
温度特性 (Ta:-20~85°C)	アルミ電解コンデンサ: 低温:-10% 高温:+10%程度 導電性高分子アルミ固体タイプ: 低温:-5% 高温:+10%程度	B,X5R,X7R など温度特性ランクにより異なる。 低温:-5%~0%程度 高温:-5%~-10%程度
DC バイアス特性 (DC15V 印加時)	定格電圧内であればほぼ変化無し	サイズ、温度特性、定格電圧により異なる。 -70%~-15%程度低下

電解コンデンサについては、DC バイアス特性は問題ありませんが、繰り返し充放電によるリップル耐量、寿命(周囲温度による影響大)などに注意が必要です。上記、特性は WEB に掲載のコンデンサの特性の参考例です。コンデンサの詳細特性につきましては、各コンデンサメーカーにご確認ください。

(2) ブートストラップダイオード

ブートストラップダイオードには、DIIPM の素子耐圧(DIP が 600V 品であれば 600V)以上のもので、高速品(リカバリー時間 $t_{rr}=100\text{ns}$ 以下)を使用し、初期充電時の大電流を考慮して電流定格を選定してください(制限抵抗値との組み合わせで検討の必要が有ります)。

また、耐圧などのパラッキ、その他特性など品質が十分確認された製品を使用してください。BSD が、過電圧などによりショート破壊した場合、DC-LINK 電圧が、DIIPM の制御 IC の低圧側に印加されて過電圧破壊し、DIIPM の各種機能(保護、ゲート駆動など)が失われ、IGBT ゲート破壊などにつながり、システムの破壊様相は、激しいものとなる可能性があります。

(3) 電流制限抵抗

電流制限抵抗選定時には、許容損失、サージ耐量(スイッチングオン・オフ時にサージが印加される可能性があります)などに注意が必要です。特に小型チップ抵抗などを使用する場合は、耐サージ設計されたタイプを推奨します。詳細につきましては、各抵抗器メーカーにご確認ください。

第5章 小型 DIIPM Ver.4 の I/F 基板例

5.1 I/F 基板について

小型 DIIPM Ver.4 の搭載が可能なインターフェイスボード(I/F基板)をご用意しています。
 小型 DIIPM Ver.4 を使用する上で、基板パターン設計の参考や評価にご使用ください。

(1) I/F基板の構成

三菱小型DIIPM Ver.4のI/F基板には、周辺回路として、スナバコンデンサ、ブートストラップ回路を搭載しています。

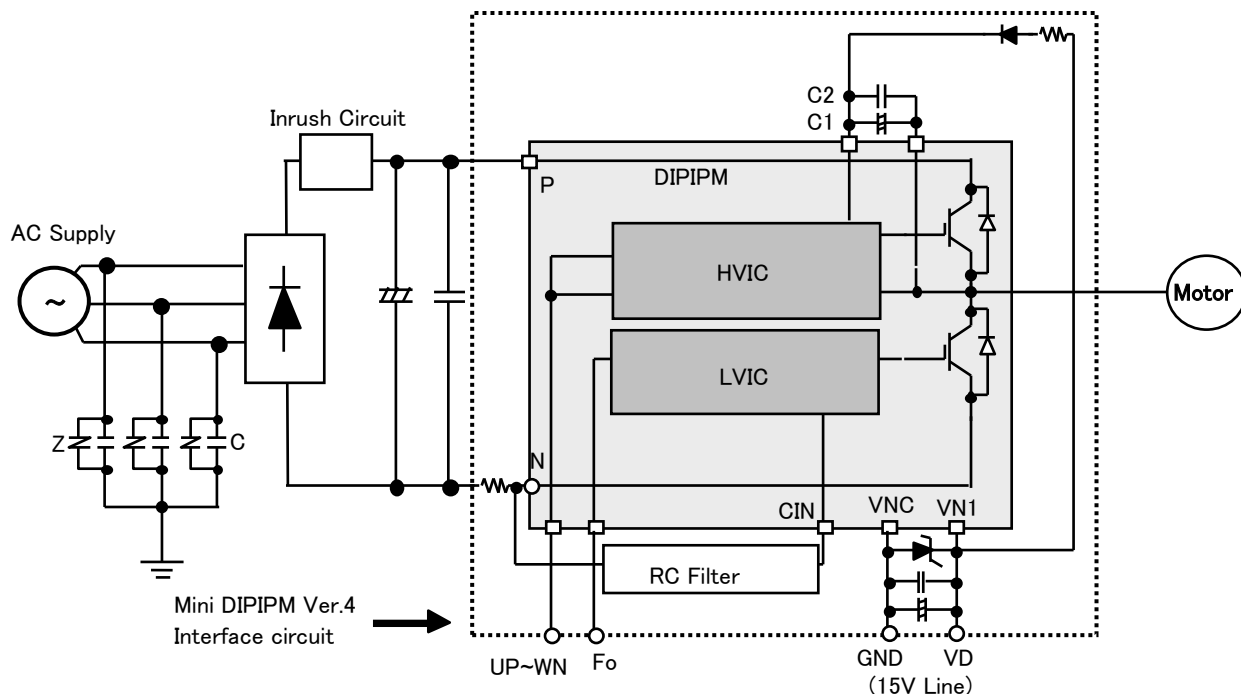
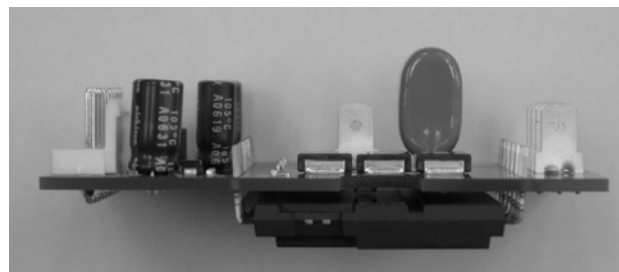
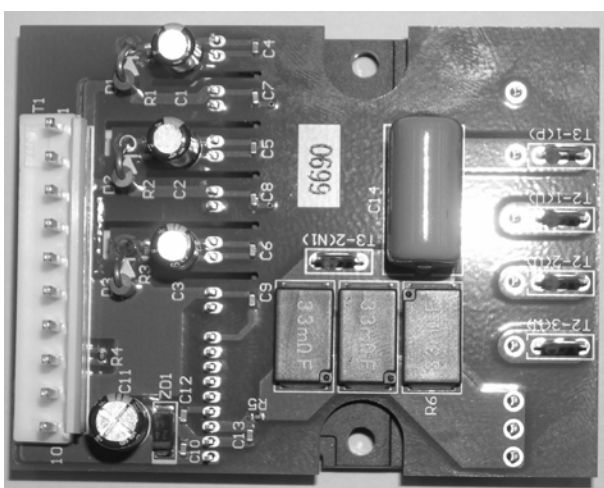


図 5-1: 小型 DIIPM Ver.4 I/F 基板の構成

(2) I/F基板の外観

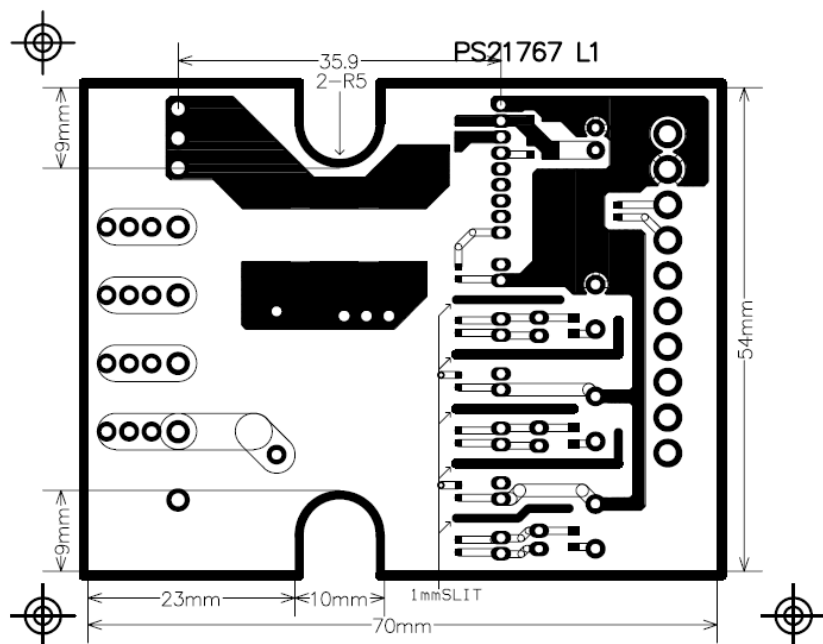


基板サイズ: 70.0×54.0×24.2mm
 (モジュール高さ含む)

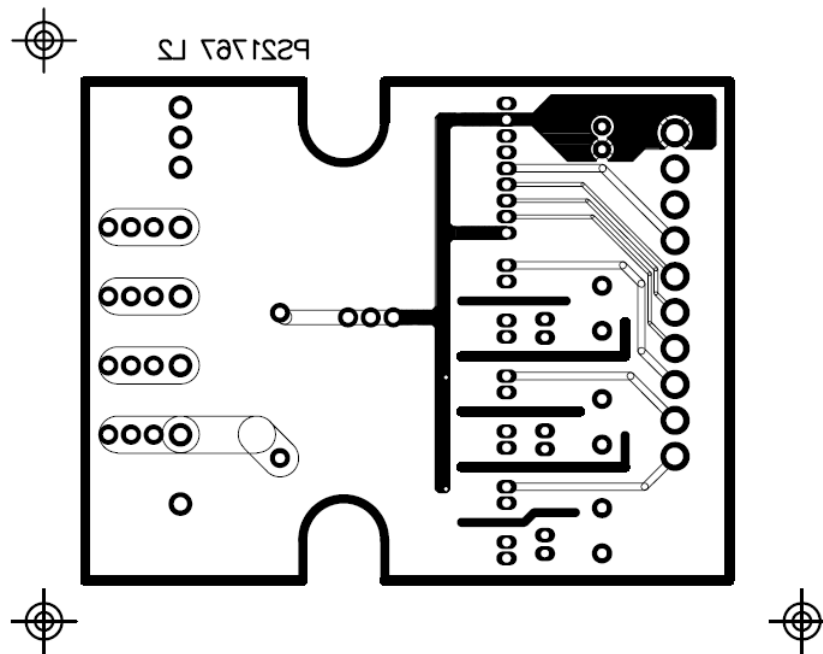
図 5-2: 小型 DIIPM Ver.4 I/F 基板の外観

5. 2 I/F 基板の配線パターン例 (両面基板)

(1) 基板パターン図



基板 部品面



基板 裏面(DIIPM 側)

図 5-3: 小型 DIIPM Ver.4 I/F 基板の配線パターン図

本パターンを参考にする場合は、貴社の設計基準を満たしているか確認願います。

5.3 回路図と部品図

(1) I/F基板回路図

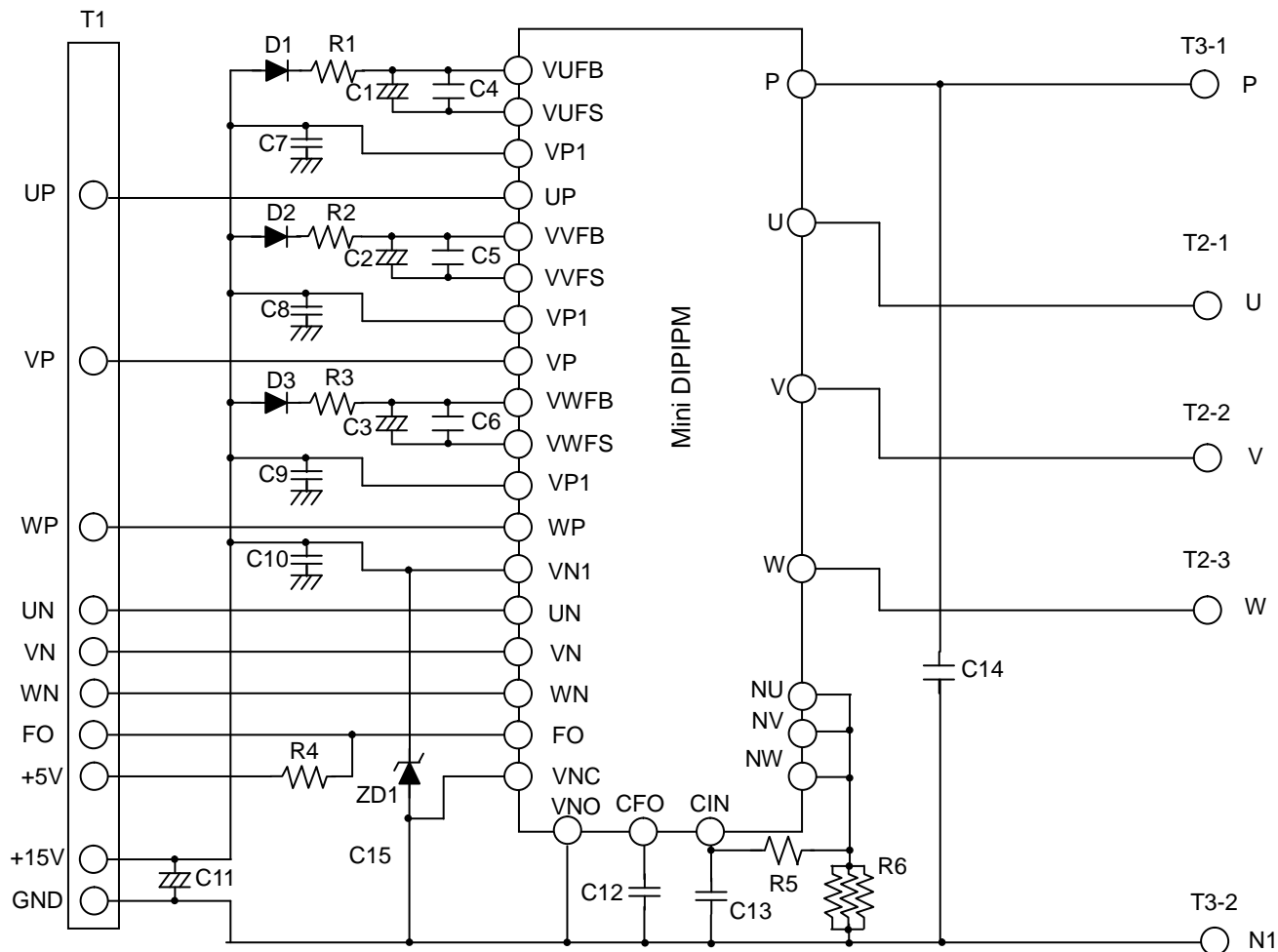


図 5-4: 小型 DIIPM Ver.4 I/F 基板の回路図

上記、評価基板には、P 側 3 相の駆動用制御電源部 ($V_{UFB}-V_{UFS}$, $V_{VFB}-V_{VFS}$, $V_{WFB}-V_{WFS}$) にサージ保護用のツェナーダイオードは搭載されていませんが、実際のシステムの基板には搭載することを推奨いたします。

(2)I/F 基板部品リスト

本、I/F 基板に搭載する部材例を表 5-1 に掲載いたします。

表 5-1: 部品リスト

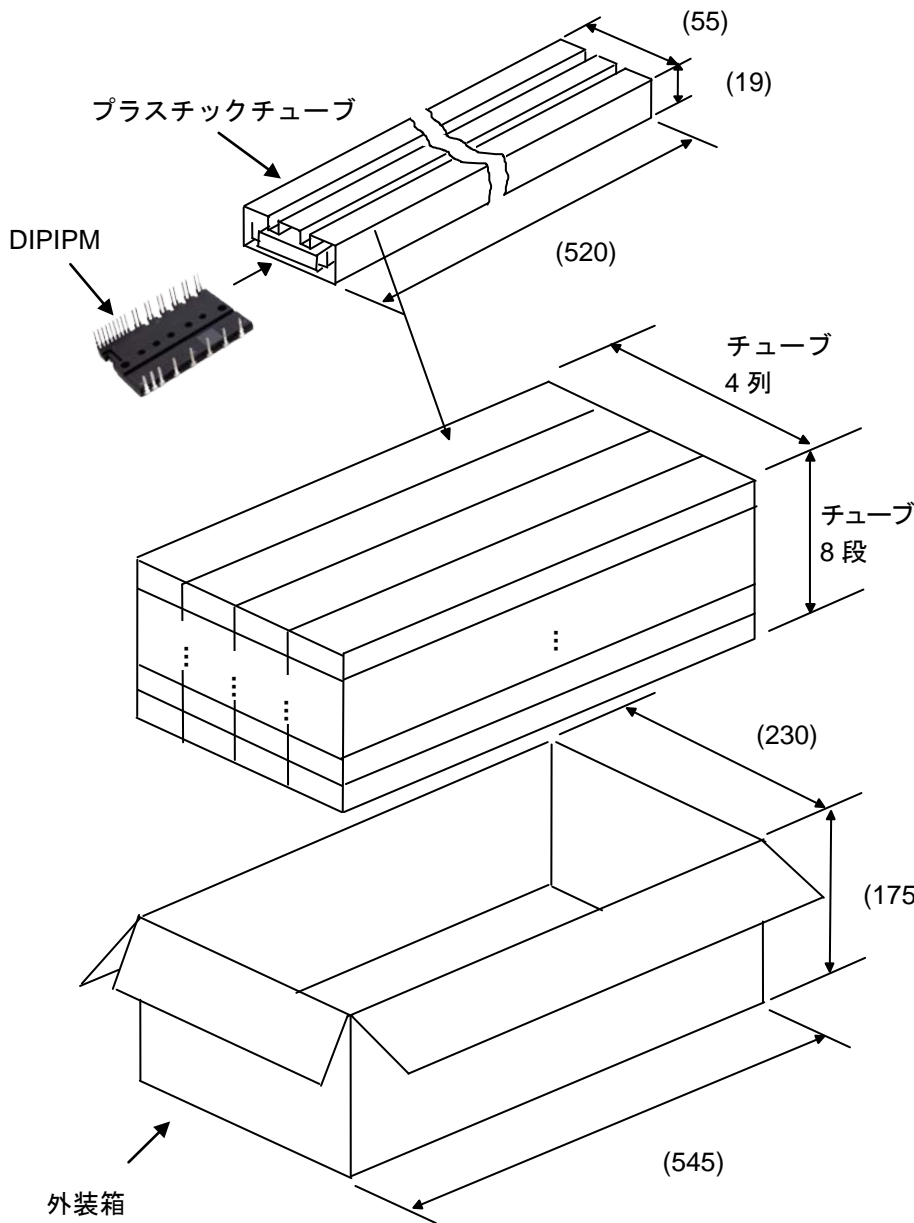
Symbol	Type Name	Description	Note
D1	10DRA60	1A 600V Diode	Japan International
D2	10DRA60	1A 600V Diode	Japan International
D3	10DRA60	1A 600V Diode	Japan International
ZD1	U1ZB24	24V 1W Zener Diode	Toshiba
C1	UPW1H220MDD	22 μ F50V Al electrolytic capacitor	Nichicon
C2	UPW1H220MDD	22 μ F50V Al electrolytic capacitor	Nichicon
C3	UPW1H220MDD	22 μ F50V Al electrolytic capacitor	Nichicon
C4	C1608X7R1H102K	1000pF50V ceramic capacitor	TDK
C5	C1608X7R1H102K	1000pF50V ceramic capacitor	TDK
C6	C1608X7R1H102K	1000pF50V ceramic capacitor	TDK
C7	C1608X7R1H102K	1000pF50V ceramic capacitor	TDK
C8	C1608X7R1H102K	1000pF50V ceramic capacitor	TDK
C9	C1608X7R1H102K	1000pF50V ceramic capacitor	TDK
C10	C1608X7R1H102K	1000pF50V ceramic capacitor	TDK
C11	UPW1H470MED	47 μ F50V Al electrolytic capacitor	Nichicon
C12	GRM39R223K50	0.022 μ F50V ceramic capacitor	Murata
C13	C1608X7R1H102K	1000pF50V ceramic capacitor	TDK
C14	MDDSA0.22 μ F630V	0.22 μ F630V snubber capacitor	Hitachi AIC
R1	RK73H1JTD10F	1/16W 10 Ω F	Hokuriku Denko
R2	RK73H1JTD10F	1/16W 10 Ω F	Hokuriku Denko
R3	RK73H1JTD10F	1/16W 10 Ω F	Hokuriku Denko
R4	RK73H1JTD10kF	1/16W 10k Ω F	Hokuriku Denko
R5	RK73H1JTD2kF	1/16W 2k Ω F	Hokuriku Denko
R6-1	SL2TBK33/47LOF	PS21765: 47m Ω , \pm 1%, 2WX3 PS21767: 33m Ω , \pm 1%, 2WX3	KOA, Current detecting resistor
R6-2	SL2TBK33/47LOF		
R6-3	SL2TBK33/47LOF		
T1	B10P-VH	10pin Socket	JST
T2-1	TP42097-21	Faston* tab	Kyoushin
T2-2	TP42097-21	Faston* tab	Kyoushin
T2-3	TP42097-21	Faston* tab	Kyoushin
T3-1	TP42097-21	Faston* tab	Kyoushin
T3-2	TP42097-21	Faston* tab	Kyoushin

* Faston は Tyco Electronics Corporation の商標です。

上記部材を評価基板に搭載することで、DIIPM の動作確認評価は可能ですが、最終的には、貴社の設計基準にて、寿命、信頼性などもご考慮の上、部材選定及び設計願います。

第6章 その他

6.1 梱包仕様



1 チューブ当たり
DIIPM 9 台/1 チューブ

1 外装箱あたり (最大)
4 列 × 8 段 = 32 本 (チューブ)
32 × 9 = 288 台 (DIIPM)

注) 端数梱包時には、最上段のみ
空チューブか段ボールスペーサ
を使用します。

質量
約 21g / DIIPM
約 300g / 1 チューブ
約 11kg / 1 外装箱

チューブ、梱包の質量はいずれも
最大数量梱包した際の値

箱の底及び最上段のチューブの上には、板状のスペーサが入ります。また、上部に空間がある場合、エアキャップが入ります。

図 6-1: 小型 DIIPM Ver.4 の梱包仕様

6. 2 取り扱いの注意



運送・運搬方法	<ul style="list-style-type: none">・運送中は梱包箱を正しい向きに置いてください。逆さにしたり、立てかけたり不自然な力を加えると、電極端子が変形したり樹脂ケースが壊れる原因になります。・投げたり、落したりすると素子が壊れる原因になります。・水に濡れると使用時の故障原因になります。降雨、降雪時の運搬には濡らさないように注意してください。
保管方法	<ul style="list-style-type: none">・本製品を保管する場所の温度及び湿度は、5～35℃、45～75%の常温常湿範囲内が望ましく、この温度、湿度から極度にかけて離れた環境では素子の性能や信頼性を低下させることがあります。
長期保存	<ul style="list-style-type: none">・本製品を長期(1年以上)に保管する場合は、除湿対策をしてください。なお、長期保管後、ご使用の際は、外観に傷、汚れ、錆等がないことを確認してください。
使用環境	<ul style="list-style-type: none">・水や有機溶剤が直接付着する場所、腐蝕性ガスを発生する場所、また、爆発性ガス、粉塵、塩分などのあるところでの使用は重大な事故につながる可能性がありますので避けてください。
難燃性について	<ul style="list-style-type: none">・ケース材料には UL 規格の 94V-0 認定品を使用していますが、不燃性ではありません。
静電気対策	<ul style="list-style-type: none">・DIIPM は MOS ゲート構造を有する専用 IC を使用しています。・静電気による破壊を防止するために下記事項を守ってください。(1)静電気破壊に対する注意事項<ul style="list-style-type: none">・人体や梱包材料に帯電した静電気や各制御端子間に、規格値以上の過大な電圧(最大定格入力端子電圧範囲を超える電圧)が印加されると、素子が破壊することがあります。静電気対策の基本は、静電気の発生をできるだけ押さえることと、帯電した電荷をすばやく逃がすことが大切です。* 運搬、保存に静電気を帯びやすい容器は使用しないでください。* DIIPM は、使用する直前までチューブから出さないでください。また素手で端子を絶対に触らないようにしてください。* 組立時、使用機器や人体を接地して作業を行ってください。・また、作業台表面および作業台周囲の床は導電性マットを敷き、接地することを推奨します。* 素子を実装したプリント基板上で各制御端子間がオープンになっていると、プリント基板に帯電した静電気により破壊することがありますのでご注意ください。* 半田ゴテを使用する場合は、コテ先をアースしてください。(2)各制御端子間開放時の注意事項<ul style="list-style-type: none">* 各制御端子間がオープン状態で、コレクタ・エミッタ間に電圧を印加しないでください。* 素子を取外す場合、各制御端子間を短絡してから取外してください。

改訂履歴

Rev.	発行日	改訂内容
1	2011/6/15	新規作成
2	2012/11/15	P.32 図 3-21 ノイズ誤動作時対策案 P.35 4.2 項 ブートストラップ回路動作

安全設計に関するお願い

弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (www.MitsubishiElectric.co.jp/semiconductors) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単体で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または特約店までご照会ください。