

# フル SiC 超小型 DIIPM アプリケーションノート

## PSF\*\*S92F6-A6/-C6

### DIIPM アプリケーションノート目次

<b>第1章 製品の概要</b> .....	<b>2</b>
1.1 フル SiC 超小型 DIIPM の特長.....	2
1.2 搭載機能.....	3
1.3 用途.....	4
1.4 製品ラインナップ.....	4
1.5 従来品との仕様差異について.....	4
<b>第2章 フル SiC 超小型 DIIPM のスペック</b> .....	<b>6</b>
2.1 フル SiC 超小型 DIIPM のスペック.....	6
2.1.1 最大定格.....	6
2.1.2 電気的特性 熱抵抗.....	8
2.1.3 電気的特性および推奨使用条件.....	9
2.1.4 機械的定格および特性.....	11
2.2 保護機能とシーケンス.....	12
2.2.1 短絡保護.....	12
2.2.2 制御電源電圧低下保護(UV 保護).....	14
2.2.3 温度出力機能 VOT.....	16
2.3 フル SiC 超小型 DIIPM のパッケージ.....	19
2.3.1 外形図.....	19
2.3.2 マーキング.....	21
2.3.3 端子配列と名称.....	22
2.4 フル SiC 超小型 DIIPM の取り付け方法.....	24
2.4.1 絶縁距離.....	24
2.4.2 取り付け方法と注意点.....	24
2.4.3 はんだ付け条件.....	25
<b>第3章 フル SiC 超小型 DIIPM の使用方法</b> .....	<b>26</b>
3.1 使用方法と応用.....	26
3.1.1 システム接続例.....	26
3.1.2 インターフェイス回路例 (直接入力時、1 シャント抵抗時).....	27
3.1.3 インターフェイス回路例(フォトカプラ駆動).....	28
3.1.4 N 側ソース分割仕様(3 シャント)動作時の外部 SC 保護回路例.....	29
3.1.5 信号入力端子と Fo 端子.....	29
3.1.6 スナバコンデンサの接続.....	31
3.1.7 外部シャント抵抗周辺回路の接続.....	31
3.1.8 PCB設計時の注意点について.....	33
3.1.9 DIIPM の並列動作について.....	34
3.1.10 SOA(スイッチング時、短絡時).....	34
3.1.11 短絡 SOA.....	35
3.1.12 動作寿命について.....	36
3.2 損失と放熱設計.....	37
3.2.1 損失計算方法(例).....	37
3.2.2 温度上昇の考え方と計算例.....	39
3.2.3 ケース温度測定について(例).....	40
3.3 ノイズ・静電気耐量.....	41
3.3.1 測定回路.....	41
3.3.2 対策と注意事項.....	41
3.3.3 静電気耐量について.....	42
<b>第4章 ブートストラップ回路動作</b> .....	<b>43</b>
4.1 ブートストラップ回路動作.....	43
4.2 ブートストラップ電源回路電流.....	44
4.3 ブートストラップ回路定数設定時の注意点.....	45
4.4 ブートストラップ回路使用時の初期充電について.....	46
<b>第5章 フル SiC 超小型 DIIPM のインターフェイス 基板例</b> .....	<b>47</b>
5.1 I/F 基板について.....	47
5.2 基板回路図、部品例、基板パターン例.....	49
<b>第6章 その他</b> .....	<b>51</b>
6.1 梱包仕様.....	51
6.2 取り扱いの注意.....	52

## 第1章 製品の概要

### 1.1 フル SiC 超小型 DIIPM の特長

超小型フル SiC DIIPM はモータ制御用インバータ回路のパワー部に次世代高効率素子である SiC MOSFET を搭載し、駆動・保護回路を 1 パッケージに集積したトランスファーモルディング外形のインテリジェントパワーモジュール(IPM)です。

本製品は、家庭用エアコンなど向けで事実上のデファクトスタンダードとなっている Si IGBT 搭載の超小型 DIIPM Ver.6 シリーズに対し、SiC MOSFET を搭載することで大幅なインバータ効率の改善が図れるだけでなく、各種保護機能やブートストラップダイオード、制御 IC 部温度のアナログ信号出力等といった豊富な機能の搭載及びパッケージに関しコンパチビリティを有しています。そのため、従来品のインバータ基板の流用(一部変更要)が容易に可能であり、搭載システムのラインナップの拡充に貢献いたします。

以下に主な特徴を記載します。

- ・新開発の SiC MOSFET を搭載し、効率を大幅に改善
- ・電流定格 15A~25A/600V をラインナップ
- ・高しきい値電圧  $V_{GSth}$  の MOSFET 搭載により、負バイアス不要
- ・ブートストラップ方式使用により DC18V 単一電源駆動が可能
- ・保護機能により、SiC MOSFET の安全・安定な動作可能
- ・端子配置や機能が従来品と同等のため、置き換えが容易

従来品(超小型 DIIPM Ver.6)との差異詳細については、1.5 項に記載いたします。図 1-1-1 に外観写真、図 1-1-2 に内部断面構造図を、図 1-1-3 に損失シミュレーション結果(代表例)を示します。

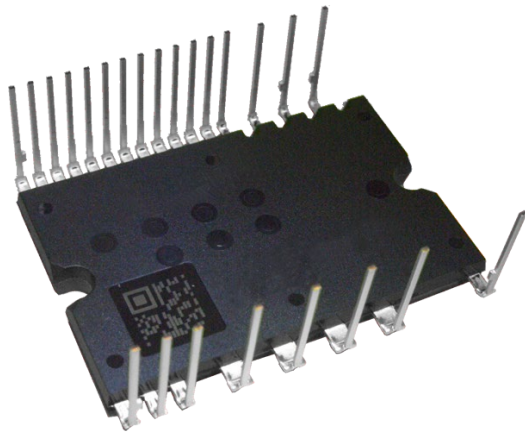


図 1-1-1 外観写真(長尺品)

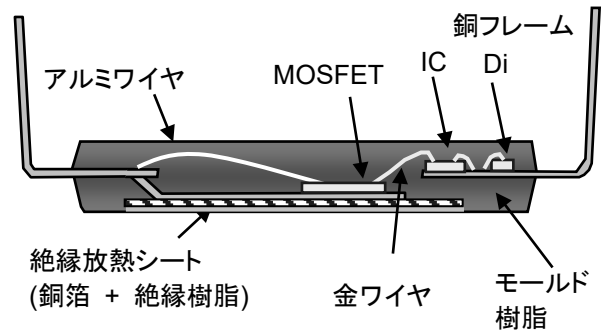


図 1-1-2 内部断面構造図

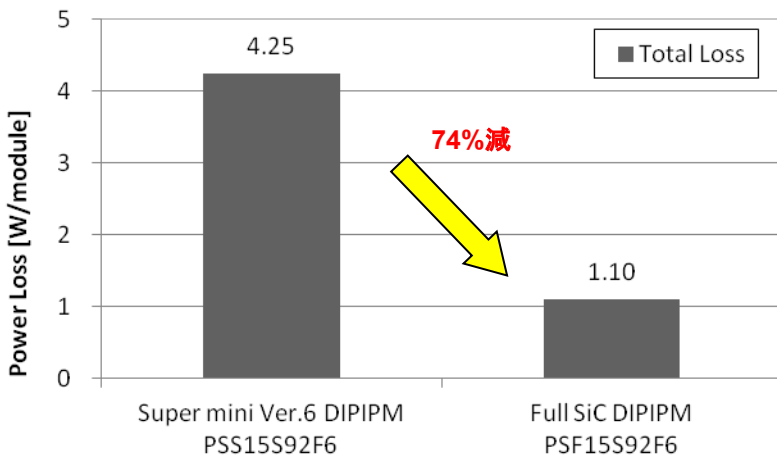


図 1-1-3 損失計算結果(代表例)

[Common calculation condition]  
 シミュレーションモデル 三相変調 正弦波出力  
 $V_{CC}=V_{DD}=300V$ ,  $M=1$ ,  $P.F=0.8$ ,  **$I_o=1Arms$** ,  
 **$f_c=5kHz$** ,  $f_o=60Hz$ ,  $T_j=T_{ch}=125^\circ C$

[Calculation condition for PSS15S92F6]  
 $V_D=V_{DB}=15V$ ,  $V_{CE}=Typ.$ ,  $V_{EC}=Typ.$ ,  
 Switching loss=Typ.

[Calculation condition for PSF15S92F6]  
 **$V_D=V_{DB}=18V$** ,  $V_{DS(on)}=Typ.$ ,  $V_{SD(on)}=Typ.$ ,  
 Switching loss=Typ.

1.2 搭載機能

フル SiC 超小型 DIIPM の主な搭載機能は以下のとおりです。図 1-2-1 に内部回路図を示します。

- (1) P 側 MOSFET 用:
  - ・ 駆動回路、高圧レベルシフト回路
  - ・ 制御電源電圧低下(UV)保護機能(エラー出力無し)
  - ・ ブートストラップダイオード搭載 (電流制限抵抗内蔵)
- (2) N 側 MOSFET 用: 駆動回路
  - ・ 短絡(SC)保護機能(DIIPM 外部の電流検出抵抗の電圧を検出し、DIIPM ヘフィードバックして実施)
  - ・ 制御電源電圧低下(UV)保護機能
  - ・ 温度出力機能
- (3) エラー出力:
  - ・ N 側 MOSFET 短絡保護時、N 側制御電源電圧低下時出力
- (4) MOSFET 駆動電源:
  - ・ **DC18V** 単一電源 (ブートストラップ方式使用時)
- (5) 入力インターフェイス:
  - ・ 3V, 5V 対応、ハイアクティブ駆動
- (6) UL 認証済み UL1557 File E323585

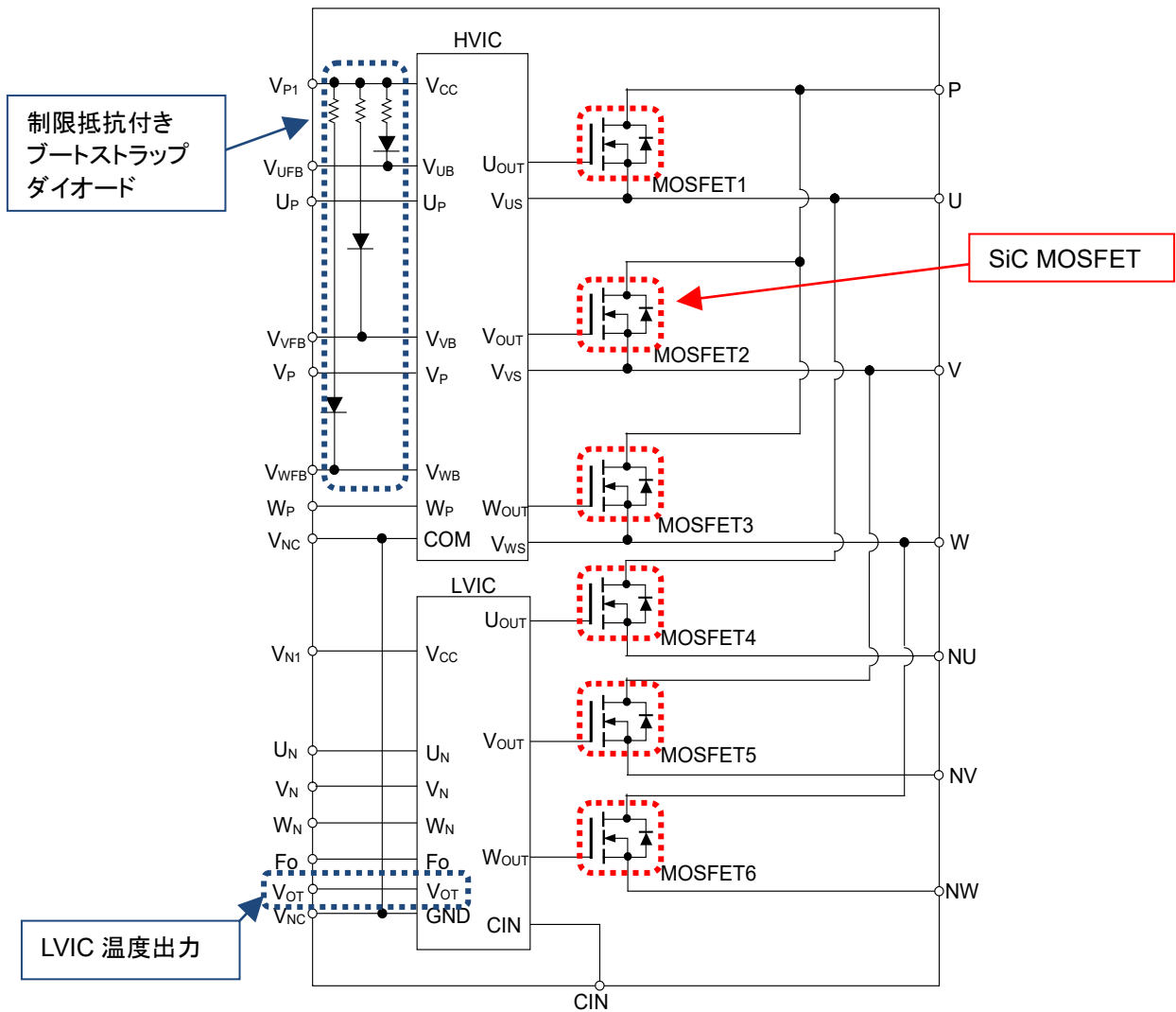


図 1-2-1 内部回路図

# フル SiC 超小型 DIPIPM アプリケーションノート

## 1.3 用途

エアコンなどのコンプレッサ、洗濯機のドラム及びファンモータのインバータ駆動用サーボ及び汎用インバータなど小容量産業用モータ駆動

## 1.4 製品ラインナップ

製品ラインナップを表 1-4-1 に記載します。

表 1-4-1 フル SiC 超小型 DIPIPM 製品ラインナップ (温度出力機能付き仕様)

形名 <sup>1)</sup>	定格	モータ定格 <sup>2)</sup>	絶縁耐電圧 Viso
PSF15S92F6-A6/-C6	15A/600V	1.5kW/220VAC	AC1500Vrms 正弦波 60Hz, 1min 全端子共通-放熱ヒートシンク間
PSF25S92F6-A6/-C6	25A/600V	2.5kW/220VAC	

注1) 形名の後に追加される"A"は長尺端子仕様、"C"は制御側千鳥端子仕様を示します。詳細は外形図等を参照ください。端子形状のご選択時には、三菱電機販売部門または、特約店までお問い合わせをお願いいたします。

注2) モータ定格容量は、産業用汎用インバータにおける一般的な適用モータ容量を示したものです。ご使用条件により適用可能なモータ容量は異なります。

## 1.5 従来品との仕様差異について

フル SiC 超小型 DIPIPM(PSF\*\*S92F6-A6/C6)と従来品 超小型 DIPIPM Ver.6(PSS\*\*S92\*6)の仕様上の主な相違点は、以下のとおりです。詳細につきましては、各製品のデータシートを参照ください。

表 1-5-1 従来品との仕様差異

項目	PSS**S92*6	PSF**S92F6-A6/C6
	超小型DIPIPM Ver.6	フルSiC超小型 DIPIPM
コレクタ電流 $\pm I_c$ ドレイン電流 $\pm I_D$	5, 10, 15, 20, 30, 35A	15, 25A
P側制御電源電圧 $V_{DB}$ <sup>1)</sup>	Typ. 15V (13V~18.5V)	<b>Typ. 18V</b> (15V~22V)
N側制御電源電圧 $V_D$ <sup>1)</sup>	Typ. 15V (13.5V~16.5V)	<b>Typ. 18V</b> (17V~19V)
ブートストラップダイオードの搭載	搭載 (電流制限抵抗付き)	←
温度保護機能 <sup>2)</sup>	過熱保護 (PSS**S92E6) あるいは LVIC温度出力 (PSS**S92F6)	LVIC温度出力 のみ
N側エミッタ/ソース端子 (1シャント、3シャント)	分割仕様のみ <sup>3)</sup>	←
端子形状 <sup>3)</sup>	<b>計 3仕様</b> 短尺、長尺、制御側千鳥	<b>計 2仕様</b> 長尺、制御側千鳥

(1) Ver.6 シリーズを含む Si IGBT を搭載した DIPIPM では、P 側および N 側の制御電源電圧  $V_{DB}$  および  $V_D$  は Typ. 15V となります。一方、フル SiC 超小型 DIPIPM の P 側および N 側の制御電源電圧  $V_{DB}$  および  $V_D$  は Typ. 18V とすることで、SiC MOSFET の通電能力を十分確保しています。

(2) Ver.6 シリーズの温度保護機能は、過熱保護機能(OT)と LVIC 温度をアナログ信号にて出力する温度出力機能の 2 種類から選択となります。フル SiC 超小型 DIPIPM は温度出力機能のみとなります。温度保護機能を実装する場合には、自己保護機能はありませんので、本出力をシステム側でモニタしていただき、所望の温度に達した際にシステムにより DIPIPM を停止してください。(例:ヒートシンクなどに設置の外付けのサーミスタの代用機能)

(3) Ver.6 シリーズおよびフル SiC 超小型 DIPIPM は N 側エミッタ分割仕様(3shunt)および N 側ソース分割仕様(3shunt)となります。フル SiC 超小型 DIPIPM の端子形状は、従来品の長尺(-A)及び制御側千鳥(-C)の 2 仕様からお選びいただけます。

# フル SiC 超小型 DIPIPM アプリケーションノート

表 1-5-2 従来品との主な特性、推奨条件の差異(例: 定格電流 15A 品,特に記載無ければ Tch=25°C)

項目	記号	PSS15S92*6	PSF15S92F6-A6/C6
		超小型DIPIPM Ver.6	フルSiC超小型 DIPIPM
コレクタ電流(ピーク)	$\pm I_{CP}$	45A <sup>4)</sup>	30A <sup>4)</sup>
ドレイン電流(ピーク)	$\pm I_{DP}$	(定格電流3倍)	(定格電流2倍)
コレクタ・エミッタ間飽和電圧	$V_{CEsat}$	Typ. 1.45V @15A	Typ. 1.10V @15A
ドレイン・ソース間オン電圧	$V_{DS(on)}$		
FWD順電圧降下	$V_{EC}$	Typ. 1.70V @15A	Typ. 4.00V@15A <sup>5)</sup>
ソース・ドレイン間電圧	$V_{SD(off)}$		
低圧部の駆動用ICの消費電流(総和)	$I_D$	Max 2.80mA	Max 3.50mA
高圧部(フローティング部)のICの消費電流	$I_{DB}$	Max. 0.10mA	Max. 0.38mA
P側制御電源電圧低下保護トリップ値	$UV_{DBt}$	Min. 7.0V	Min. 10.0V
P側制御電源電圧低下保護リセット値	$UV_{DBr}$	Min. 7.0V	Min. 10.5V
ブートストラップDi順電圧降下	$V_F$	Typ. 1.7V @10mA	Typ. 1.3V @10mA
上下アーム休止時間	tdead	Min. 1.0 $\mu$ s	Min. 1.5 $\mu$ s
許容最小入力パルス幅	PWIN(on)	Min. 0.7 $\mu$ s <sup>6)</sup>	Min. 0.7 $\mu$ s
	PWIN(off)	Min. 0.7 $\mu$ s <sup>6)</sup>	Min. 1.5 $\mu$ s <sup>7)</sup>

- (4) Ver.6シリーズのコレクタ電流のピーク値の絶対定格は定格電流の3倍ですが、フルSiC超小型 DIPIPMのドレイン電流のピーク値の絶対定格は、Ver.5シリーズ等と同様に定格電流の2倍です。Ver.6シリーズからフルSiC超小型に置き換える場合、過負荷運転時など瞬時大電流を必要とする場合には注意が必要です。  
短絡時大電流に対する保護として使用する場合の Ver.6 とフル SiC 超小型 DIPIPM の短絡保護レベルの差異を、15A 品を例として図 1-5-1 に示します。Ver.6 シリーズの短絡保護レベルの最大設定値は、定格の 2.7 倍までとなります。一方フル SiC 超小型 DIPIPM の短絡保護レベルの最大設定値は、定格の 1.7 倍までとなります。なお、フル SiC 超小型 DIPIPM の短絡保護トリップレベル誤差は 4.80V $\pm$ 5%であり、Ver.6 シリーズと同様の短絡保護検出精度を確保しています。
- (5) 還流動作相にオン信号を入れない場合のボディダイオードの  $V_F$  です。オン信号を入れる場合(相補SW時)、オン信号により MOSFET のチャネルが導通し、電流経路はボディダイオード部とチャネル部の並列となるため、導通損失はボディダイオードのみの場合に比べ大幅に低下いたします。
- (6) PWIN(off)以下のパルス幅の入力オフ信号には出力が応答しない場合があります。
- (7) PWIN(off)以下のパルス幅の入力オフ信号には出力が応答しない、またはP側のみターンオン時間が大きくなる場合があります。ただしこの場合においても、入力オンの状態にて出力オフの状態を維持し続けることはありません。詳細は各製品のデータシートやアプリケーションノートをご参照ください。

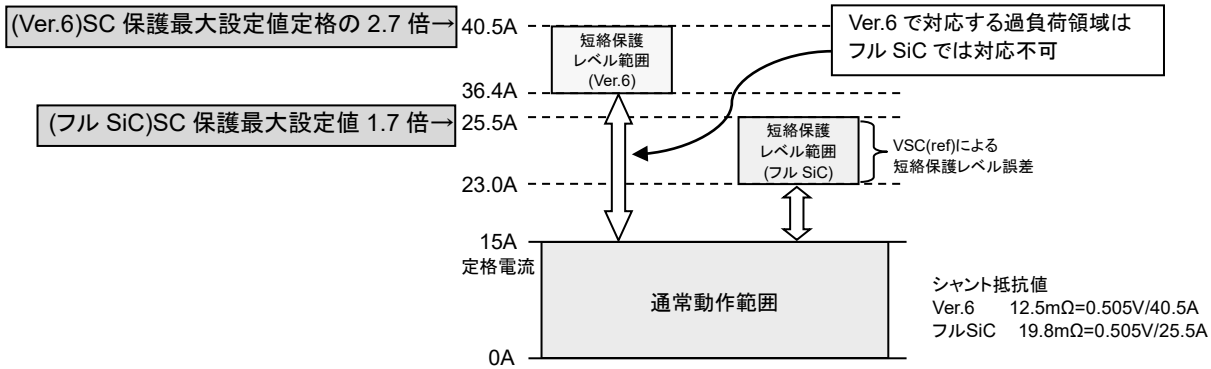


図 1-5-1 フル SiC 超小型と Ver.6 の短絡保護レベル比較(15A 品)

上記を含め、詳細につきましては、各製品のデータシートを参照ください。

# フル SiC 超小型 DIIPM アプリケーションノート

## 第2章 フル SiC 超小型 DIIPM のスペック

### 2.1 フル SiC 超小型 DIIPM のスペック

フル SiC 超小型 DIIPM のスペックを代表例 PSF15S92F6-A6/C6 (15A/600V)で説明します。  
他の形名および詳細はデータシートをご参照ください。

#### 2.1.1 最大定格

PSF15S92F6-A6/C6 (15A/600V)の最大定格を、表 2-1-1 に示します。

表 2-1-1 PSF15S92F6-A6/C6 (15A/600V)の最大定格  
インバータ部

記号	項目	条件	定格値	単位
V <sub>DD</sub>	電源電圧	P-NU, NV, NW 端子間	450	V (1)
V <sub>DD(surge)</sub>	電源電圧(サージ)	P-NU, NV, NW 端子間	500	V (2)
V <sub>DSS</sub>	ドレイン・ソース間電圧		600	V (3)
±I <sub>D</sub>	ドレイン電流	T <sub>c</sub> =25°C (注1)	15	A (4)
±I <sub>DP</sub>	ドレイン電流(ピーク)	T <sub>c</sub> =25°C, 1ms 以下	30	A
T <sub>ch</sub>	チャネル温度	(注2)	-30~+150	°C (5)

注 1. パルス幅及び周期は、チャネル温度で制限されます。

注 2. 内蔵パワーチップ自身の最大瞬時チャネル温度は 150°C (@T<sub>c</sub> ≤ 100°C) ですが、安全動作させるための平均動作チャネル温度は T<sub>ch</sub> ≤ 125°C (@T<sub>c</sub> ≤ 100°C)と規定します。

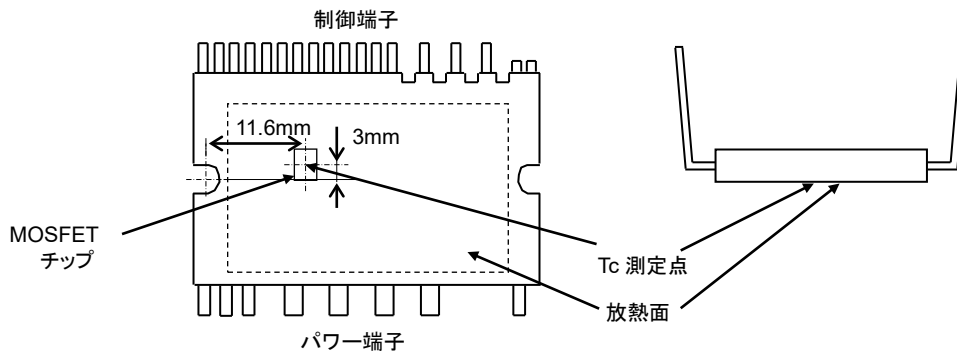
#### 制御(保護)部

記号	項目	条件	定格値	単位
V <sub>D</sub>	制御電源電圧	V <sub>P1</sub> -V <sub>NC</sub> , V <sub>N1</sub> -V <sub>NC</sub> 端子間	24	V
V <sub>DB</sub>	制御電源電圧	V <sub>UFB-U</sub> , V <sub>VFB-V</sub> , V <sub>WFB-W</sub> 端子間	24	V
V <sub>IN</sub>	入力電圧	U <sub>P</sub> , V <sub>P</sub> , W <sub>P</sub> , U <sub>N</sub> , V <sub>N</sub> , W <sub>N</sub> -V <sub>NC</sub> 端子間	-0.5~V <sub>D</sub> +0.5	V
V <sub>Fo</sub>	エラー出力印加電圧	F <sub>O</sub> -V <sub>NC</sub> 端子間	-0.5~V <sub>D</sub> +0.5	V
I <sub>Fo</sub>	エラー出力電流	F <sub>O</sub> 端子のシンク電流値	1	mA
V <sub>SC</sub>	電流検出入力電圧	C <sub>IN</sub> -V <sub>NC</sub> 端子間	-0.5~V <sub>D</sub> +0.5	V

#### 全システム

記号	項目	条件	定格値	単位
V <sub>DD(PROT)</sub>	電源電圧自己保護範囲(短絡)	V <sub>D</sub> =17~19V, インバータ部 T <sub>ch</sub> =125°Cスタート, 2μs 以内, 非繰り返し	400	V (6)
T <sub>C</sub>	動作モジュール温度	T <sub>C</sub> : 測定点は下図に規定	-30~+100	°C
T <sub>stg</sub>	保存温度		-40~+125	°C
V <sub>iso</sub>	絶縁耐圧	正弦波 60Hz, AC 1 分間, 全端子共通-ヒートシンク間	1500	V <sub>rms</sub> (7)

図. ケース温度 T<sub>C</sub> 測定点



(8)

[各項目の説明]

(1)	V <sub>DD</sub>	内蔵MOSFETがスイッチングしていない状態で、P-N端子間に印加できる最大直流電源電圧。この電圧を超えるような場合は、ブレーキ回路等による制限をかける必要があります。
(2)	V <sub>DD(surge)</sub>	内蔵MOSFETがスイッチングしている状態で、P-N端子間に現れるサージ電圧の最大値。この電圧を超えないように、スナバ回路の接続や母線のインダクタンスの低減が必要です。
(3)	V <sub>DSS</sub>	内蔵MOSFETのD-S間に印加できる最大電圧定格。
(4)	±I <sub>D</sub>	T <sub>c</sub> =25°Cの条件で、通電可能な電流値です。パルス幅及び周期は、チャンネル温度により制限されます。
(5)	T <sub>ch</sub>	T <sub>c</sub> =100°Cにおいて、最大瞬時チャンネル温度は150°Cですが、安全動作させるための平均動作チャンネル温度はT <sub>ch</sub> ≤ 125°C (@T <sub>c</sub> ≤ 100°C) 以内を推奨します。 繰り返される温度変化ΔT <sub>j</sub> は、パワーサイクル寿命に影響を与えます。
(6)	V <sub>DD(PROT)</sub>	内蔵のMOSFETが短絡や過電流状態になった場合に、IPMの保護機能によってMOSFETを安全に遮断できる最大電源電圧。この条件を超えると保護できず、素子破壊に至る可能性が高くなります。
(7)	絶縁耐圧	超小型DIIPMの絶縁耐圧は、下図で示す全端子(ショート)と放熱面のCu表面との絶縁耐圧です。絶対最大定格は絶縁耐圧1500Vrmsとなっておりますが、下図のように端子-放熱フィン間の距離を確保する(2.5mm以上推奨)ために凸型の様な放熱フィンを使用した場合、絶縁耐圧2500Vrmsを満足します。 UL認証は、凸型形状の放熱フィンを使用した条件で絶縁耐圧2500Vrmsにて取得しております。
(8)	T <sub>c</sub> 測定点	VN相MOSFETチップの直下をケース温度T <sub>c</sub> の測定点と定義しています。正確なT <sub>c</sub> を測定するためにヒートシンクを加工し、チップ直下に熱電対がくるようにします。 P側とN側で制御方法が異なるなどの場合には、最もT <sub>c</sub> が高くなる点が上記とは異なる可能性があります。そのような場合には、測定点を変更して最も損失が大きくなるパワーチップの直下でT <sub>c</sub> を測定する必要があります。

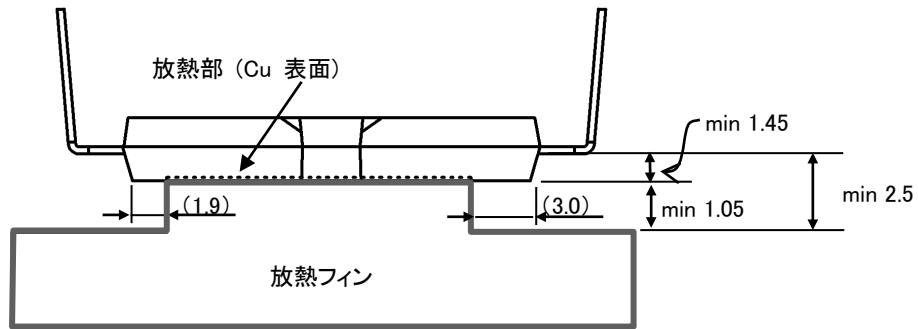


図 2-1-1 凸型放熱フィン使用時(単位:mm)

[パワーチップ配置]

図 2-1-2 に各パワーチップの位置を示します。(この図はマーキング面から見た図です)

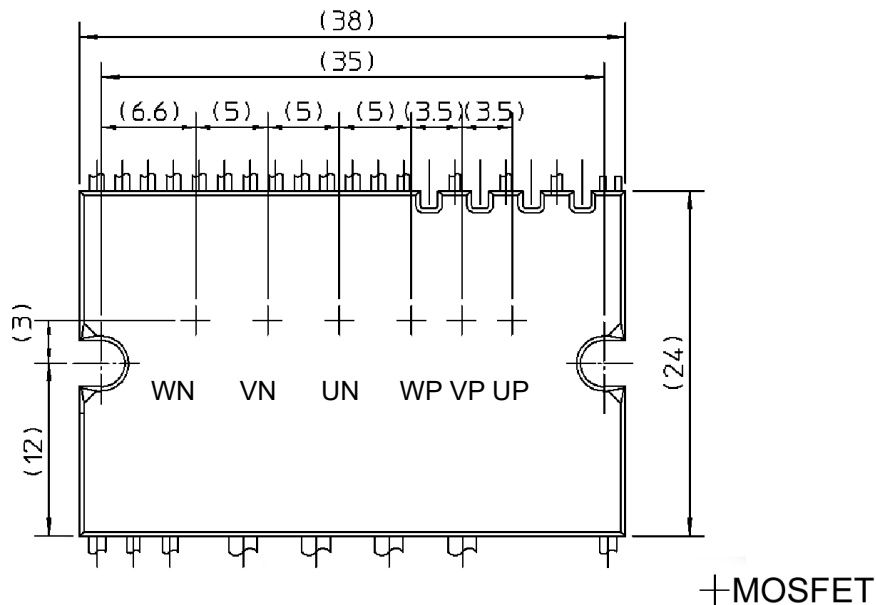


図 2-1-2 パワーチップ配置 (単位:mm)

2. 1. 2 電気的特性 熱抵抗

PSF15S92F6-A6/C6 (15A/600V)の熱抵抗の規格を、表 2-1-2 に示します。(指定のない場合は  $T_{ch}=25^{\circ}C$ )

表 2-1-2 PSF15S92F6-A6/C6 (15A/600V)の静特性およびスイッチング特性の規格

記号	項目	条件	規格値			単位
			最小	標準	最大	
$R_{th(ch-c)Q}$	チャンネル・ケース間熱抵抗(注3)	インバータ MOSFET ( 1/6 モジュール )	-	-	3.7	K/W

注3. DIIPMと放熱ヒートシンクとの接触面には、熱伝導のよいグリースを100~200 $\mu$ m程度、均一になるように塗布の上、規定の締めトルクにて締め付けることを規定します。(またグリースは使用動作温度範囲内で変質せず、経年変化のないものとします。)ただし、製品放熱面-ヒートシンク間の熱抵抗は、締め付けた状態におけるグリースの厚さ、グリースの熱伝導率等により異なります。目安として、グリース厚20 $\mu$ m、グリースの熱伝導率が1.0W/m $\cdot$ Kの場合の製品放熱面-ヒートシンク間熱抵抗値(1/6モジュール)は0.3K/Wとなります。

上記規格は、チャンネル-ケース間の定常時の熱抵抗を示しています。フル SiC 超小型 DIIPM の熱抵抗は、およそ10秒で飽和し、定常状態になります。飽和前の10秒以下の熱抵抗を過渡熱抵抗と呼び、図 2-1-3 のようになります。図 2-1-3 の過渡熱抵抗  $Z_{th(ch-c)}$  の"1"が、上記定常時の熱抵抗値に相当します。

PSF15S92F6-A6/C6 の MOSFET の 0.3 秒における過渡熱抵抗値は、 $3.7(K/W) \times 0.8 = 3.0(K/W)$ となります。

過渡熱抵抗は、定常的に流れるのではなく短時間(ms オーダ)の電流が流れる場合(例えばモータ起動時や短時間のロック時など)の温度上昇を検討する場合に使用します。

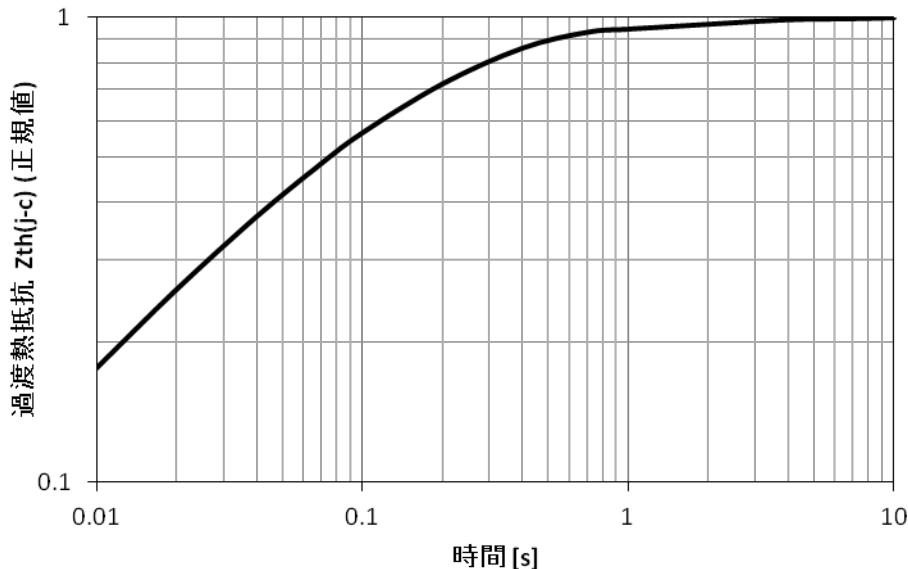


図 2-1-3 PSF15S92F6-A6/C6 過渡熱抵抗特性(代表例)



# フル SiC 超小型 DIPIPM アプリケーションノート

## 2. 1. 3 電気的特性および推奨使用条件

PSF15S92F6-A6/C6 (15A/600V)の静特性およびスイッチング特性の規格を、表 2-1-3 に示します。

表 2-1-3 PSF15S92F6-A6/C6 (15A/600V)の静特性およびスイッチング特性の規格  
インバータ部

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
$V_{DS(on)}$	ドレイン・ソース間オン電圧	$V_D = V_{DB} = 18V,$ $V_{IN} = 5V$	$I_D = 15A, T_{ch} = 25^\circ C$ $I_D = 15A, T_{ch} = 125^\circ C$	-	1.10 1.00	1.80 1.65	V
$V_{SD(off)}$	ソース・ドレイン間電圧	$V_D = V_{DB} = 18V, V_{IN} = 0V, -I_D = 15A$		-	4.00	5.00	V
$t_{on}$	スイッチング時間	$V_{DD} = 300V, V_D = V_{DB} = 18V,$ $I_D = 15A, T_{ch} = 125^\circ C, V_{IN} = 0 \leftrightarrow 5V,$ 誘導負荷(上一下アーム)		0.70	1.30	1.85	$\mu s$
$t_{c(on)}$				-	0.10	0.36	$\mu s$
$t_{off}$				-	1.50	2.10	$\mu s$
$t_{c(off)}$				-	0.10	0.18	$\mu s$
$t_{rr}$				-	0.10	-	$\mu s$
$I_{DSS}$	ドレイン・ソース間遮断電流	$V_{DS} = V_{DSS}$	$T_{ch} = 25^\circ C$ $T_{ch} = 125^\circ C$	-	-	1 10	mA

スイッチング時間の定義、および測定方法については、図 2-1-4、図 2-1-5 に示します。  
スイッチングは L 負荷(誘導負荷)ハーフブリッジ回路で測定しています。

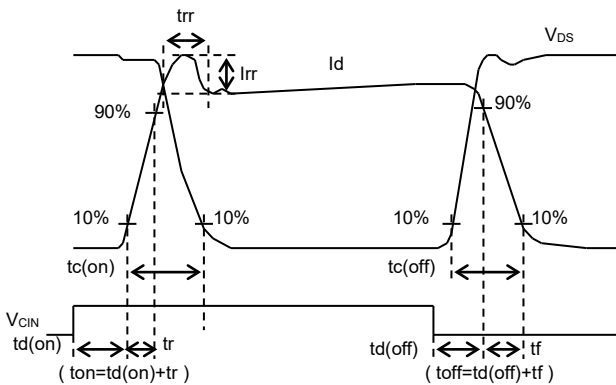


図 2-1-4 スwitching時間の定義

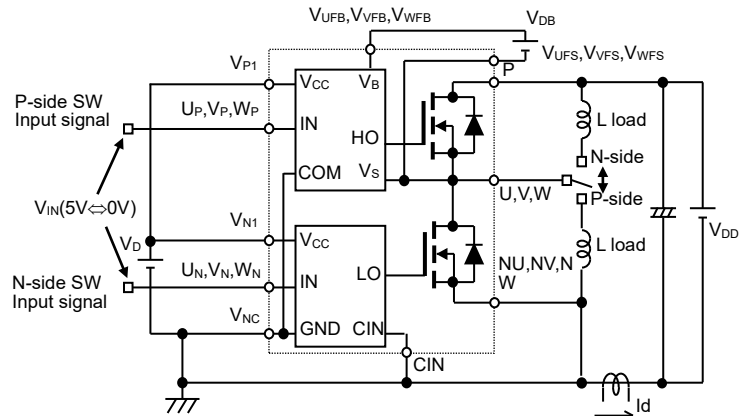


図 2-1-5 L 負荷ハーフブリッジ測定回路

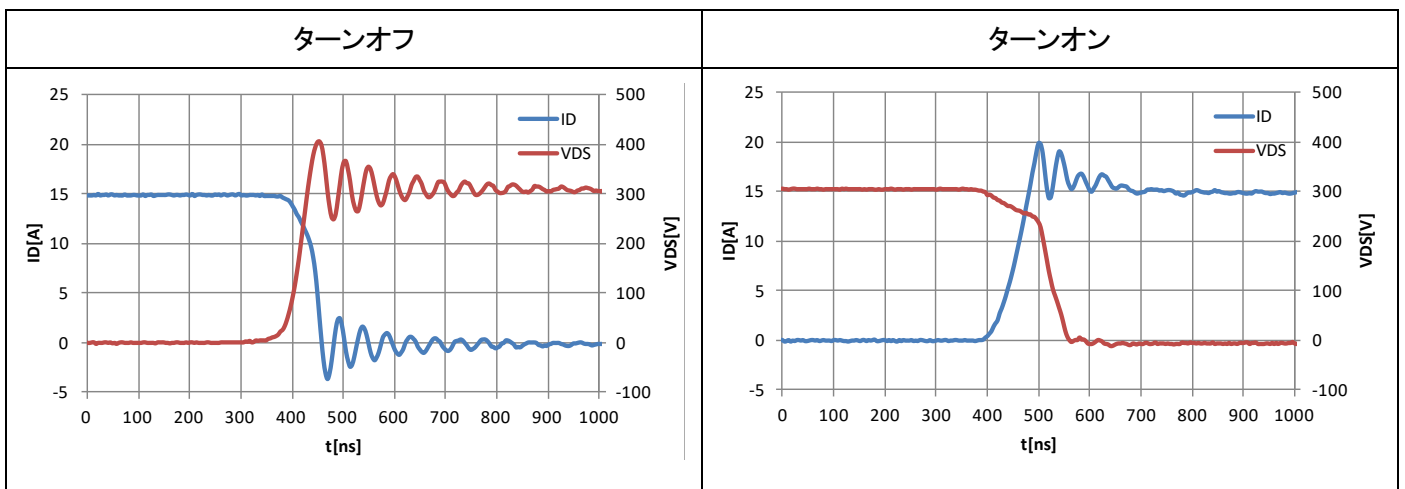


図 2-1-6 PSF15S92F6-A6/C6 (15A/600V)のインバータ部 スwitching波形(代表例)  
測定条件:  $V_{DD}=300V, V_D=V_{DB}=18V, I_D=15A, T_{ch}=25^\circ C, L$  負荷ハーフブリッジ

# フル SiC 超小型 DIPIPM アプリケーションノート

PSF15S92F6-A6/C6 (15A/600V)の制御(保護)部の規格を、表 2-1-4 に示します。

表 2-1-4 PSF15S92F6-A6/C6 (15A/600V)の制御(保護)部規格  
制御(保護)部

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
I <sub>D</sub>	回路電流	V <sub>P1</sub> -V <sub>NC</sub> , V <sub>N1</sub> -V <sub>NC</sub> の 総和	V <sub>D</sub> =18V, V <sub>IN</sub> =0V	-	-	3.50	mA
			V <sub>D</sub> =18V, V <sub>IN</sub> =5V	-	-	3.50	
I <sub>DB</sub>		V <sub>UFB</sub> -U, V <sub>VFB</sub> -V, V <sub>WFB</sub> -W	V <sub>D</sub> =V <sub>DB</sub> =18V, V <sub>IN</sub> =0V	-	-	0.38	
			V <sub>D</sub> =V <sub>DB</sub> =18V, V <sub>IN</sub> =5V	-	-	0.38	
V <sub>SC(ref)</sub>	短絡保護トリップレベル	T <sub>ch</sub> =25°C, V <sub>D</sub> =18V	(注 4)	0.455	0.480	0.505	V
UV <sub>DBt</sub>	P 側制御電源電圧低下保護	T <sub>ch</sub> ≤ 125°C	トリップレベル	10.0	-	12.0	V
UV <sub>DBr</sub>			リセットレベル	10.5	-	12.5	V
UV <sub>Dt</sub>	N 側制御電源電圧低下保護		トリップレベル	10.3	-	12.5	V
UV <sub>Dr</sub>			リセットレベル	10.8	-	13.0	V
V <sub>OT</sub>	アナログ温度出力 (注 5)	プルダウン抵抗 R=5.1kΩ	LVIC 温度=90°C	2.63	2.77	2.91	V
			LVIC 温度=25°C	0.88	1.13	1.39	V
V <sub>FOH</sub>	エラー出力電圧	V <sub>SC</sub> = 0V, F <sub>O</sub> = 10kΩ, 5V プルアップ		4.9	-	-	V
V <sub>FOL</sub>		V <sub>SC</sub> = 1V, I <sub>Fo</sub> = 1mA		-	-	0.95	V
t <sub>FO</sub>	エラー出力パルス幅	(注 6)		20	-	-	μs
I <sub>IN</sub>	入力電流	V <sub>IN</sub> = 5V		0.70	1.00	1.50	mA
V <sub>th(on)</sub>	入力オンしきい電圧	U <sub>P</sub> , V <sub>P</sub> , W <sub>P</sub> , U <sub>N</sub> , V <sub>N</sub> , W <sub>N</sub> -V <sub>NC</sub> 端子間		-	2.10	2.60	V
V <sub>th(off)</sub>	入力オフしきい電圧			0.80	1.50	-	V
V <sub>th(hys)</sub>	入力オフしきい値ヒステリシス電圧			0.35	0.65	-	V
V <sub>F</sub>	ブートストラップ Di 順電圧降下	I <sub>F</sub> =10mA, 制限抵抗の電圧降下含む		0.9	1.3	1.7	V
R	制限抵抗値	ブートストラップ Di に内蔵		48	60	72	Ω

注 4. 短絡保護は下アームのみ動作します。また、保護電流値は定格の 1.7 倍以下になるように外部抵抗を選定してください。

注 5. DIPIPM は自身で温度保護動作はいたしません。V<sub>OT</sub> 出力が、貴社設定の温度保護レベルに達した時は、システム側でスイッチング動作をただちに停止してください。

注 6. エラー出力は、短絡保護・N 側(V<sub>D</sub>)制御電源電圧低下保護時に出力します。F<sub>O</sub> 出力時間は、エラーモードにより異なります。SC 保護の場合、F<sub>O</sub> 出力時間は、min. 20μs となります。UV 保護時には、UV 状態が解消されるまで F<sub>O</sub> 出力し続けます。(最小出力時間は、20μs となります)

上記内容は電流定格によって規格など異なりますので詳細は各製品のデータシートを確認ください。

PSF15S92F6-A6/C6 (15A/600V)の推奨使用条件を、表2-1-5に示します。

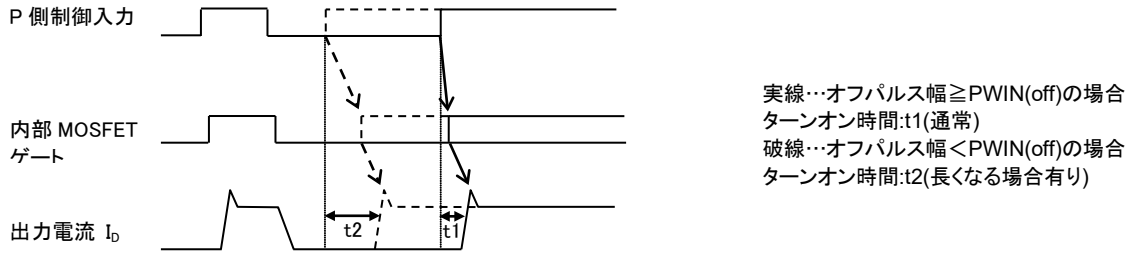
DIPIPMを安全に使用するためには、推奨使用条件範囲内で使用するようお願いします。

表 2-1-5 PSF15S92F6-A6/C6 (15A/600V)の推奨使用条件  
推奨使用条件

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
V <sub>DD</sub>	電源電圧	P-NU, NV, NW 端子間		0	300	400	V
V <sub>D</sub>	制御電源電圧	V <sub>P1</sub> -V <sub>NC</sub> , V <sub>N1</sub> -V <sub>NC</sub> 端子間		17.0	18.0	19.0	V
V <sub>DB</sub>	制御電源電圧	V <sub>UFB</sub> -U, V <sub>VFB</sub> -V, V <sub>WFB</sub> -W 端子間		15.0	18.0	22.0	V
ΔV <sub>D</sub> , ΔV <sub>DB</sub>	制御電源電圧変動率	-		-1	-	1	V/μs
t <sub>dead</sub>	上下アーム休止時間	各アーム段入力に対応		1.5	-	-	μs
f <sub>PWM</sub>	PWM 制御入力信号	T <sub>C</sub> ≤ 100°C, T <sub>ch</sub> ≤ 125°C		-	5	20	kHz
PWIN(on)		-		0.7	-	-	
PWIN(off)	許容最小入力 パルス幅	200 ≤ V <sub>DD</sub> ≤ 350V, 17.0 ≤ V <sub>D</sub> ≤ 19.0V 15.0 ≤ V <sub>DB</sub> ≤ 22.0V, -30°C ≤ T <sub>C</sub> ≤ 100°C N ライン配線インダクタンス ≤ 10nH (注 7)	定格電流 ~ 定格電流 1.7 倍	1.5	-	-	μs
V <sub>NC</sub>	V <sub>NC</sub> 端子変動	V <sub>NC</sub> -NU, NV, NW 端子間の電位差、サージ電圧含む		-5	-	5	V
T <sub>ch</sub>	チャネル温度	-		-30	-	125	°C

注 7. PWIN(off)以下のパルス幅の入力オフ信号には出力が応答しない、または P 側のみターンオン時間が大きくなる場合があります。ただしこの場合においても、入力オンの状態にて出力オフの状態を維持し続けることはありません。詳細は次ページのタイミング図を参照ください。

許容最小入力パルス幅 PWIN(off)以下の信号を印加した場合の出力動作(P 側のみ)



上記内容は電流定格によって規格など異なりますので詳細は各製品のデータシートを確認ください。

※制御電源電圧変動率について

制御 IC の電源ラインに高周波の急峻なノイズが重畳されると、IC の誤動作が起きて Fo を出力し、更には出力を停止 (ゲート遮断)することがあります。この誤動作を回避するために、ノイズの変動成分が $\pm 1V/\mu s$ より穏やかになるよう、また、そのリップル電圧も $2Vp-p$ より小さくなるように、電源回路を設計してください。(規定: $dV/dt \leq 1V/\mu s$ ,  $V_{ripple} \leq 2Vp-p$ )

2. 1. 4 機械的定格および特性

PSF15S92F6 (15A/600V)の機械的定格および特性規格を、表2-1-6に示します。

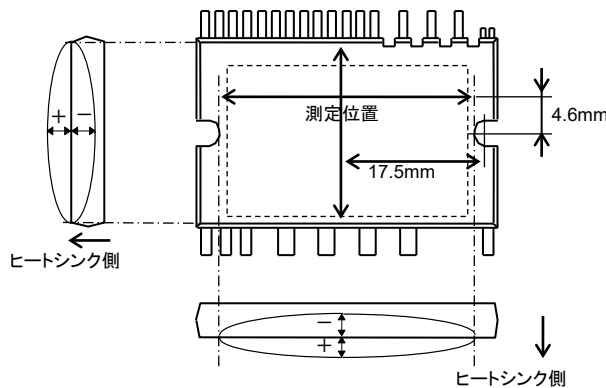
フルSiC超小型DIIPMの取り付け方法については、2.4項を参照ください。

表 2-1-6 PSF15S92F6 (15A/600V)の機械的定格および特性  
機械的定格及び特性

記号	項目	条件	参考規格	規格値			単位
				最小	標準	最大	
-	締付けトルク	取付けネジ(M3) (注1)	JEITA ED-4701 402 方法II	0.59	0.69	0.78	N·m
-	端子強度引張り	荷重 制御端子 : 5N パワー端子 : 10N	JEITA ED-4701 401 方法I	10	-	-	s
-	端子強度曲げ	荷重 制御端子 : 2.5N パワー端子 : 5N 上記荷重にて90度曲げ	JEITA ED-4701 401 方法III	2	-	-	回
-	質量	-	-	-	8.5	-	g
-	放熱面平面度	(注2)	-	-50	-	100	$\mu m$

注 1. 取り付けネジには平座金(推奨; JIS B1256)を使用してください。

注 2. 放熱面平面度測定位置



2. 2 保護機能とシーケンス

フルSiC超小型DIPIPMには、保護機能として短絡保護、制御電源電圧低下保護と、温度出力機能があります。各保護機能の動作シーケンスを示します。

2. 2. 1 短絡保護

1. 概要

DIPIPMは、内部に電流検出手段を内蔵していませんので、外部にシャント抵抗(電流検出用抵抗)を接続する必要があります。このシャント抵抗に電流が流れることによって発生する電圧を、DIPIPMのCIN端子にフィードバックさせることで、DIPIPMの短絡保護が可能になります。CIN端子はコンパレータに接続されています。しきい値 $V_{SC}=0.48V$ (typ)で保護動作します。保護動作に入ると、N側のMOSFET3相分のゲートを遮断し、Fo信号を出力します。スイッチング時のリカバリー電流や、ノイズによる短絡保護回路の誤動作を防ぐため、CIN端子入力にRCフィルタ(時定数 $1.5\sim 2\mu s$ 程度)を設置してください。また、シャント抵抗部の配線は可能な限り短くすることが必要です。

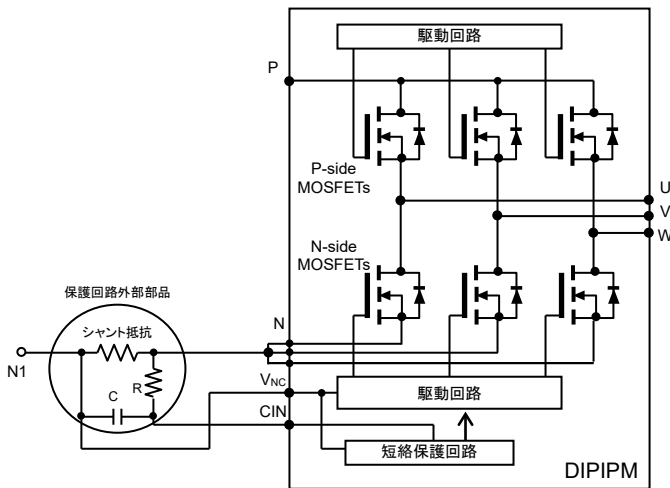


図 2-2-1 短絡保護回路(外部シャント周辺回路例)

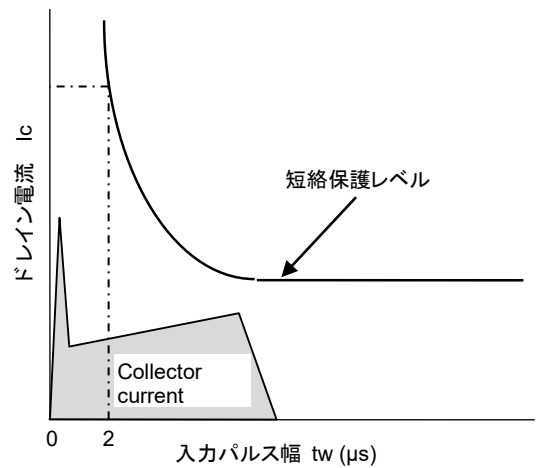


図 2-2-2 フィルタ設定

2. 短絡保護動作シーケンス

短絡保護動作シーケンス(N側のみ)・・・外付けシャント抵抗, RC 時定数回路による保護

- a1. 正常動作=MOSFET オン=出力電流有り
- a2. 過電流検出(SCトリガ)・・・RC 時定数は、 $2\mu s$  以内に遮断するように最適遮断時間を設定 ( $1.5\sim 2.0\mu s$  以下推奨)
- a3. N側全相の MOSFET ゲートをハード遮断
- a4. N側全相の MOSFET がオフ
- a5. Fo 出力・・・Fo 出力時間:min.  $20\mu s$
- a6. 入力 “L”=オフ
- a7. Fo 出力終了。入力 “H”途中でも次のオン信号(L→H)が入力されるまで、MOSFET はオフ状態。  
(各相への入力で相ごとに通常状態に復帰します)
- a8. 正常動作=MOSFET オン=出力電流有り

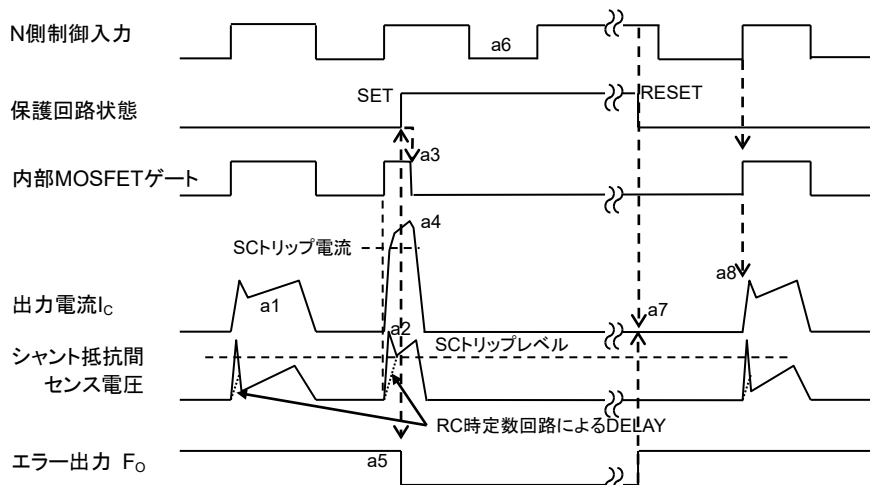


図 2-2-3 短絡保護動作シーケンス

3. シャント抵抗値の設定

(1) シャント抵抗値の設定

外部シャント抵抗値は、短絡保護トリップ電圧  $V_{SC(ref)}$  と遮断すべき電流設定値 SC から次式で設定します。

$$\text{外部シャント抵抗値: } R_{Shunt} = V_{SC(ref)} / SC$$

SC トリップレベルの最大値 SC(max) は、シャント抵抗のばらつき・変動や  $V_{sc(ref)}$  のばらつきを考慮して、DIIPM の飽和電流最小値以下となるように設定する必要があります。短絡保護推奨設定値は、定格電流の 1.7 倍ですので、それ以下になるように外部シャント抵抗値を設定してください。

例として、PSF15S92F6-A6/C6 で SC レベルを 25.5A(定格 15Ax1.7)とした場合の設定を下記に示します。フル SiC 超小型 DIIPM の短絡保護トリップ電圧のばらつきを表 2-2-1 に示します。

表 2-2-1  $V_{SC(ref)}$  の規格

項目	記号	条件	min.	typ.	max.	単位
短絡保護トリップレベル	$V_{SC(ref)}$	$T_{ch}=25^{\circ}C, V_D=18V$	0.455	0.480	0.505	V

シャント抵抗値  $R_{Shunt}$  及び  $V_{sc(ref)}$  と SC 保護レベルの関係は、ばらつきを考慮した場合、下記のようになります。

$$R_{Shunt \text{ min. 値}} = V_{SC(ref) \text{ max. 値}} / SC \text{ max. 値} (= \text{定格電流の } 2.7 \text{ 倍})$$

$$R_{Shunt \text{ typ. 値}} = R_{Shunt \text{ min. 値}} / 0.95^* \text{ よって } SC_{typ. 値} = V_{SC(ref) \text{ typ. 値}} / R_{Shunt \text{ typ. 値}}$$

$$R_{Shunt \text{ max. 値}} = R_{Shunt \text{ typ. 値}} \times 1.05^* \text{ よって } SC_{min. 値} = V_{SC(ref) \text{ min. 値}} / R_{Shunt \text{ max. 値}}$$

\* ) ここではシャント抵抗のばらつきを  $\pm 5\%$  とする。

以上より SC レベルの動作範囲は表 2-2-2 のようになります。

表 2-2-2 SC 動作範囲 ( $R_{Shunt(min)} = 19.8m\Omega, R_{Shunt(typ)} = 20.8m\Omega, R_{Shunt(max)} = 21.8m\Omega$ )

条件	min.	typ.	max.	単位
$T_{ch}=25^{\circ}C, V_D=18V$	20.9	23.1	25.5	A

ただし、外部配線の寄生インダクタンスや寄生容量に起因する共振波形により、設計値より低い電流で保護回路が動作することがあります。抵抗値は最終的には実機で評価・調整する必要があります。

(2) RC 時定数の設定

RC フィルタ回路は、シャント抵抗に発生するノイズによる SC 保護回路の誤動作防止と、過負荷時に十分な電流を流すことを目的としています。ノイズの印加時間と素子の耐量から RC 時定数を設定します。(推奨は 1.5~2.0 $\mu s$ )

外部シャント抵抗に SC レベルを超える電圧が発生した後、RC フィルタを介し CIN 端子に電圧が印加される時間  $t1$  は下記計算式により求められます。

$$V_{SC} = R_{shunt} \cdot I_D \cdot (1 - e^{-\frac{t1}{\tau}})$$

$$t1 = -\tau \cdot \ln(1 - \frac{V_{SC}}{R_{shunt} \cdot I_D})$$

ただし、 $V_{sc}$ : 短絡保護トリップ電圧  $V_{SC(ref)}$ 、 $R_{shunt}$ : シャント抵抗値、 $I_D$ : ピーク電流値、 $\tau$ : RC 時定数、 $t1$ : 遮断時間とする。

また、CIN 端子に保護レベルを超える電圧が印加されてから、実際に MOSFET のゲートが遮断されるまでには、下記表 2-2-3 に示すような IC 内部の遅れ時間  $t2$  が掛かります。

表 2-2-3 SC 回路遅れ時間

項目	min.	typ.	max.	単位
SC 回路遅れ時間	-	-	0.6	$\mu s$

従って、外部シャント抵抗に SC レベルを超える電圧が発生した後、MOSFET のゲートを遮断するまでの時間  $t_{TOTAL}$  は、下記となります。

$$t_{TOTAL} = t1 + t2$$

2. 2. 2 制御電源電圧低下保護(UV 保護)

制御電源電圧が低下すると、MOSFETのゲート電圧が下がることによる弊害が生じます。推奨電源電圧内でのご使用をお願いします。

制御電源電圧が低下すると、MOSFETを保護するため、制御電源電圧低下保護(UV)が動作します。インバータ部のP側、N側にUV回路はありますが、N側回路でUVが動作したときのみFo信号を出力します。Fo信号は、制御電源電圧が低下している期間出力します。P側はMOSFETのゲート遮断のみで、Fo信号は出力しません。

また、この保護回路には、ノイズ等による瞬間的な電圧低下での保護動作を除去するため、約10μs(標準値)のフィルタを内蔵しておりますので制御電源電圧がトリップ電圧(UV<sub>DBt</sub>、UV<sub>Dt</sub>)まで低下した場合でも、約10μs以内であれば保護は働きません。

表 2-2-4 各制御電源電圧範囲での DIPIPM の状態

制御電源電圧範囲(V <sub>D</sub> , V <sub>DB</sub> )	状態
0~4V(P側,N側)	制御 IC の正常動作電圧領域ではないため、電源電圧低下保護(UV)、Foなどの各種保護動作の正常動作は保証されません。MOSFET のしきい電圧以下であり、基本的にオンしませんが、外来ノイズ等により誤オンする可能性がありますので、制御電源より先に DC-LINK 電圧を立ち上げないでください。
4~UV <sub>Dt</sub> (N側) 4~UV <sub>DBt</sub> (P側)	<b>制御電源電圧低下保護(UV)動作範囲内</b> 制御入力信号を加えても、スイッチング動作を停止しています。電源電圧低下保護(UV)が動作し、Foを出力します。
UV <sub>Dt</sub> ~17.0V(N側) UV <sub>DBt</sub> ~15.0V(P側)	スイッチング動作します。ただし推奨範囲外ですので、DIPIPM の仕様書で規定している V <sub>DS(on)</sub> ・スイッチング時間共に規格値を外れて、損失が増加しチャネル温度が上昇する可能性があります。
17.0~19.0V(N側) 15.0~22.0V(P側)	<b>推奨電源電圧範囲内</b> 正常動作します。
19.0~24V(N側) 22.0~24V(P側)	スイッチング動作します。ただし推奨範囲外ですので、スイッチング時間が高速になりすぎて、短絡時にはチップの短絡耐量が不足し、破壊することがあります。
24V~	IPM の制御回路が破壊する可能性があります。

※リップルノイズの規定

制御 IC の電源ラインに高周波の急峻なノイズが重畳されると、IC の誤動作が起きて Fo を出力し、更には出力を停止(ゲート遮断)することがあります。この誤動作を回避するために、ノイズの変動成分が±1V/μs より穏やかになるよう、リップル電圧が 2V より小さくなるように、電源回路を設計してください。

規定 : dV/dt ≤ ±1V/μs, Vripple ≤ 2Vp-p

※より安定的な制御電源の採用について(推奨)

従来品のインバータ基板を流用して設計される場合、制御電源の推奨値が変更になっておりますのでご注意ください。また高周波化により制御電源電圧が変動しやすくなり、上記の影響が顕著となる恐れがあります。

フル SiC 超小型 DIPIPM の制御電源には、現行 DIPIPM と比べてより安定的な電源の採用を推奨いたします。推奨範囲内の電源電圧を安定的に供給できるよう、実システムで十分検証いただきますようお願いいたします。

制御電源電圧低下保護動作シーケンス(N側,  $UV_D$ )

- a1. 制御電源電圧立上り… $UV_{Dr}$ にて次のオン信号(L→H)入力より動作開始  
(各相への入力で相ごとに通常状態に復帰します)
- a2. 正常動作=MOSFET オン=出力電流あり
- a3. 制御電源電圧低下 ( $UV_{Dt}$ )
- a4. N側全相の MOSFET オフ…制御入力の状態に関わらずオフ
- a5.  $F_o$  出力( $C_{Fo}$ で設定された  $F_o$  パルス幅以上、制御電源電圧が復帰するまでの間  $F_o$  出力)
- a6. 制御電源電圧復帰 ( $UV_{Dr}$ )
- a7. 正常動作=MOSFET オン=出力電流あり

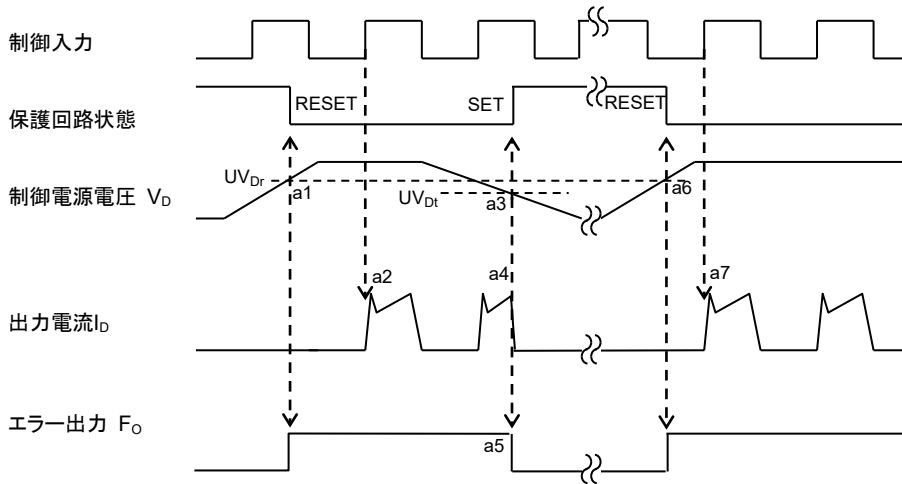


図 2-2-4 制御電源電圧低下保護(N側)動作シーケンス

制御電源電圧低下保護動作シーケンス(P側,  $UV_{DB}$ )

- a1. 制御電源電圧立上り… $UV_{DBr}$ にて次のオン信号(L→H)入力より動作開始
- a2. 正常動作=MOSFET オン=出力電流あり
- a3. 制御電源電圧低下 ( $UV_{DBt}$ )
- a4. 該当相の P側 MOSFET のみオフ…制御入力に関わらずオフ、 $F_o$  出力はなし
- a5. 制御電源電圧復帰 ( $UV_{DBr}$ )
- a6. 正常動作=MOSFET オン=出力電流あり

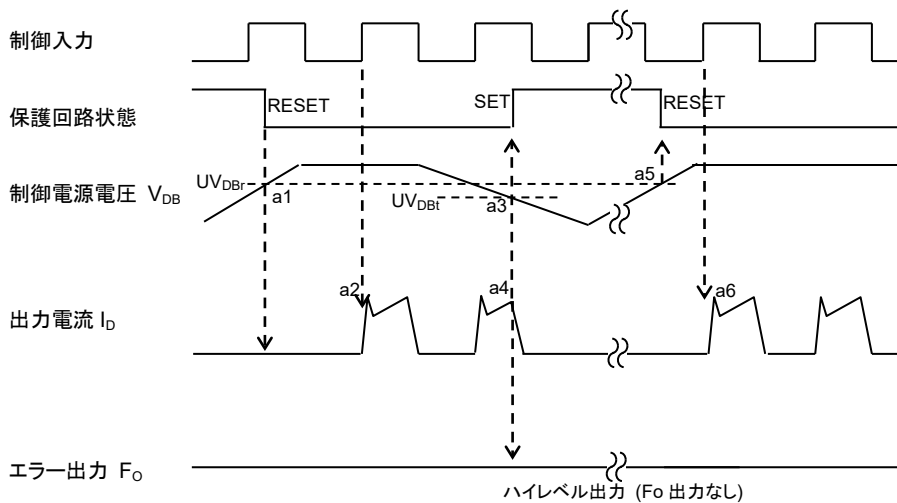


図 2-2-5 制御電源電圧低下保護(P側)動作シーケンス

2. 2. 3 温度出力機能 VOT

(1) 温度出力機能の使用方法

本温度出力機能は、制御 IC(LVIC)部に温度検出素子を配置し、LVIC 部の温度を検出し出力しています。パワーチップ(MOSFET)の発熱は、外部ヒートシンク、モールド樹脂を介して伝わりますので、モータロックや短絡などパワーチップの急激な温度上昇には、LVIC の温度上昇は追従できません。本機能は、放熱用のファンの停止など放熱系の故障などによる温度上昇や重負荷継続時の出力制限といった、従来の外付けヒートシンクなどに取り付けられていたサーミスタと同様な方法での使用を推奨いたします。

(DIPIPM 自身では、保護をいたしませんので温度出力をモニタし、保護が必要な場合は、外部コントローラにてシステムの停止等、保護動作の実施が必要です。)

(2) 温度出力端子(V<sub>OT</sub> 端子)仕様

V<sub>OT</sub>端子の出力能力を表 2-2-5 に示します。V<sub>OT</sub> 出力は、図 2-2-6 に示しますように温度検出素子の出力を OP アンプで増幅して、V<sub>OT</sub> 端子に出力する構成としています。その出力特性は、図 2-2-10 に示しますように、温度に対し線形変化いたします。本出力の使用上の注意点を以下に記します。

表 2-2-5: 出力電流定格(T<sub>c</sub>=90°C)

	min.
ソース電流能力	1.7mA
シンク電流能力	0.1mA

\*) ソース電流: VOT 端子から流し出す電流  
シンク電流: VOT 端子に引き込む電流

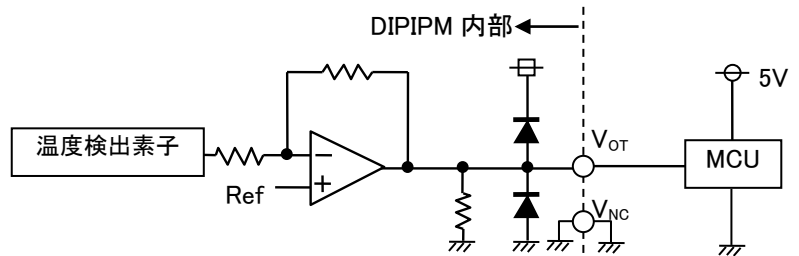


図 2-2-6 LVIC V<sub>OT</sub> 端子部回路図

● 室温以下時の V<sub>OT</sub> 出力について

室温より低い温度時において、出力の線形性が必要な場合、V<sub>OT</sub>-V<sub>NC</sub>(=コントローラ GND)間に 5.1kΩ のプルダウン抵抗の設置を推奨いたします。プルダウン抵抗を設置される場合は、VOT 出力電圧 ÷ 抵抗値程度の電流が、LVIC の消費電流として常時余分に流れることとなります。過熱保護のためだけに本出力を使用し、室温以下の出力が不要な場合、プルダウン抵抗は接続不要です。

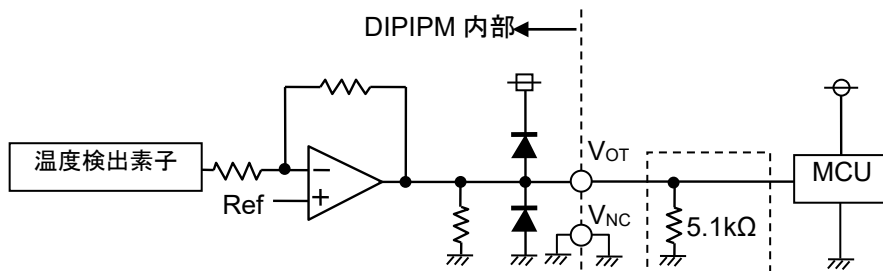


図 2-2-7 LVIC V<sub>OT</sub> 端子部回路図 (室温以下出力使用時)

● 低電圧マイコン使用時について

低電圧マイコンを使用の場合 V<sub>OT</sub> 出力は、温度が上昇した際にマイコンの電源電圧を超える可能性があります。3.3Vマイコンなどを使用される場合は、マイコンの保護のため、V<sub>OT</sub> 出力とマイコンの電源(3.3V)の間にクランプダイオードの設置を推奨いたします。

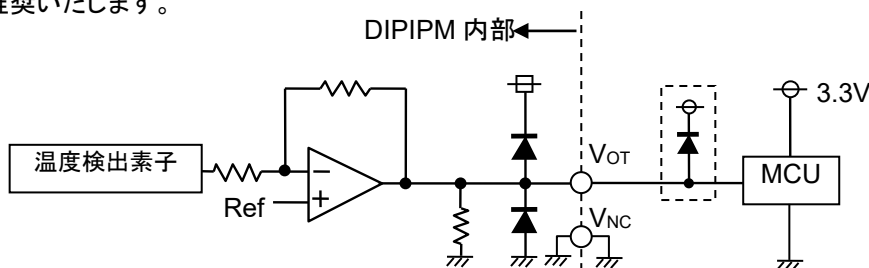


図 2-2-8 LVIC V<sub>OT</sub> 端子部回路図 (低電圧マイコン使用時)



• 保護設定電圧がマイコン電源電圧を超える場合について

低電圧(3.3V など)マイコン使用時、保護しきい値がマイコンの電源電圧以上(例:  $V_{OT}=3.3V$  以上)となるような設計が必要な場合、 $V_{OT}$  出力を抵抗分圧してマイコンの A/D コンバータに入力する方法があります。(図 2-2-9) その際、分圧抵抗値の合計が上述の  $5k\Omega$  程度となるように設定ください。

上述のクランプダイオードの設置は、 $V_{OT}$  出力は分圧されることから基本的にマイコンの電源電圧以上に上がらないと考えられるため不要と思われるかもしれませんが、設置の要否は設定した分圧比にて判断ください。

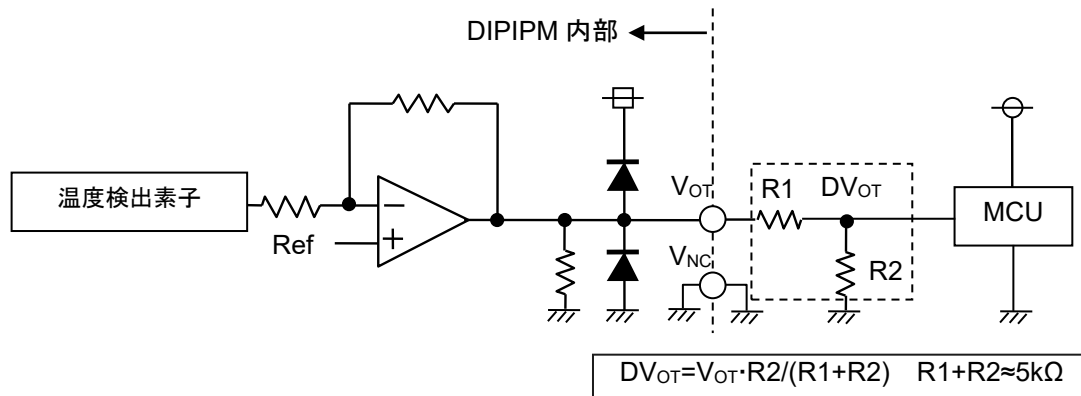


図 2-2-9  $V_{OT}$  端子部回路例 (保護しきい値が高い場合)

下図に示す VOT 出力特性はシステムにて過熱保護を設定する際の参考データとしてお取り扱いください。なおスペックにて規定する LVIC 温度以外の特性は設計値です。

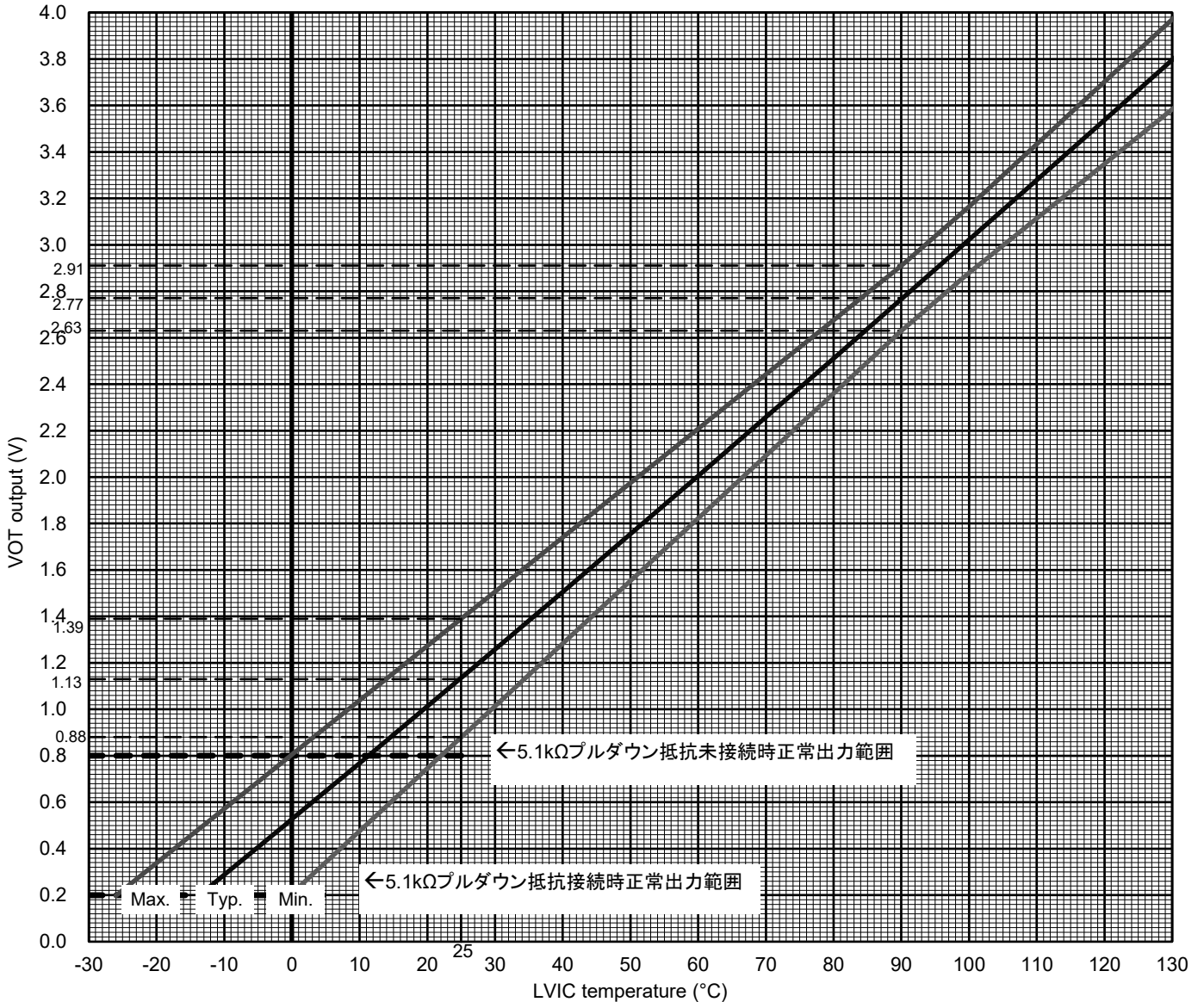


図 2-2-10 LVIC 温度-V<sub>OT</sub> 出力電圧関係

前述のとおり、パワーチップの発熱は、外部ヒートシンクなどを介して LVIC に伝わりますので、温度出力される LVIC 温度 (T<sub>ic</sub>) とチャネル温度 (T<sub>ch</sub>)、チップ直下のケース温度 (T<sub>c</sub>) の関係は、外部ヒートシンク、放熱条件、制御方法によって異なります。

この関係は放熱条件により変わりますので、本温度出力を使用した温度保護設計するためには、チャネル温度 (T<sub>ch</sub>)、LVIC 温度 (アナログ温度出力: T<sub>ic</sub>)、ケース温度 (T<sub>c</sub>) の関係を実システム (放熱系) で評価して求めたうえで、温度保護設定値 (T<sub>c</sub>=100°C 以下かつ T<sub>ch</sub>=150°C 以下となる範囲) を検討する必要があります。詳細は超小型 DIPIPM Ver.6 シリーズまたは Ver.7 シリーズ のアプリケーションノートをご参照ください。

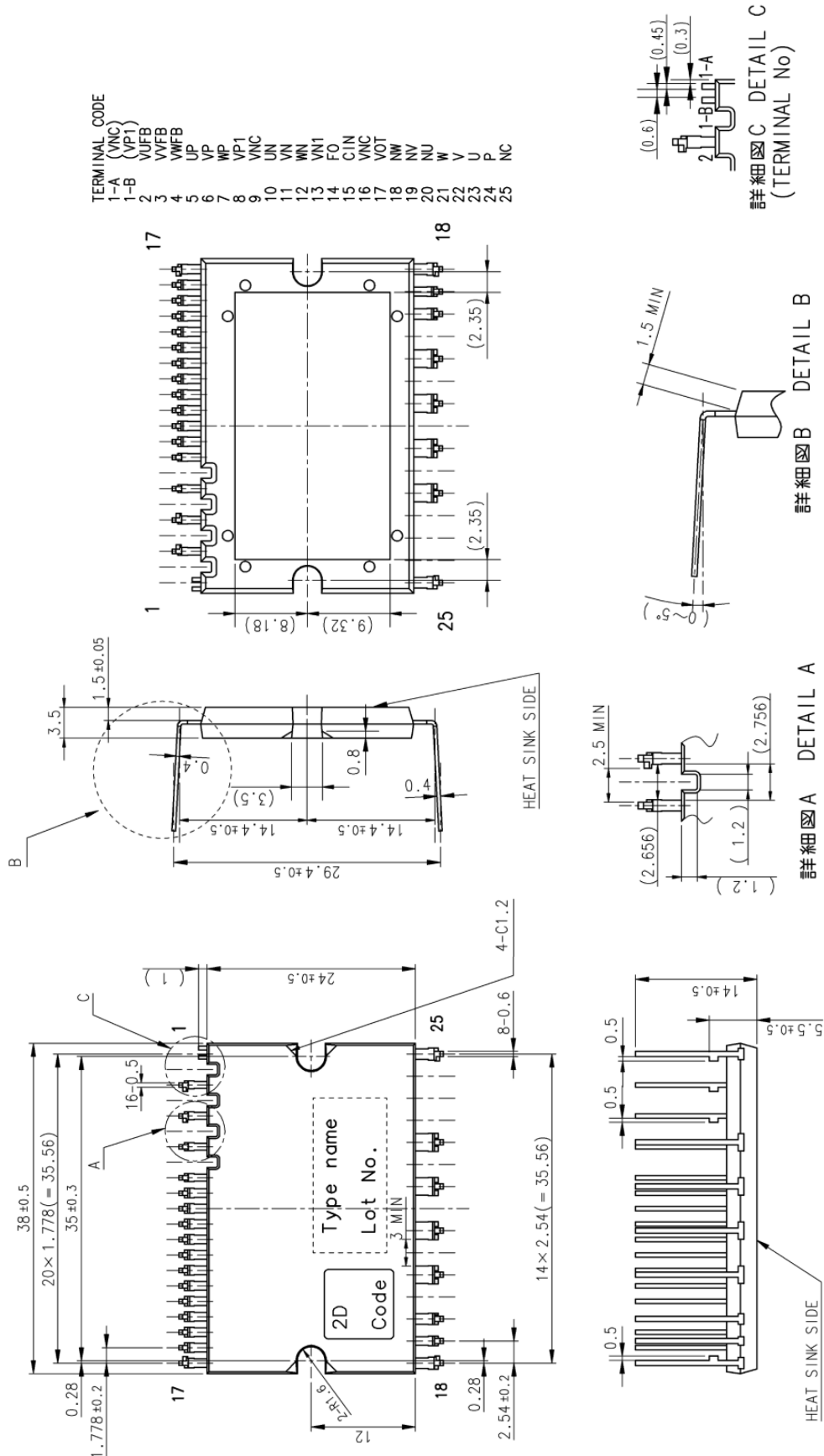
ご要求により、相関データ取得のための V<sub>OT</sub> 出力特性データ付サンプルをご提供可能ですので、実機動作時の接合温度、ケース温度、LVIC 温度 (アナログ温度出力) の関係をご評価のうえ、保護温度の設定をご検討ください。

# フル SiC 超小型 DIIPM アプリケーションノート

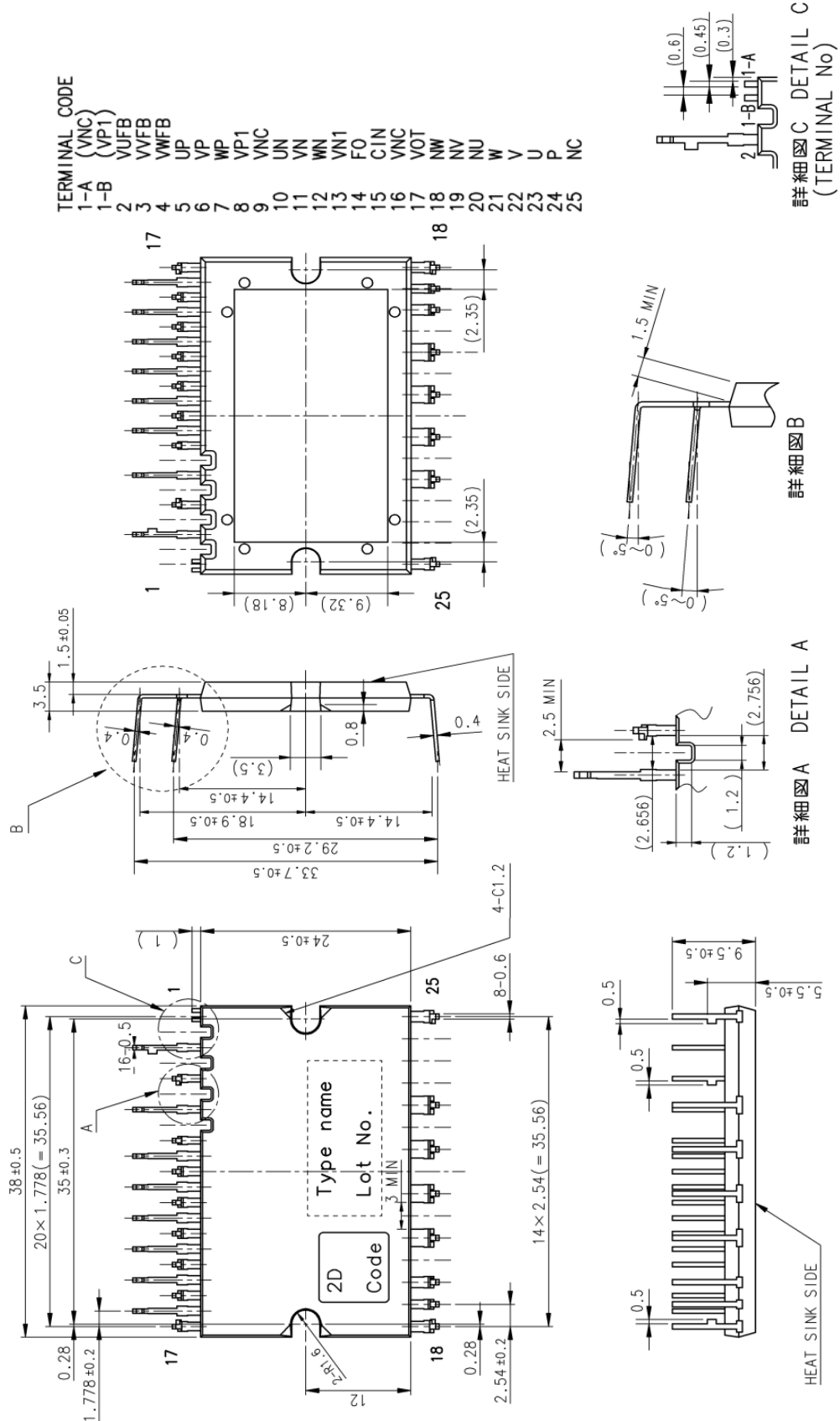
## 2. 3 フル SiC 超小型 DIIPM のパッケージ

フルSiC超小型DIIPM には、端子形状の異なるパッケージがラインナップされています。用途に応じてご確認ください。

### 2. 3. 1 外形図



\*) 9ピンと16ピンのVNC(制御電源 GND 端子)は内部で接続されていますので  
どちらか一方のみ使用して、他方はオープン状態でご使用ください。



\*) 9ピンと16ピンのVNC(制御電源 GND 端子)は内部で接続されていますので  
どちらから一方のみ使用して、他方はオープン状態でご使用ください。

2.3.2 マーキング

図2-3-3にフルSiC超小型DIIPMのレーザーマーキング範囲を示します。

社名、形名、生産国、ロット番号、2Dコードは、モジュール上部(放熱面の反対側)にマーキングされます。

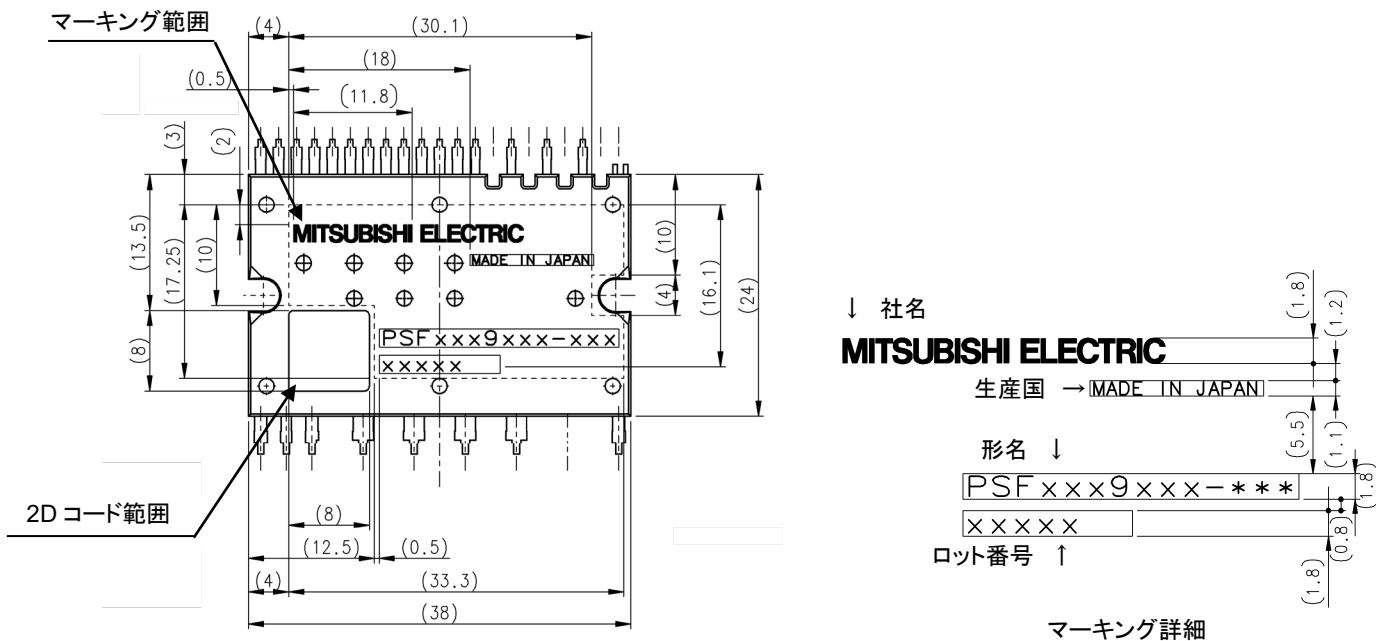
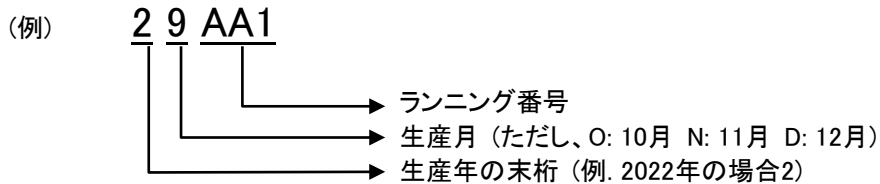


図 2-3-3 マーキング図 (単位:mm)

ロット番号は、製造年・月およびランニング番号を示します。詳細は以下のとおりです。



2. 3. 3 端子配列と名称

表 2-3-1 端子説明

端子No.	端子名	端子説明
1-A	(V <sub>NC</sub> ) <sup>*2</sup>	内部使用端子(制御 GND 電位のため接続不可)
1-B	(V <sub>P1</sub> ) <sup>*2</sup>	内部使用端子(制御電源電位のため接続不可)
2	V <sub>UFB</sub>	UP 相駆動電源端子
3	V <sub>VFB</sub>	VP 相駆動電源端子
4	V <sub>WFB</sub>	WP 相駆動電源端子
5	U <sub>P</sub>	UP 相制御入力信号端子
6	V <sub>P</sub>	VP 相制御入力信号端子
7	W <sub>P</sub>	WP 相制御入力信号端子
8	V <sub>P1</sub>	P 側制御電源端子(+)
9	V <sub>NC</sub> <sup>*1</sup>	P 側制御電源 GND 端子 (16pin と内部で接続)
10	U <sub>N</sub>	UN 相制御入力信号端子
11	V <sub>N</sub>	VN 相制御入力信号端子
12	W <sub>N</sub>	WN 相制御入力信号端子
13	V <sub>N1</sub>	N 側制御電源端子(+)
14	F <sub>o</sub>	エラー出力端子
15	C <sub>IN</sub>	短絡トリップ電圧検出端子
16	V <sub>NC</sub> <sup>*1</sup>	N 側制御電源 GND 端子(9ピンと内部で接続)
17	V <sub>OT</sub>	温度出力端子
18	NW	W 相出力 GND(ソース)端子
19	NV	V 相出力 GND(ソース)端子
20	NU	U相出力 GND(ソース)端子
21	W	W相出力端子 (WP相駆動電源GND端子)
22	V	V相出力端子 (VP相駆動電源GND端子)
23	U	U相出力端子 (UP相駆動電源GND端子)
24	P	インバータ電源(+ )端子
25	NC	No connection (内部未接続)

\*1) この2端子は、内部で接続されていますのでどちらか一方のみ使用して、他方はオープン状態でご使用ください。

\*2) No.1-A,1-B は内部使用のダミー端子ですが電位をもっているため、何も接続しないでください。

表 2-3-2 フル SiC 超小型 DIPIPM の入出力端子構造

項目	記号	内容
P 側駆動電源端子 P 側駆動電源 GND 端子	V <sub>UFB-U</sub> V <sub>VFB-V</sub> V <sub>WFB-W</sub>	<ul style="list-style-type: none"> <li>High-side MOSFET 駆動用電源端子です。</li> <li>ブートストラップコンデンサを外付けすることにより外部電源を代替できます。ブートストラップコンデンサは、出力端子が GND レベルになった際に V<sub>D</sub> によって充電されます。</li> <li>V<sub>DB</sub> が安定していないと誤動作の原因となります。ブートストラップコンデンサと並列に、周波数及び温度特性の良いパコン(～2μF 程度)を接続されることを推奨します。</li> <li>制御電源へのサージ電圧吸収用にツェナダイオード(ツェナ電圧 24V、電力損失 1W 程度)を端子近傍に接続することをお奨めします。</li> </ul>
P 側制御電源端子 N 側制御電源端子	V <sub>P1</sub> V <sub>N1</sub>	<ul style="list-style-type: none"> <li>内蔵 IC の制御側電源端子です。(LVIC と HVIC)。</li> <li>V<sub>P1</sub>, V<sub>N1</sub> は外部基板上で接続してください。</li> <li>ノイズと電源リップルによる誤動作を抑えるために周波数特性の良い平滑コンデンサを制御端子近傍に接続ください。また、周波数及び温度特性の良いパコン(～2μF 程度)を接続されることを推奨します。</li> <li>電圧リップルは規格内にはいるように設計ください。</li> <li>制御電源へのサージ電圧吸収用にツェナダイオード(ツェナ電圧 24V、電力損失 1W 程度)を端子近傍に接続することをお奨めします。</li> </ul>
制御電源 GND 端子	V <sub>NC</sub>	<ul style="list-style-type: none"> <li>内蔵 IC の制御側 GND 端子です。(LVIC と HVIC)</li> <li>入力、F<sub>O</sub> 出力など制御基準電位となるのでノイズの影響を避けるため、制御GND配線に母線電流が流れないようにしてください。(パワーGND と分けて配線する)</li> <li>V<sub>NC</sub> 端子は、9,16ピンの2ヶ所ありますが内部で接続されていますので、どちらか一方のみ使用し、他方はオープン状態で使用してください。</li> </ul>
制御入力端子	U <sub>P</sub> , V <sub>P</sub> , W <sub>P</sub> U <sub>N</sub> , V <sub>N</sub> , W <sub>N</sub>	<ul style="list-style-type: none"> <li>スイッチング制御する入力端子です。内部で min3.3kΩ でプルダウンされています。</li> <li>電圧駆動タイプです。内部は CMOS 構成のシュミットトリガ回路に接続されています。</li> <li>ノイズに敏感ですので、パターンは最短とし、かつ配線に注意してください。ノイズなどが重畳している場合は、RC フィルタを接続してください。RC フィルタを追加する場合、DIPIPM 内部のプルダウン抵抗との分圧になりますのでご注意ください。</li> </ul>
短絡トリップ 電圧検出端子	CIN	<ul style="list-style-type: none"> <li>短絡時に電流検出用シャント抵抗で発生した電位を RC フィルタを通して、この端子に入力し短絡保護を行います。</li> <li>RC フィルタ時定数は 2μs 以下を推奨します。</li> </ul>
エラー出力端子	F <sub>O</sub>	<ul style="list-style-type: none"> <li>DIPIPM の異常状態(N 側の SC,UV,OT 保護動作時)を示す出力です。</li> <li>オープンドレイン出力です。F<sub>O</sub> 出力時のシンク電流を 1mA 以下にする必要がありますので外部で 5V 系電源に 5kΩ 以上(推奨 10kΩ)の抵抗でプルアップしてください。</li> </ul>
温度出力端子	V <sub>OT</sub>	<ul style="list-style-type: none"> <li>LVIC 温度をアナログ信号で出力する端子です。内部はオペアンプの出力となっています。</li> <li>室温以下時の出力の線形性が必要な場合、5.1kΩ のプルダウン抵抗を設置ください。</li> </ul>
インバータ 電源端子	P	<ul style="list-style-type: none"> <li>インバータの電源端子です。P 側 MOSFET のドレインに接続されています。</li> <li>パターンのインダクタンス成分によるサージ電圧を抑制するため、平滑コンデンサを P,N 両端子の直近に配置してください。また、周波数特性に優れたフィルムコンデンサの追加も効果的です。</li> </ul>
インバータ GND 端子	NU,NV,NW	<ul style="list-style-type: none"> <li>インバータのグランドです。</li> <li>NU に U 相、NV に V 相、NW に W 相の N 側 MOSFET のソースが接続されています。</li> </ul>
インバータ出力端子	U,V,W	<ul style="list-style-type: none"> <li>インバータ出力用の端子です。</li> <li>モータなどの負荷を接続します。</li> <li>内部はハーフブリッジで構成された出力 MOSFET の中点に接続されています。</li> </ul>

※ スwitching動作時の DIPIPM 制御電源端子、P-N 間電圧のサージ電圧や、入力端子のノイズをオシロスコープなどで確認してください。その際、オシロスコープの時間軸は 1μs/div 以下での確認が必要です。  
 定格を超えるサージや入力しきい値を越えるようなノイズが重畳しているようであれば、対策(配線見直し、コンデンサの位置、容量の見直し、ツェナダイオードの搭載、フィルタの強化など)をご検討ください。

# フル SiC 超小型 DIIPM アプリケーションノート

## 2. 4 フル SiC 超小型 DIIPM の取り付け方法

フル SiC 超小型 DIIPM の絶縁距離および放熱ヒートシンクに取り付ける場合の注意点を示します。

### 2. 4. 1 絶縁距離

フル SiC 超小型 DIIPM の各空間、沿面距離を表 2-4-1 に示します。

表 2-4-1 フル SiC 超小型 DIIPM 絶縁距離(min 値)

	空間距離(mm)	沿面距離(mm)
充電部異電極端子間	2.50	3.00
外部端子-放熱ヒートシンク間	1.45	1.50

### 2. 4. 2 取り付け方法と注意点

モジュールをヒートシンクなどに取り付ける際、過剰なトルクでの締め付けや、片締めを行うと、パッケージに応力が加わりモジュール内パワー素子などのチップまたは、パッケージ破壊(絶縁劣化)を招くことになります。推奨する締め付け順序例を図 2-4-1 に示します。締め付け時にはトルクドライバーを使用し、所定のトルクで締め付けてください。また、DIIPM の放熱面とヒートシンク表面に、異物が混入しないようにしてください。正常な取り付け手順を設定した場合でも突発的な過度の締め付けや異物の混入などによるパッケージへのダメージ印加の可能性もあり得ますので、安全性の確保の観点から DIIPM 取り付け後の製品でも絶縁検査等の確認作業の実施を推奨いたします。

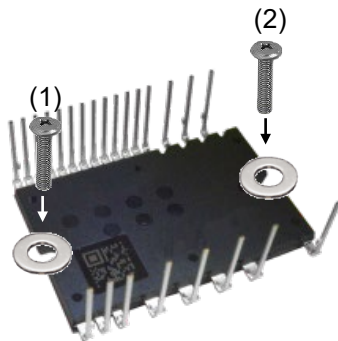


図2-4-1 推奨締め付け手順

仮締め  
(1)→(2)  
本締め  
(1)→(2)

Note: 仮締めの締め付けトルクは、推奨トルクの最大値の 20~30%を目安に設定してください。また、交互に締め付けるのであれば順序はどちらが先でも問題ありません。(2)→(1)の順序でも可です

表 2-4-2 締付トルク強度とヒートシンク平面度の規格

項目	条件	最小値	標準値	最大値	単位
締付トルク強度	取付けネジ:M3*	0.59	0.69	0.78	N・m
放熱面平面度	図 2-4-2 を参照	-50	-	+100	Mm

\*)取り付けねじには平座金(推奨:JIS B1256)を使用してください。

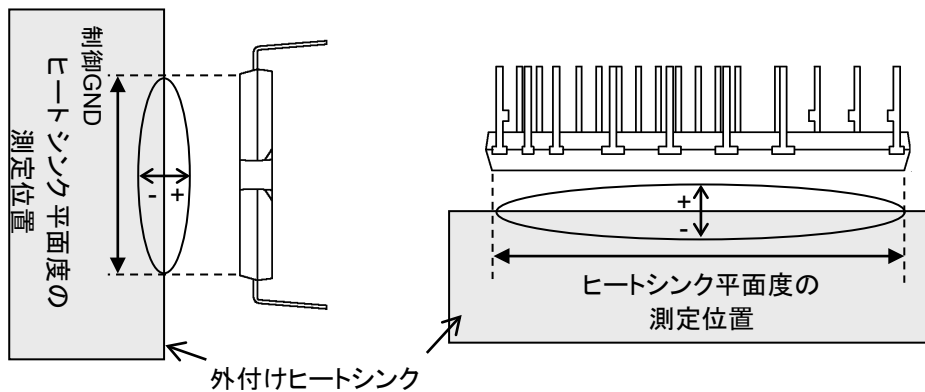


図 2-4-2 外付けヒートシンクの平面度測定位置

放熱効果を最大限に得るためには、その接触面積をできるだけ大きくし接触熱抵抗を最小にする必要があります。ヒートシンクの平面度(反り/凹凸)は、DIIPM 取り付け面において、図 2-4-2 のとおりとし、表面仕上げ Rz12 以内を推奨します。また、DIIPM の放熱面とヒートシンクとの接触面には熱伝導性の良いグリースを 100μm~200μm 程度、均一になるように塗布してください。ヒートシンクとの接触面にグリースを塗布すると接触部の腐食防止にも役立ちます。ただし、塗布するグリースは、使用動作温度範囲内で変質せず、経年変化のないものをご使用ください。製品放熱面-ヒートシンク間の熱抵抗は、締め付けた状態におけるグリースの厚さ、グリースの熱伝導率等により異なります。目安として、グリース厚 20μm、グリースの熱伝導率 1.0W/m・K 時の製品放熱面-フィン間熱抵抗値(1/6 モジュール)は、0.3°C/W となります。グリース塗布、ヒートシンク取り付け時には、空気を巻き込まないように十分にじませてください。(接触熱抵抗の増加、締め付けの緩みにつながる可能性があります)



# フル SiC 超小型 DIIPM アプリケーションノート

放熱グリース内フィラー径、粘度あるいは塗布量によって締め付け後に放熱グリースが厚くなり、接触熱抵抗の悪化やパッケージ割れの恐れがあります。放熱グリースの選定や塗布方法に十分ご注意ください。なお、放熱グリースの詳細な特徴や特性につきましては、メーカーに直接お問い合わせください。

## 2. 4. 3 はんだ付け条件

DIIPM 基板実装時のはんだ付け条件を下記します。(リフローはんだ付けはできません。)

### (1) フローはんだ条件

フローはんだの条件につきましては、はんだ槽温度  $260^{\circ}\text{C}\pm 5^{\circ}\text{C}$  以下、浸漬時間  $10\pm 1$  秒以内であれば、当社信頼性試験条件(表 2-4-3) 以下であり問題ないものと考えます。また、予備加熱につきましては、DIIPM の保存温度定格の  $125^{\circ}\text{C}$  以下での実施を推奨します。

フローはんだ付けでは、はんだ噴流の状態、コンベア速度、基板のランド、スルーホール形状などによって条件が変化いたします。最終的には実際の基板を使用し、現品で問題ないことをご確認願います。

表 2-4-3 信頼性試験条件

信頼性項目	試験条件
はんだ耐熱性	はんだ温度 $260^{\circ}\text{C}\pm 5^{\circ}\text{C}$ 、 $10\pm 1$ 秒

### (2) 手はんだ条件

はんだごてなどによる手はんだ付け条件につきましては、はんだごての種類(ワット数含む)や基板上の配線パターンにより変わりますので、一般的な推奨条件は提示していません。

はんだごてによるはんだ付け時の温度は、DIIPM のトランスファーモールド樹脂の  $T_g$ (ガラス転位温度)やチップ耐熱温度を考慮して、リード端子根元部で  $150^{\circ}\text{C}$  以下にすることを推奨しています。はんだ付け条件を設定する場合には、ご使用のはんだごて、基板にて DIIPM の端子根元温度、はんだぬれ性などを十分ご確認のうえ、設定願います。(はんだ付け時間は極力短時間としてください)

また、はんだごて使用時の一般的な注意点として、半導体用のはんだごて(12~24Vの低電圧仕様)を用いて、こて先はアースして使用願います。温度管理のために、温度調整機能付きのはんだごてが有効です。

以下に端子根元の温度上昇のご参考データとして、50W はんだごてにより模擬評価した結果を図 2-4-4 に示します。

#### [評価方法]

(1) 評価サンプル: 超小型 DIIPM 標準品

(2) 評価手順

- ・熱容量的に小さい制御側外部リード端子先端(先端から 1mm)の箇所にはんだごて(50W)をあて、リード端子根元の温度上昇を測定する。(図 2-4-3)
- ・温度測定は、リード端子根元に熱電対(C・C 線)を取り付けて測定。
- ・はんだごての温度設定は、 $350^{\circ}\text{C}$  及び  $400^{\circ}\text{C}$  にて実施。

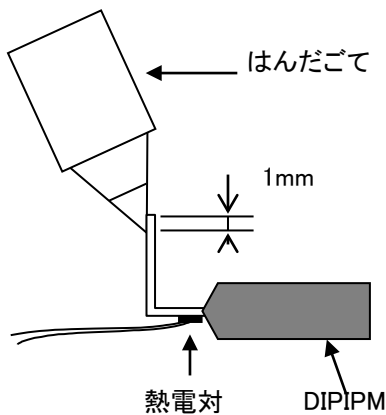


図 2-4-3 評価状態

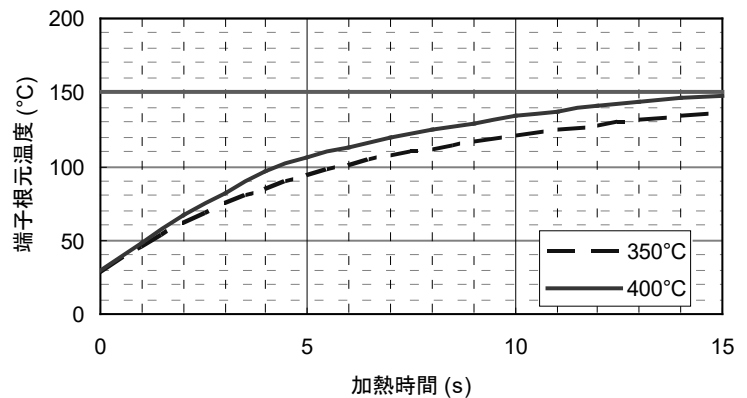


図 2-4-4 端子にはんだごてをあてたときの端子根元温度推移(代表例)

第3章 フル SiC 超小型 DIIPM の使用方法

3.1 使用方法と応用

この章では、フル SiC 超小型 DIIPM の使用方法、周辺回路例について説明します。

3.1.1 システム接続例

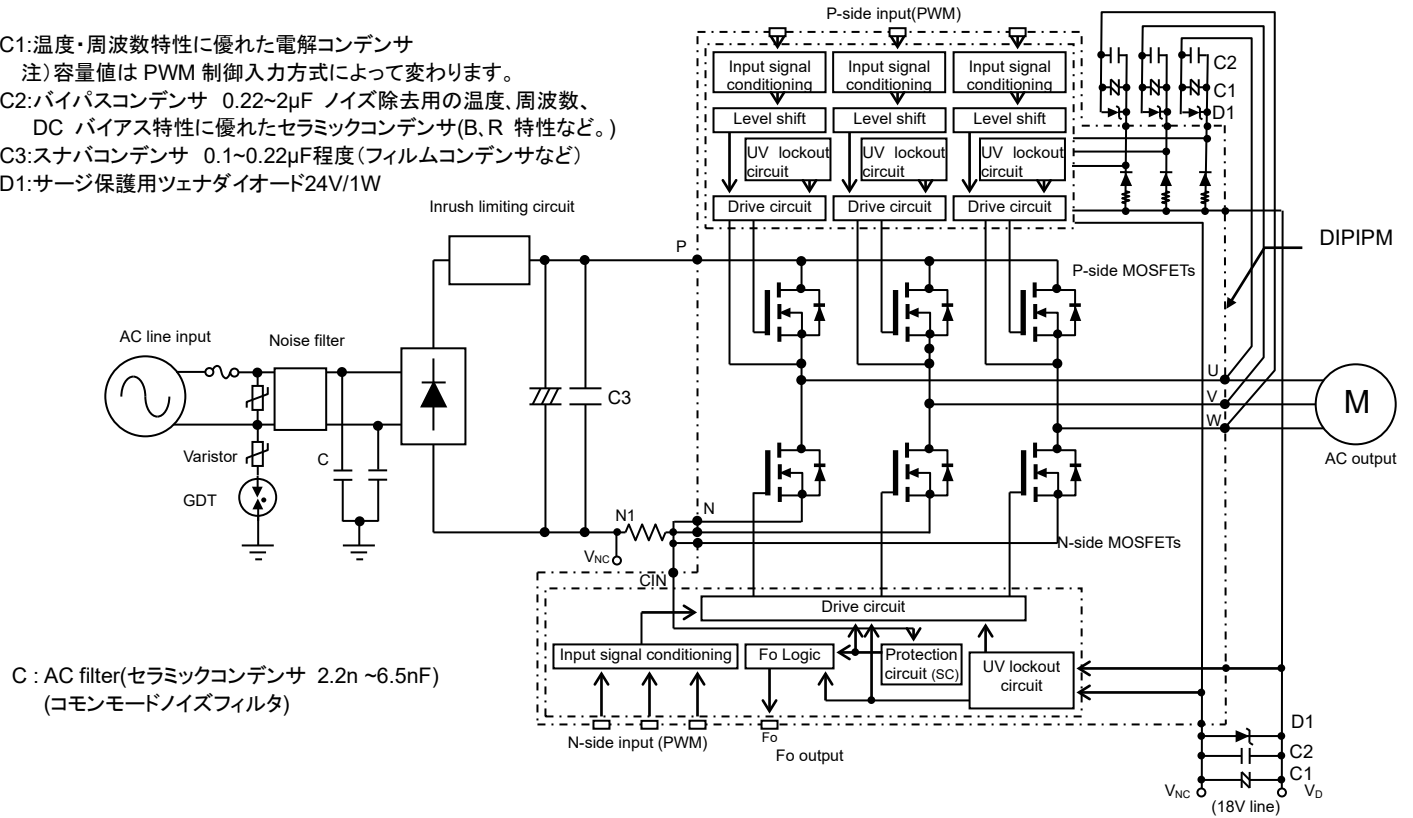
C1:温度・周波数特性に優れた電解コンデンサ

注)容量値は PWM 制御入力方式によって変わります。

C2:バイパスコンデンサ 0.22~2μF ノイズ除去用の温度、周波数、DC バイアス特性に優れたセラミックコンデンサ(B, R 特性など。)

C3:スナバコンデンサ 0.1~0.22μF程度(フィルムコンデンサなど)

D1:サージ保護用ツェナダイオード24V/1W



C : AC filter(セラミックコンデンサ 2.2n ~6.5nF)  
(コモンモードノイズフィルタ)

図 3-1-1 システム接続例

# フル SiC 超小型 DIPIPM アプリケーションノート

## 3. 1. 2 インターフェイス回路例 (直接入力時、1 シャント抵抗時)

マイコン(MCU)や DSP などと、DIPIPM を直接接続する場合のインターフェイス回路例を示します。

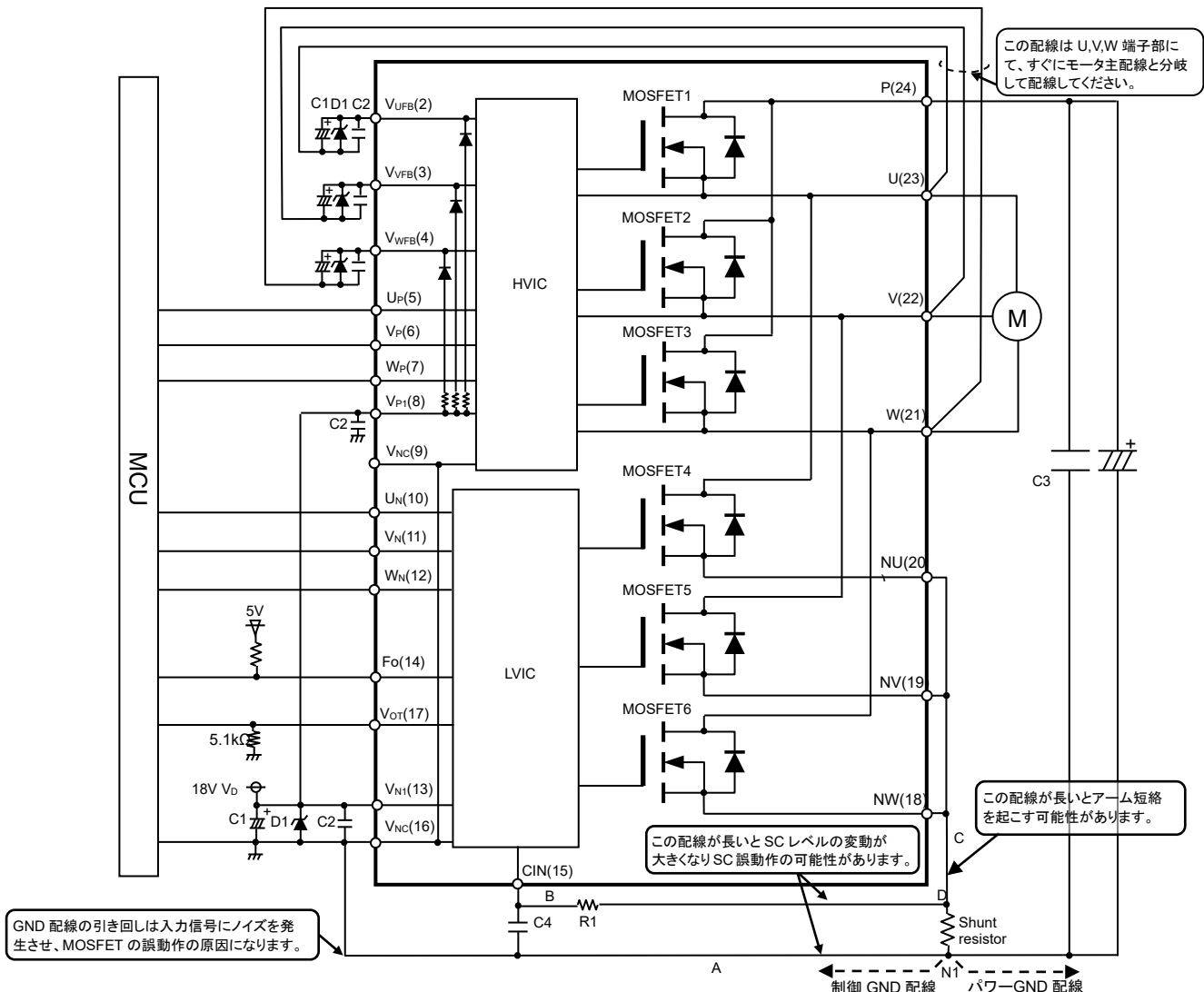


図 3-1-2 インターフェイス回路例 (直接接続)

- (1) 制御側電源GNDとパワー側GNDの配線を共通のベタ配線で配線すると大電流が流れるパワーGNDの変動の影響を受け誤動作の可能性がありますので、制御側電源GNDとパワー側GNDの配線は分けて配線し、N1点(シャント抵抗の端子部)にて一点接続としてください。
- (2) 制御電源端子部へ印加されたサージ電圧の吸収用にツェナダイオードD1(ツェナ電圧24V、許容損失1W程度)を制御電源端子近傍への接続を推奨します。
- (3) サージ電圧による過電圧破壊を防止するために、平滑コンデンサとP、N1端子間の配線はできるだけ短くしてください。またP-N1端子間に0.1 $\mu$ -0.22 $\mu$ F程度のスナバコンデンサC3を挿入してください。
- (4) 短絡(SC)保護機能の誤動作防止用RCフィルタのR1、C4には温度補償用などバラツキの小さいものを推奨します。(CIN端子近傍への設置を推奨) また、その時定数は、短絡時に2 $\mu$ s以下で遮断できるように設定(1.5~2 $\mu$ s推奨)してください。遮断時間は、配線パターンによって変わりますので実システムにて十分評価してください。
- (5) A、B、Cの配線はMOSFETの動作に大きな影響をあたえるため、配線はできるだけ短く配線してください。
- (6) 短絡保護の誤動作防止のため、CIN端子への配線はシャント抵抗端子部直近のD点で分岐し、できるだけ短くしてください。また、NU、NV、NW端子相互の接続は端子近傍で実施してください。
- (7) 各コンデンサはDIPIPMの端子近傍に設置してください。C1は、温度特性、周波数特性が優れた電解コンデンサ、C2は0.22 $\mu$ -2 $\mu$ Fでノイズ除去用の温度、周波数、DCバイアス特性に優れたセラミックコンデンサ(B、R特性などを推奨。)を推奨します。
- (8) 入力信号はハイアクティブです。IC内部で3.3k $\Omega$ (min)の抵抗でプルダウンしています。誤動作防止のため、入力信号配線はできるだけ短く配線してください。誤動作防止のためRCフィルタを挿入する場合は、入力のしきい値電圧を満足するように設定してください。専用HVICを採用しているため、MCUに直接接続することができます。(電氣的絶縁にはなりません)
- (9) Fo端子はオーブンドレインです。I<sub>fo</sub>=1mA以下となるような抵抗値で制御電源(5V、18V)にプルアップしてご使用ください。(I<sub>fo</sub>=プルアップ電源電圧/プルアップ抵抗値で概算できます。5Vにプルアップする場合、5.1k $\Omega$ 以上、10k $\Omega$ を推奨します)
- (10) HVICを採用しているため、絶縁素子は不要であり、MCUに直接接続することができます。(電氣的絶縁にはなりません)
- (11) V<sub>NC</sub>端子は、9ピン、16ピンの2ヶ所有りますが、内部で接続されていますので、外部では、どちらか一方のみ接続し他方はオープン状態で使用してください。
- (12) 制御ICの電源ラインに高周波の急峻なノイズが重畳されると、ICの誤動作が起きてFoを出力し、停止することがあります。制御電源ラインのノイズは、dV/dt $\leq$ 1V/ $\mu$ s、V<sub>ripple</sub> $\leq$ 2V<sub>p-p</sub>となるように電源回路を設計してください。

3. 1. 3 インターフェイス回路例 (フォトカプラ駆動)  
 フォトカプラを使用した場合の応用回路例を示します。

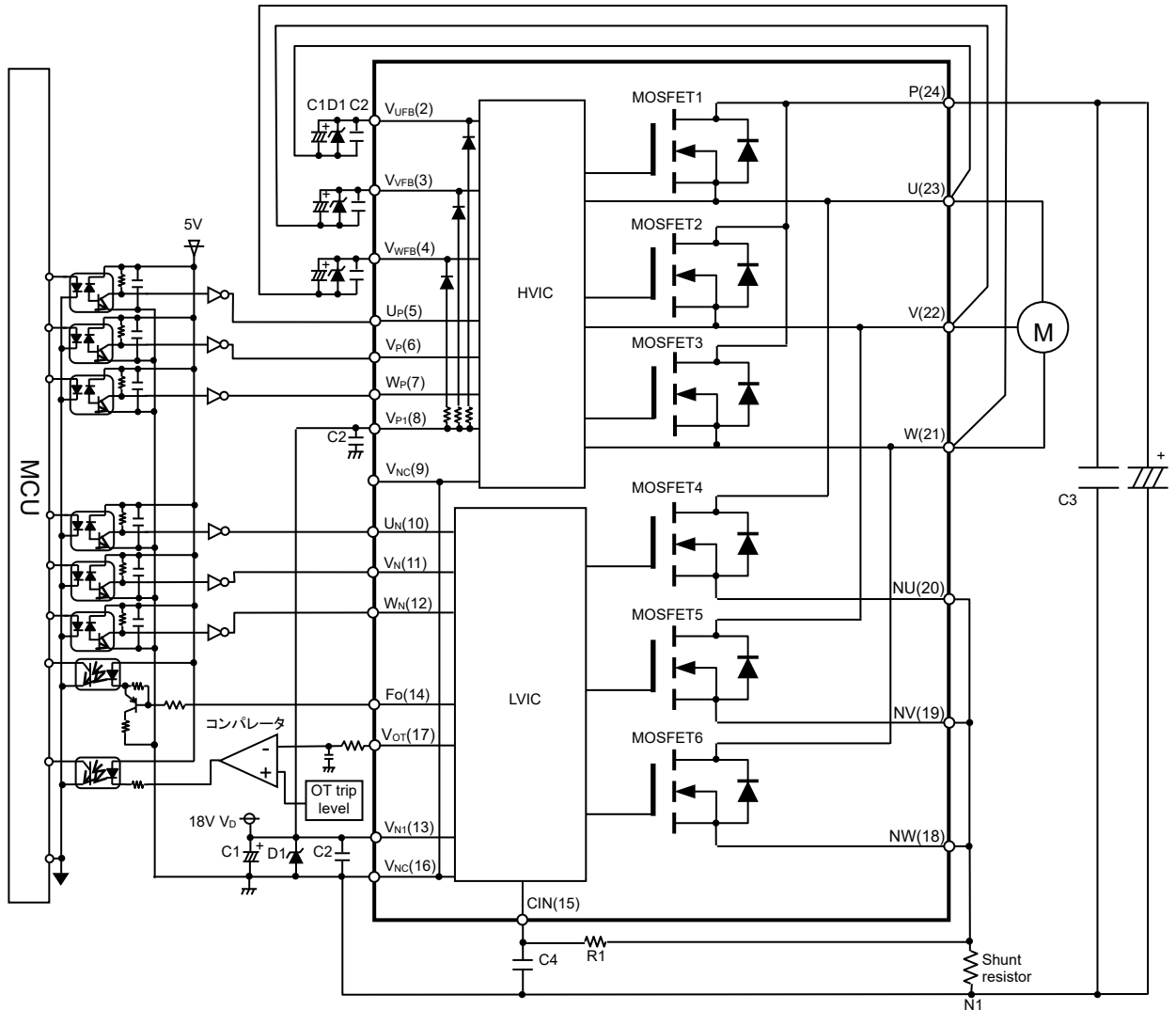


図 3-1-3 インターフェイス回路例 (フォトカプラ駆動)

注:

- (1) 高速フォトカプラ (高 CMR) の使用を推奨します。
- (2) Fo シンク電流  $I_{FO}$  の最大定格は 1mA となります。
- (3)  $V_{OT}$  出力部のコンパレータ回路について、コンパレータ出力のチャタリングを防止するためヒステリシス付き入力回路を推奨します。

3. 1. 4 N側ソース分割仕様(3 シャント)動作時の外部 SC 保護回路例

N側ソース分割仕様(3 シャント)で使用の場合は、そのまま3相のシャント抵抗の電圧をCIN端子に入力できませんので図3-1-4のような外部回路が必要となります。

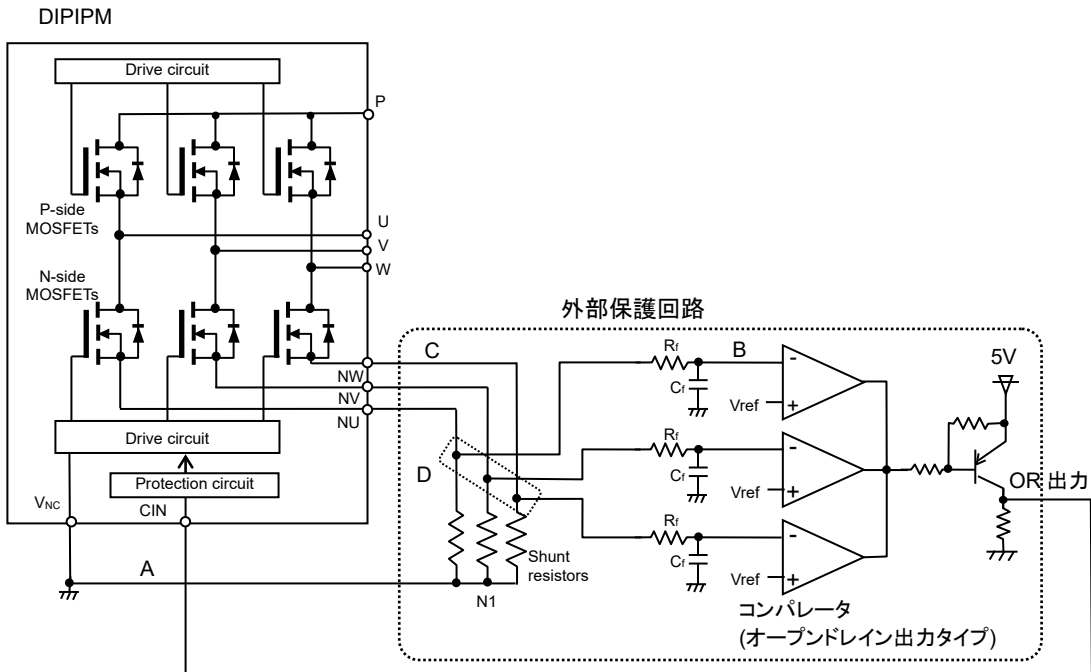


図 3-1-4 外部保護回路例

注:

- (1) 短絡保護の誤動作防止用RCフィルタ( $R_t C_t$ )の時定数は、短絡時に $2\mu s$ 以下で遮断できるように設定してください。(1.5~ $2\mu s$ 推奨) 遮断時間は、配線パターン、コンパレータの反応速度などにも依存します。
- (2) しきい値電圧 $V_{ref}$ は、DIPIPMの短絡トリップ電圧 $V_{sc(ref)}$ の規格値と同じにすることを推奨します。(typ.0.48V)
- (3) シャント抵抗値は、短絡保護トリップ電流値が規定の値以下となるように設定してください。
- (4) 誤動作防止のため、A、B、Cの配線は、可能な限り短くしてください。
- (5) コンパレータへの入力の配線は、シャント抵抗の端子部直近(D点)で分岐してください。
- (6) OR 出力のHighレベル(保護時出力)は、CIN端子の短絡トリップ電圧の最大値である0.505V以上となるように設定してください。
- (7) コンパレータ、 $V_{ref}$ 及び $C_t$ のGNDは、大電流が流れノイズなパワーGND配線にはつながらず、制御GND配線に接続してください。

3. 1. 5 信号入力端子と Fo 端子

- (1) 制御入力端子構造と接続例について  
フルSiC超小型DIPIPMの入力端子はハイアクティブ動作です。ハイアクティブ動作にすることで立上げ、立下げシーケンスに関して、フェイルセーフとなります。  
プルダウン抵抗(3.3k $\Omega$ min.)を内蔵しており、外付けのプルダウン抵抗は不要となります。  
図3-1-5に入力部ブロック図、表3-1-1に入力しきい値電圧規格を示します。

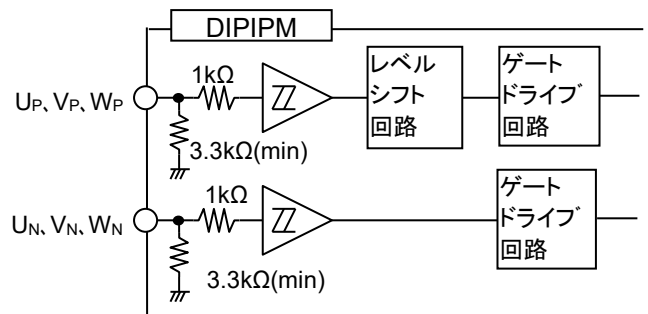
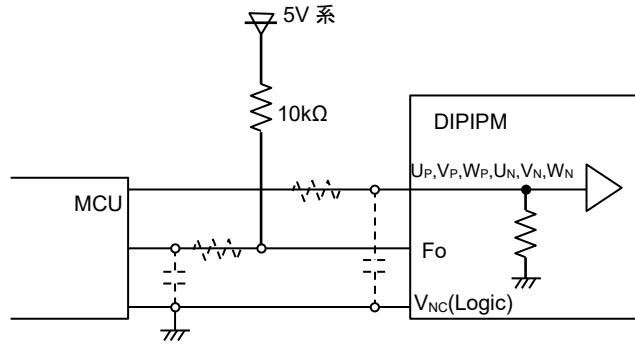


図 3-1-5 入力部ブロック図

表 3-1-1 入力しきい値の規格( $V_D=18V, T_{ch}=25^\circ C$ )

項目	記号	条件	最小値	標準値	最大値	単位
1. 入力オンしきい値電圧	$V_{th(on)}$	$U_P, V_P, W_P - V_{NC}$	-	2.10	2.60	V
2. 入力オフしきい値電圧	$V_{th(off)}$	$U_N, V_N, W_N - V_{NC}$ 端子間	0.80	1.50	-	
3. 入力しきい値ヒステリシス電圧	$V_{th(hys)}$		0.35	0.65	-	

DIPIPMには、許容最小入力パルス幅の規定があります。規定以下のパルス幅の入力信号には反応しない可能性があります。詳細は、各製品のデータシートを参照ください。(電流定格によりパルス幅規定は異なります)



注) 入力の RC カップリングは、応用システムに使われる PWM 制御入力方式、  
 入力配線パターンにより変わります。  
 DIPIPM 入力信号部は IC 内部で 3.3kΩ(min)の抵抗プルダウンを行って  
 います。入力信号ラインに抵抗を挿入される場合は、DIPIPM の入力しきい値を  
 満足する設定としてください。

図 3-1-6 入力端子接続例

(2) Fo 端子部内部回路構成

Fo 端子はオープンドレインです。外部 I/F 系の電源(5V 系電源など)へプルアップしてください。(図 3-1-6)  
 図 3-1-7 に Fo 端子の V-I 特性(代表例)を示します。Fo 信号のシンク電流の最大定格は 1mA です。

表 3-1-2 Fo 信号電氣的特性

項目	記号	条件	最小値	標準値	最大値	単位
エラー出力電圧	$V_{FOH}$	$V_{SC}=0V, I_{FO}=10k\Omega$ 5V プルアップ	4.9	-	-	V
	$V_{FOL}$	$V_{SC}=1V, I_{FO}=1mA$	-	-	0.95	V

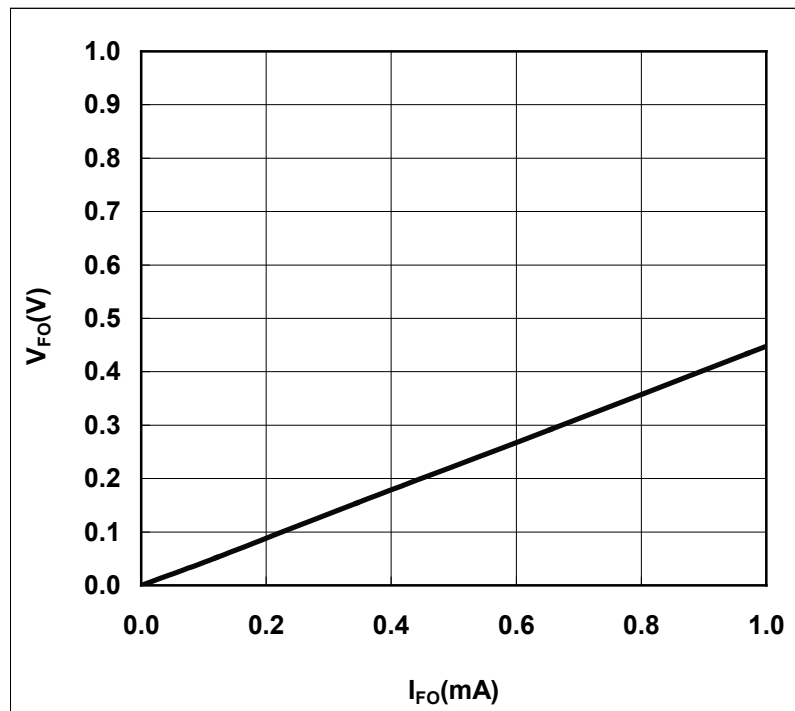


図 3-1-7 Fo 端子の V-I 特性 ( $V_D=18V, T_{ch}=25^\circ C$ , 代表例)

3. 1. 6 スナバコンデンサの接続

サージ電圧による耐電圧破壊を防止するために、平滑コンデンサと DIPIPM の P 端子及び N1 点 (シャント抵抗端子) 間の配線はできるだけ短くしてください。また、0.1~0.22 $\mu$ F/630V 程度の C スナバを DIPIPM の直近に挿入してください。

図 3-1-8 のように、スナバコンデンサの挿入位置として①と②が考えられます。サージ電圧を最大限に除去するためにはスナバコンデンサを②の位置に設置する必要がありますが、シャント抵抗にはスナバコンデンサを通して充放電電流 (配線インダクタンスとスナバコンデンサの共振電流) が流れます。配線インダクタンスが大きい場合、この充放電電流で短絡保護回路が動作する場合がありますので注意が必要です。

シャント抵抗の外 (①の位置) にスナバコンデンサを設置する場合は、サージ電圧を最大限に除去するために A の配線を短くし、③のように設置することをご検討ください。

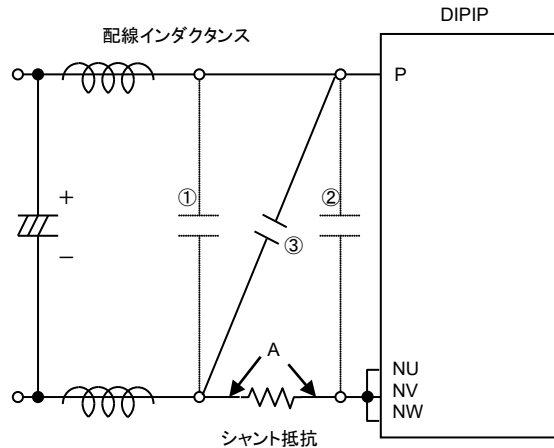


図 3-1-8 スナバ接続回路

3. 1. 7 外部シャント抵抗周辺回路の接続

DIPIPM の短絡保護機能を利用するためには、DIPIPM の外部に電流検出用のシャント抵抗が必要です。DIPIPM とシャント抵抗の配線が長くなりますと、配線パターンインダクタンスによって、サージが発生し、DIPIPM 内部の IC を破壊することがあります。

DIPIPM とシャント抵抗間の配線パターンは、配線インダクタンスが小さくなるよう、極力短く配線してください。また、シャント抵抗は可能であれば、リード端子のない面実装タイプなどを使用して、インダクタンスを抑えるようにしてください。

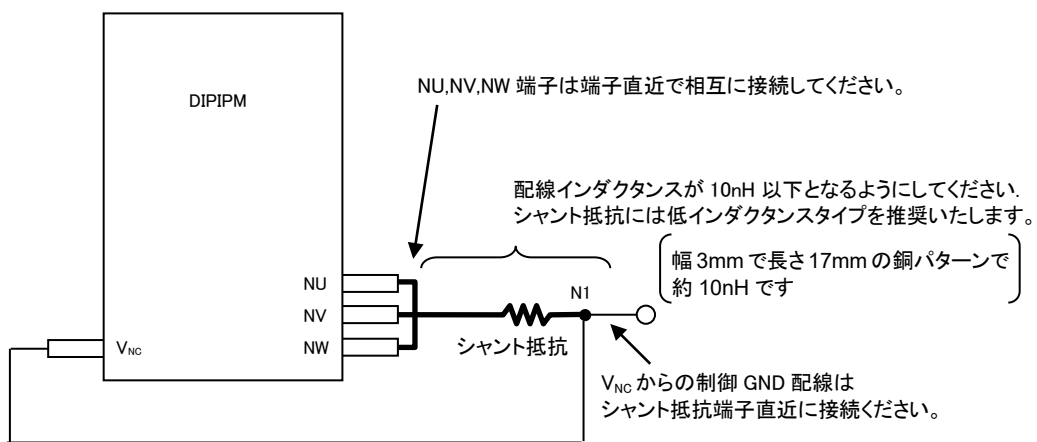


図 3-1-9 シャント抵抗周辺配線 (1 シャント抵抗使用時)

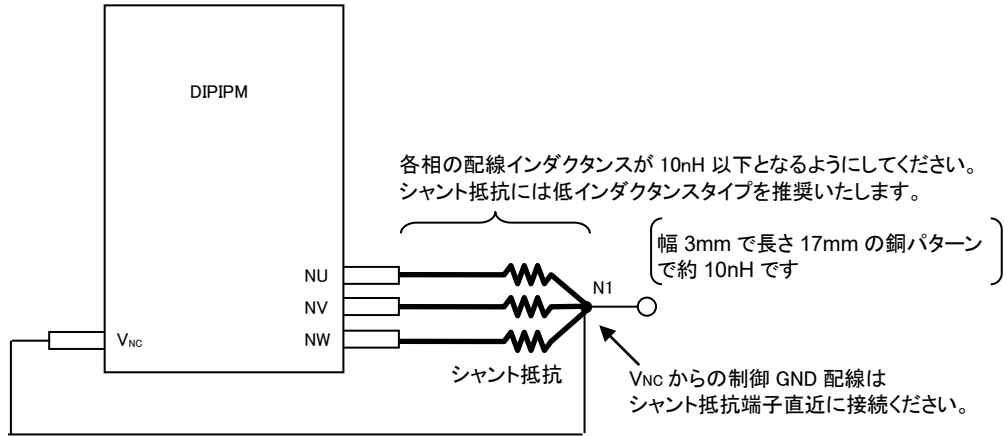


図 3-1-10 シャント抵抗周辺配線(3シャント抵抗使用時)

外部シャント抵抗周辺の配線は、その配線インダクタンスによって DIPIPM の動作にさまざまな影響を与えます。極力短く設計し、配線インダクタンスを抑えるようにしてください。

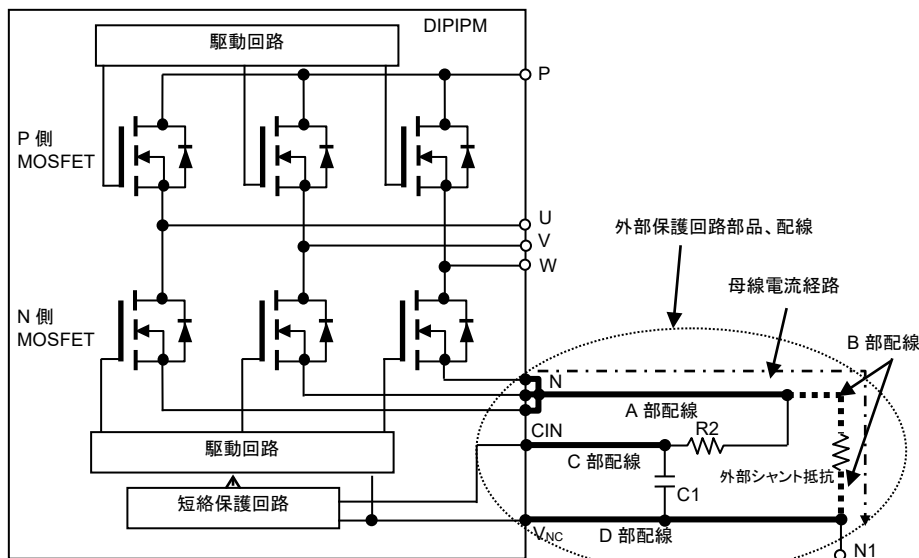


図 3-1-11 シャント抵抗周辺配線と配線の影響

(1) A 部配線パターンの影響

N 側 MOSFET ゲートは  $V_{NC}$  基準で動作します。図 3-1-11 中の A 部配線パターンが長いと、MOSFET のスイッチング時に A 部配線インダクタンスによる電圧変動が発生し、MOSFET のソース電位を変動させ異常動作する要因となります。外部シャント抵抗は、配線インダクタンスが 10nH 以下となるように極力 N 端子近傍に設置してください。

(2) B 部配線パターンの影響

B 部配線は短絡保護レベルに影響を与えます。短絡保護は  $CIN - V_{NC}$  間に発生する電圧 (typ. 0.48V) で動作します。B 部配線が長いと、この配線インダクタンスにより発生するサージ電圧により、短絡保護レベルが低下します。 $CIN, V_{NC}$  は、B 部配線を含めないように外部シャント抵抗の両端に接続してください。

(3) C 部配線パターンの影響

外部シャント抵抗に発生するノイズを除去するために、 $R2C1$  フィルタ回路を接続しますが、C 部配線が長いと、フィルタ効果が小さくなり、誘導ノイズをうけやすくなります。 $R2C1$  フィルタは  $CIN, V_{NC}$  端子近傍に設置してください。

(4) D 部配線パターンの影響

(1)~(3)までの項目すべてに影響があります。GND 配線は極力短くする必要があります。



# フル SiC 超小型 DIIPM アプリケーションノート

## 3. 1. 8 PCB設計時の注意点について

フル SiC 超小型 DIIPM のPCBパターンを設計される上でパターン上の主な注意点を図 3-1-12 に示します。

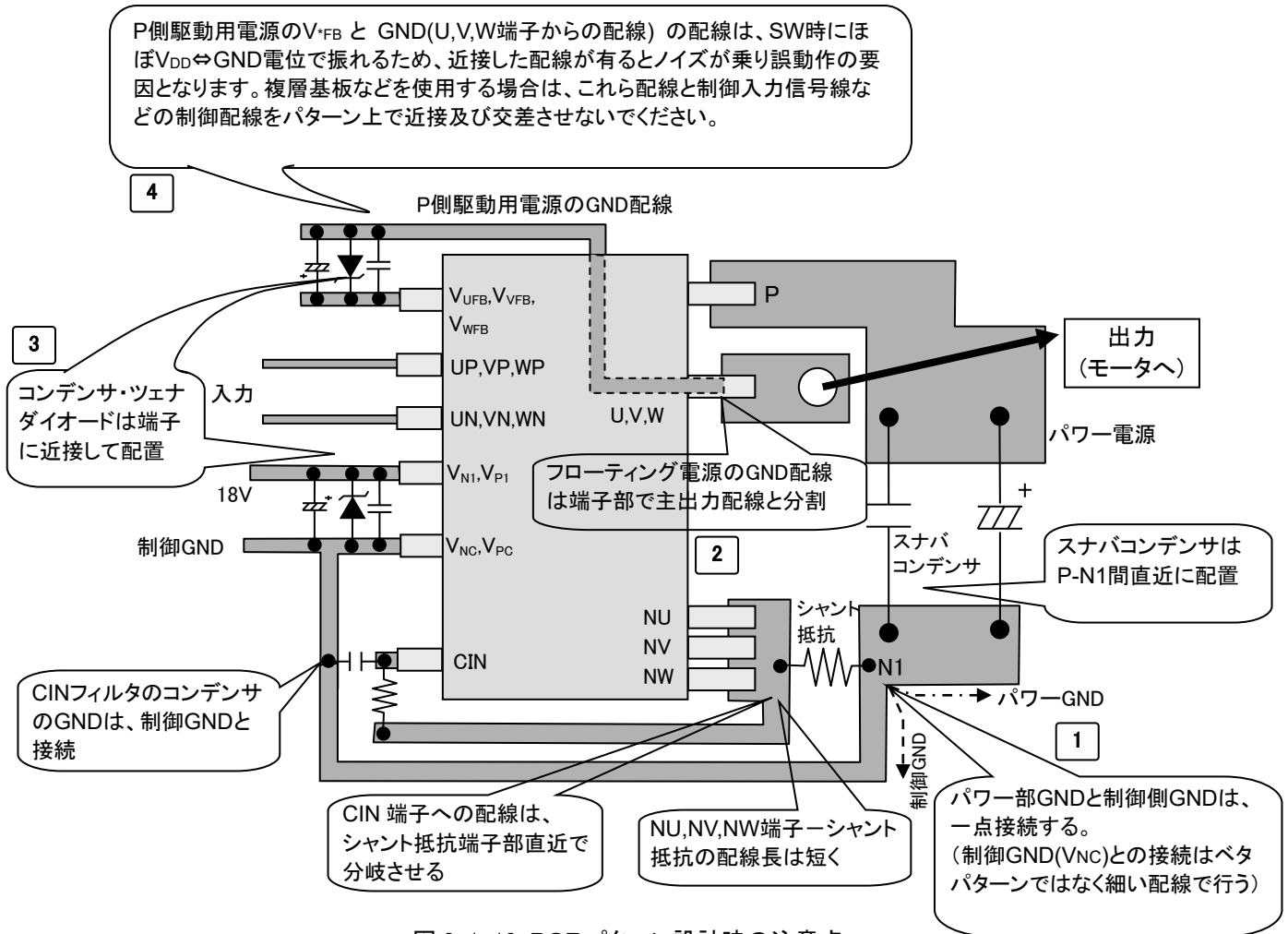


図 3-1-12 PCBパターン設計時の注意点

### PCBパターンにおけるトラブル事例

	パターン事例	トラブル発生事例
1	パワーGNDと制御GNDがオーバーラップして配線	パワーGNDに流れる不連続な大電流による di/dt と配線の寄生インダクタンスによって生じるサージが、制御GNDに伝搬して制御GNDレベルが変動し、同GNDを基準としている入力端子に誤信号が入力され MOSFET が誤オンしてアーム短絡発生。
	GND配線にループあり	GNDループに迷走電流が流れることでGND電位変動が発生し、入力端子に誤信号が入力され MOSFET が誤オンしてアーム短絡発生。
	パワーGND配線と制御GND配線を共通ベタパターンで形成	制御GNDに電流が流れ込むことでGND電位変動が発生し、IPMの誤動作もしくは破壊を招く恐れがある。
2	N端子-N1間配線が長い	配線が長いことにより寄生インダクタンスが大きくなり、スイッチングによって発生する di/dt によりサージが発生し、以下のようなトラブルが発生。 ・VS電位(出力端子電位)の低下による HVIC 誤動作の発生 ・LVICの過電圧破壊の発生
3	コンデンサ・ツェナダイオードが無し、或いは位置が端子から離れている	制御ICの過電圧破壊や誤動作の発生。
4	P側駆動電源配線と入力配線が近接・平行に配線	P側駆動電源配線とDIPへの制御入力配線間の浮遊容量を通してクロストークノイズが伝搬し、入力端子に誤信号がはいり MOSFET が誤オンしてアーム短絡が発生。

### 3. 1. 9 DIIPM の並列動作について

図 3-1-13 に DIIPM を 2 台並列接続した場合の回路例を示します。DIIPM の下アーム MOSFET のゲートチャージは、DIIPM 1 では①の経路、DIIPM 2 では②の経路で行われます。この経路が長くなりますと、配線インダクタンスも大きくなりますのでスイッチング動作に影響を与える可能性があります。(上アームのブートストラップコンデンサの充電にも影響を与える可能性があります。) また、ノイズの影響を受け易く誤動作の要因となります。並列数が多ければ多いほど、このGNDパターンは長くなりますので、GND電位の変動による他の回路への影響(電源、保護回路動作等)も考えられますので推奨いたしません。電気的には、動作可能と考えますが、上記項目に注意し評価検討をお願いします。

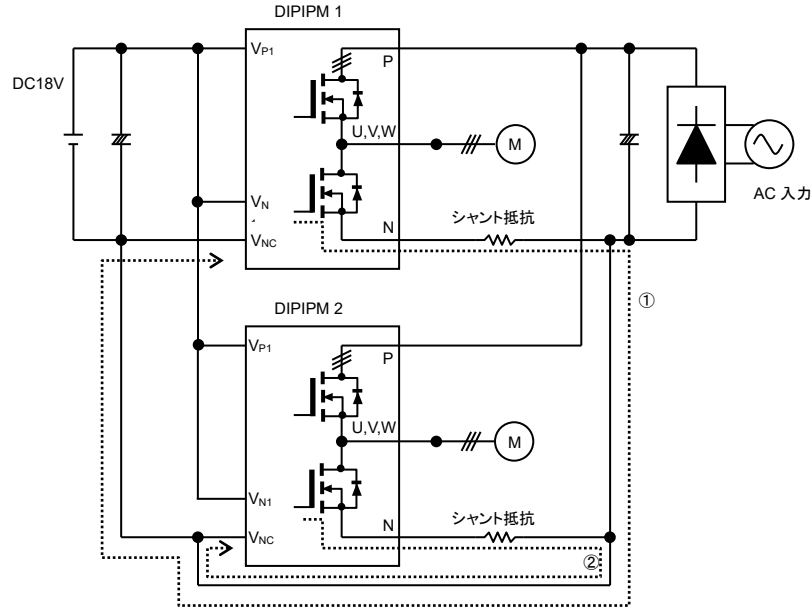


図 3-1-13 並列動作

また、同一パッケージ内の素子の並列使用(例: U相とV相のMOSFETを並列接続で使用)につきましても、素子特性のバラツキによるSW時間、飽和電圧の差異などにより、片側のMOSFETへの電流集中の可能性もありますので推奨いたしません。

### 3. 1. 10 SOA(スイッチング時、短絡時)

DIIPM の SOA について下記に示します。(規定はしていません)

- $V_{DSS}$  : DIIPM 内部の MOSFET のドレイン-ソース間電圧の最大定格
- $V_{DD}$  : P-N 間電源電圧
- $V_{DD(surge)}$  :  $V_{DD}$  に、P-N 電源間につながる電解コンデンサと IPM の P-N 間の配線インダクタンスにより発生するサージ電圧を加えた電圧を表します。
- $V_{DD(prot)}$  : 自己保護可能な P-N 間電源電圧を表します。

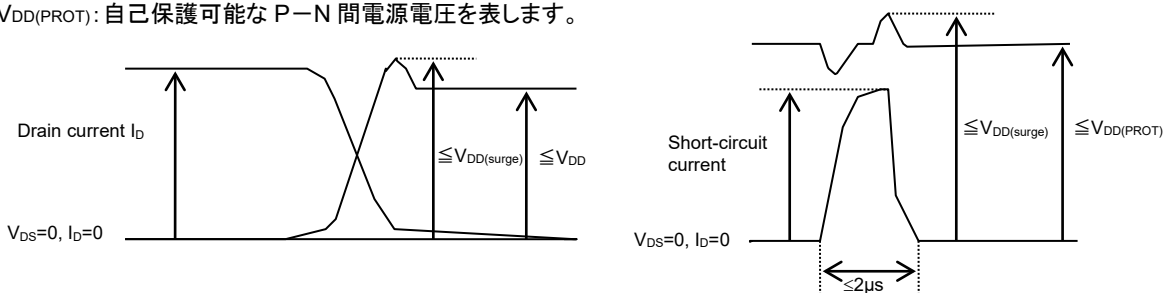


図 3-1-14 スwitching、短絡時の SOA

#### スイッチングターンオフ時

$V_{DSS}$  は DIIPM に搭載される MOSFET の耐圧 600V を示しています。この値より、DIIPM 内の配線インダクタンスで発生するサージ電圧(マージン等考慮し 100V 以下)を引いたものが、サージ込みの定格  $V_{DD(surge)} = 500V$  となります。さらに、P-N 電源間に接続される電解コンデンサと IPM の P-N 間の配線インダクタンスにより発生するサージ電圧(50V 以下)を引いたものが、定常時の定格の  $V_{DD} = 450V$  となります。

#### 短絡時

$V_{DSS}$  は DIIPM に搭載される MOSFET の耐圧 600V を示しています。この値より、DIIPM 内の配線インダクタンスで発生するサージ電圧(マージン等考慮し 100V 以下)を引いたものがサージ込みの定格  $V_{DD(surge)} = 500V$  となります。さらに、P-N 電源間に接続される電解コンデンサと DIIPM の間の配線インダクタンスにより発生するサージ電圧(100V 以下)を引いたものが短絡時の定格  $V_{DD} = 400V$  となります。

3. 1. 11 短絡 SOA

図3-1-15~16に短絡SOAカーブ(代表例)を示します。測定条件は以下のとおりです。

測定条件:

$V_{DD}=400V$ 、 $T_{ch}=125^{\circ}C$ スタート、 $V_{DD(surge)}\leq 500V$ (サージ電圧含む)、非繰り返し、負荷短絡(2m負荷)

PSF15S92F6-A6/C6の場合、図3-1-15をご参照ください。 $V_D=19.0V$ でMOSFETのON期間が約 $4\mu s$ 以下であれば、定格の約13倍のドレイン電流をターンオフできることを示しています。本データは代表例であり、制御電源電圧 $V_D$ 、主回路電圧 $V_{DD}$ によってMOSFETの短絡動作範囲は変わりますので、RCフィルタの設定はSOAにマージンを持って設計してください。

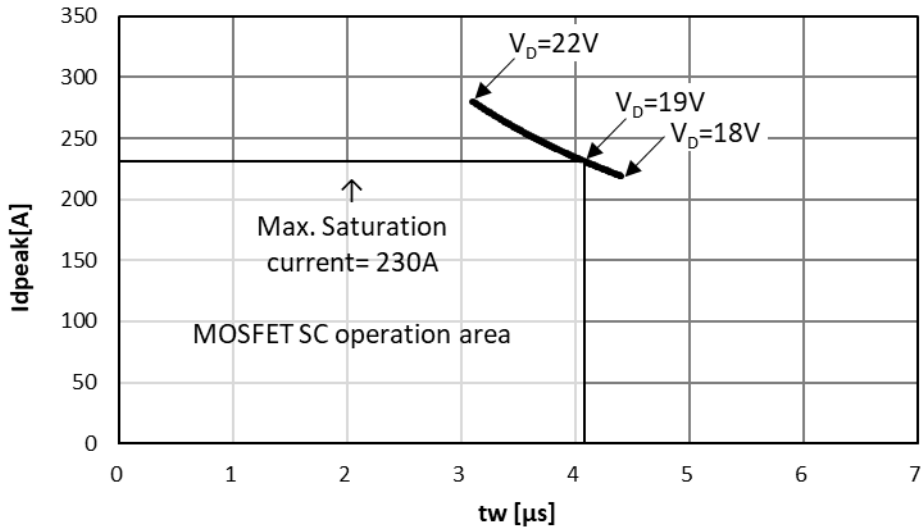


図3-1-15 PSF15S92F6-A6/C6の短絡SOAカーブ(代表例)

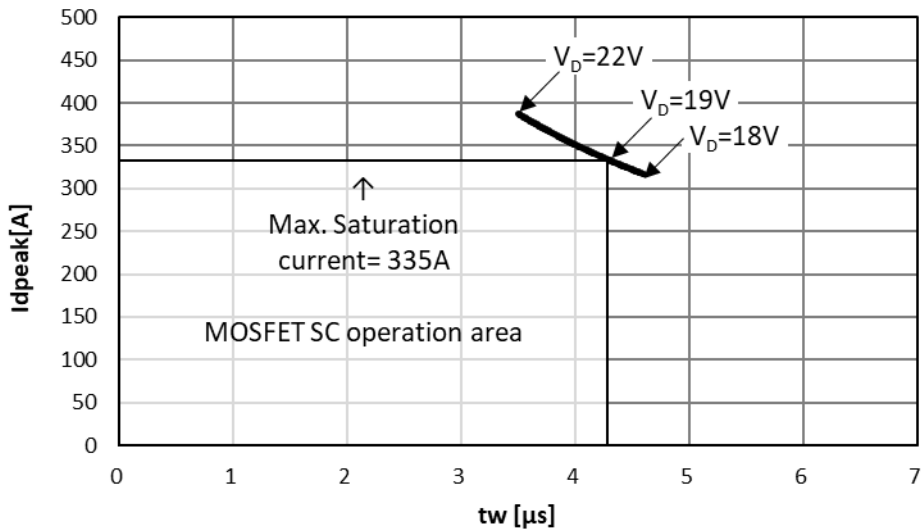


図 3-1-16 PSF25S92F6-A6/C6 の短絡 SOA カーブ(代表例)

### 3. 1. 12 動作寿命について

DIPIPM の動作時は、MOSFET の接合温度変化( $\Delta T_{ch}$ )が繰り返し発生します。この  $\Delta T_{ch}$  と温度変化のサイクル数は、デバイスの寿命に影響を及ぼします。図 3-1-17 に MOSFET の  $\Delta T_{ch}$  とサイクル数の寿命カーブを示します。

( $\Delta T_{ch}=46, 88, 98K$  の 3 ポイントで実施したデータであり、それぞれの故障率 0.1, 1, 10%の点を回帰直線で表したものです。)

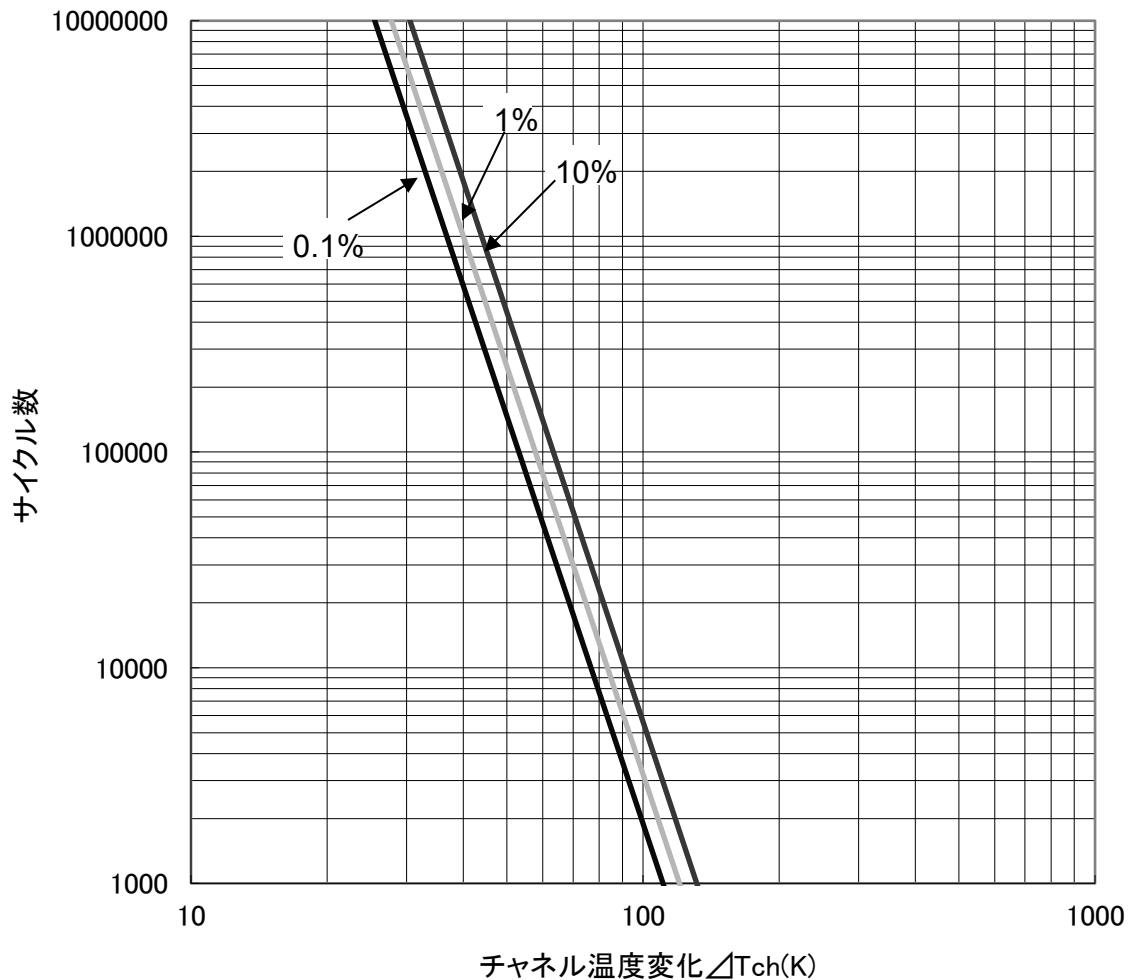


図 3-1-17 DIPIPM の寿命カーブ

3. 2 損失と放熱設計

3. 2. 1 損失計算方法(例)

平均電力損失簡易計算式について

●適用範囲

VVVF インバータへの応用に際してパワー素子を選定(比較)するための、通常動作時の総合損失の算出が可能です。装置の熱設計(限界設計)には適用できません。

●仮定条件

- ① 正弦波電流出力 PWM 制御 VVVF インバータ
- ② 正弦波・三角波比較による PWM 信号発生
- ③ PWM 信号のデューティー振幅は  $\frac{1-D}{2} \sim \frac{1+D}{2}$  (%/100) で変化 D: 変調率
- ④ 出力電流にはリップルがなく  $I_{DP} \cdot \sin x$  が流れる
- ⑤ 出力電流に対する負荷力率は  $\cos\theta$ 、スイッチングに対する負荷は純インダクタンス
- ⑥ 上下アームで反転信号が入り、MOSFET が逆導通する

●式の算出

PWM 信号のデューティー変化は、位相  $x$  に対して  $\frac{1+D \times \sin x}{2}$  となり、これが出力電圧変化に相当しますから、出力電流と電圧の関係を示す力率  $\cos\theta$  により、出力電流の任意の位相  $x$  での出力電流と PWM デューティーは、

$$Output\ current = I_{DP} \times \sin x$$

$$PWM\ Duty = \frac{1+D \times \sin(x+\theta)}{2}$$

従って、位相  $x$  での  $V_{DS(on)}$  と  $V_{SD(on)}$  は

$$V_{DS(on)} = V_{DS(on)} (@ I_{DP} \times \sin x)$$

$$V_{SD(on)} = (-1) \times V_{SD(on)} (@ I_{SP} (= I_{DP}) \times \sin x)$$

以上から、MOSFET の静損失は、

$$\frac{1}{2\pi} \int_0^\pi (I_{DP} \times \sin x) \times V_{SD(on)} (@ I_{DP} \times \sin x) \times \frac{1+D \sin(x+\theta)}{2} \cdot dx$$

同様に、逆導通時の MOSFET の静損失は、

$$\frac{1}{2\pi} \int_\pi^{2\pi} ((-1) \times I_{DP} \times \sin x) ((-1) \times V_{SD(on)} (@ I_{DP} \times \sin x) \times \frac{1+D \sin(x+\theta)}{2}) \cdot dx$$

一方、MOSFET の動損失は PWM デューティーに依りませんので

$$\frac{1}{2\pi} \int_0^\pi (P_{sw(on)} (@ I_{DP} \times \sin x) + P_{sw(off)} (@ I_{DP} \times \sin x)) \times fc \cdot dx$$

また MOSFET の逆導通時の動損失は、図 3-2-1 のように理想化すると

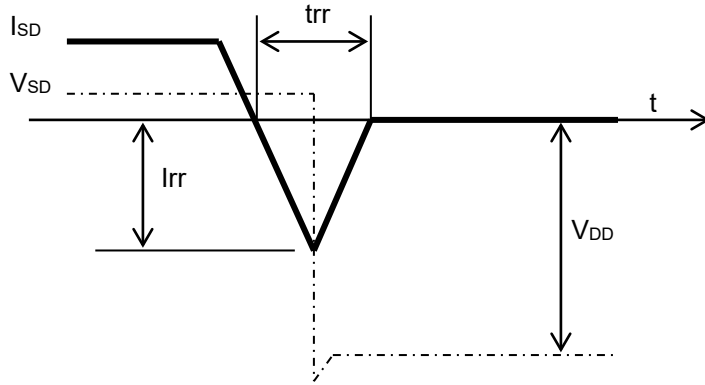


図 3-2-1 MOSFET の逆導通時の動損失

$$P_{SW} = \frac{I_{rr} \times V_{DD} \times trr}{4}$$

逆導通するのは、出力電流周期の半分ですので、動損失は、

$$\begin{aligned} & \frac{1}{2} \int_{\pi}^{2\pi} \frac{I_{rr}(@I_{DP} \times \sin x) \times V_{DD} \times trr(@I_{DP} \times \sin x)}{4} \times fc \cdot dx \\ &= \frac{1}{8} \int_{\rho}^{2\pi} I_{rr}(@I_{DP} \times \sin x) \times V_{DD} \times trr(@I_{DP} \times \sin x) \times fc \cdot dx \end{aligned}$$

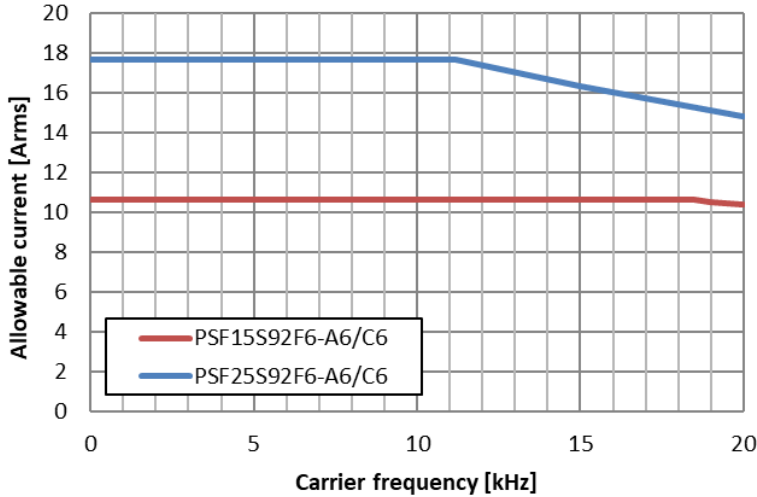
●インバータへの応用の際の一般的な注意点

- ・出力電流 1 周期分を多数分割し、各点における実際の「PWM デューティ」、「出力電流」、「その電流における  $V_{DS(on)}$ 、 $V_{SD(on)}$ 、 $P_{sw}$ 」に基づいて計算し加算する必要があります。
- ・PWM デューティは信号の発生方法に依存します。
- ・出力電流波形や出力電流と PWM デューティの関係は信号の発生方法、負荷、その他の種々の要因に依存しますので、実波形を基にします。
- ・ $V_{DS(on)}$ および  $V_{SD(on)}$ は  $T_{ch}=125^{\circ}C$  の値を使用します。
- ・ $P_{sw}$  は  $T_{ch}=125^{\circ}C$  ハーフブリッジ動作時の値を使用します。

3. 2. 2 温度上昇の考え方と計算例

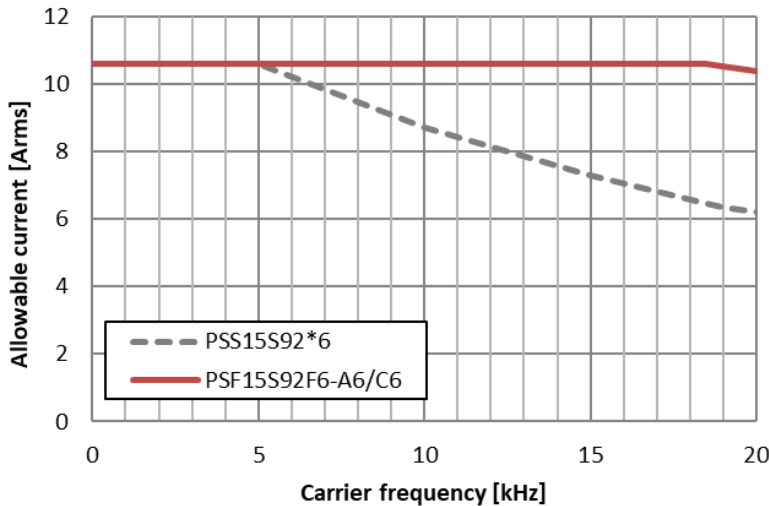
フル SiC 超小型 DIIPM シリーズについて、代表特性を元に損失計算を行った結果を、実効電流  $I_o$  とキャリア周波数特性(代表例)として、図 3-2-2 に示します。

また参考として定格 15A の超小型 DIIPM Ver.6 シリーズ PSS15S92F6 と比較した結果を図 3-2-3 に示します。



[Common calculation condition]  
 シミュレーションモデル 三相変調 正弦波出力  
 $V_{DD}=300V$ ,  $M=1$ ,  $P.F=0.8$ ,  $f_o=60Hz$ ,  
 $T_{ch}=125^{\circ}C$ ,  $T_c=100^{\circ}C$ ,  $\Delta T_{(ch-c)}=25K$ ,  
 $R_{th(ch-c)}=Max.$   $V_D=V_{DB}=18V$ ,  $V_{DS(on)}=Typ.$ ,  
 $V_{SD(on)}=Typ.$ ,  $Switching\ loss=Typ.$

図 3-2-2 キャリア周波数—実効電流特性



[Common calculation condition]  
 シミュレーションモデル 三相変調 正弦波出力  
 $V_{CC}=V_{DD}=300V$ ,  $M=1$ ,  $P.F=0.8$ ,  $f_o=60Hz$ ,  
 $T_j=T_{ch}=125^{\circ}C$ ,  $T_c=100^{\circ}C$ ,  
 $\Delta T_{(j-c)}=\Delta T_{(ch-c)}=25K$ ,  $R_{th(j-c)}=R_{th(ch-c)}=Max.$

[Calculation condition for PSS15S92F6]  
 $V_D=V_{DB}=15V$ ,  $V_{CE}=Typ.$ ,  $V_{EC}=Typ.$ ,  
 $Switching\ loss=Typ.$

[Calculation condition for PSF15S92F6]  
 $V_D=V_{DB}=18V$ ,  $V_{DS(on)}=Typ.$ ,  $V_{SD(on)}=Typ.$ ,  
 $Switching\ loss=Typ.$

図 3-2-3 キャリア周波数—実効電流特性（超小型 DIIPM Ver.6 との比較）

図 3-2-2 および図 3-2-3 の特性(計算値代表例)は、各キャリア周波数において、ケース温度  $T_c=100^{\circ}C$  でインバータ動作した場合に、IGBT の接合温度  $T_j$  あるいは MOSFET のチャネル温度  $T_{ch}$  が、安全動作させるための平均動作接合温度あるいは平均チャネル温度  $125^{\circ}C$  まで上昇する時に流し得ることのできる許容実効電流  $I_o$  を表しています。

この特性は、制御方式、モータ種等で変わります。また、定格以上の電流は、連続して流さないようにしてください。

インバータ損失は、三菱半導体ホームページ(URL <http://www.MitsubishiElectric.co.jp/semiconductors/>)で公開の損失計算ソフトを使用して計算することができます。

# フル SiC 超小型 DIIPM アプリケーションノート

## 3. 2. 3 ケース温度測定について(例)

DIIPM のケース温度を測定するための熱電対の取り付け方を以下に示します。

図 3-2-6 にフル SiC 超小型 DIIPM のケース温度の一般的な測定位置を示します。この位置において熱電対を取り付け、ケース温度を測定ください。制御方法によっては下記 MOSFET チップ直下が、ケース温度の最高値とならない場合があります。その場合は、損失が最も大きくなるチップ下に測定位置を移動してください。(前出のチップ配置図参照)

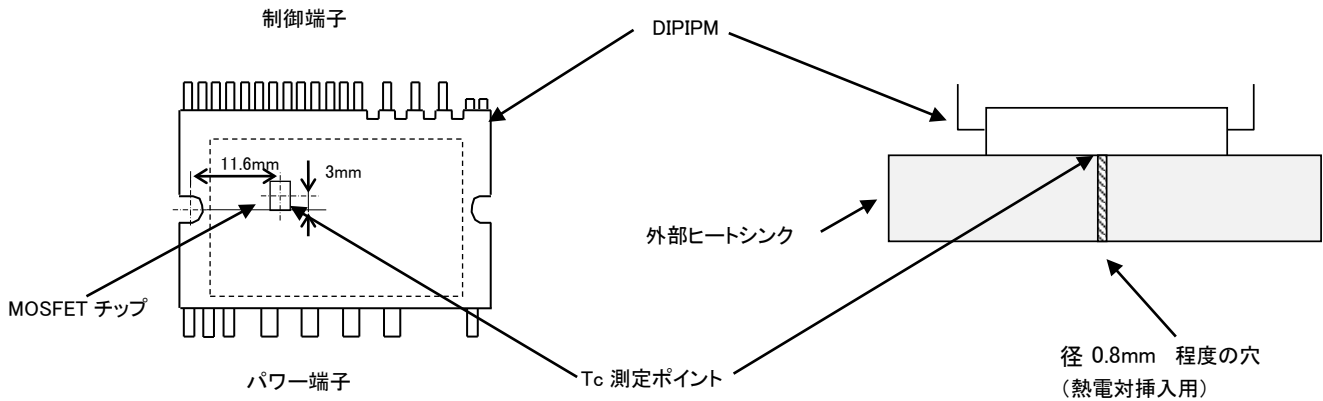


図 3-2-6 外部ヒートシンクへの熱電対取り付け位置

図 3-2-7 に熱電対の取り付け方法(例)を示します。最も損失が大きくなるチップの直下に熱電対取り付け用の穴を開けた後、熱電対を挿入し周囲をセンターポンチで打ち、かします。熱電対をかした後に、ヒートシンクのサンプル取り付け面をサンドペーパーで磨き平らになるようにしてください。

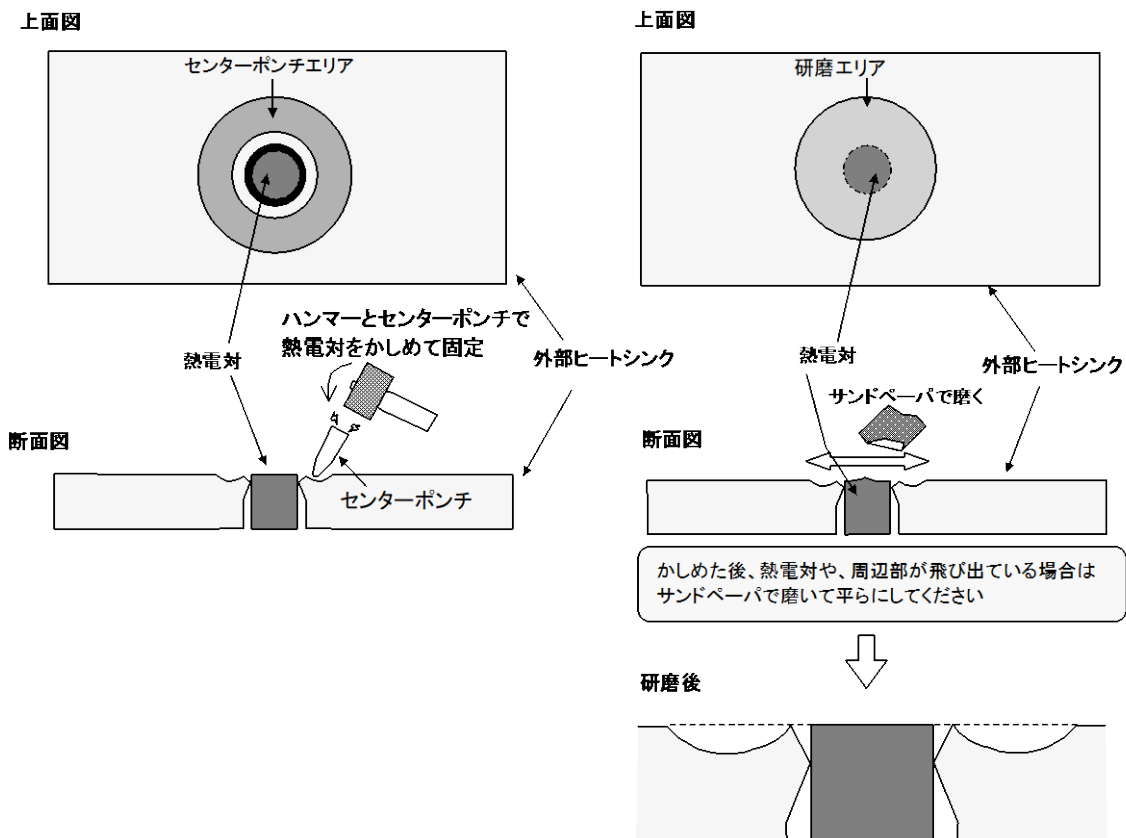


図 3-2-7 熱電対取り付け方法(例)



# フル SiC 超小型 DIPIPM アプリケーションノート

## 3.3 ノイズ・静電気耐量

### 3.3.1 測定回路

フル SiC 超小型 DIPIPM でのノイズ試験に関しては、以下に示す測定条件と、図 3-3-1 の測定回路にて、 $\pm 2.0\text{kV}$  以上の耐量を確認しています。ただしノイズ耐量は、ノイズ試験の環境、制御基板配線パターン、部品配置等に大きく依存しますので、実システムでの確認を行ってください。

#### 測定条件

$V_{DD}=300\text{V}$ 、 $V_D=18\text{V}$ 、 $T_a=25^\circ\text{C}$ 、無負荷

ノイズ印加方法: AC ライン(R, S, T)より印加、周期  $T=16\text{ms}$ 、時間幅  $t_w=0.05\sim 1\mu\text{s}$ 、Random 入力

#### 測定回路

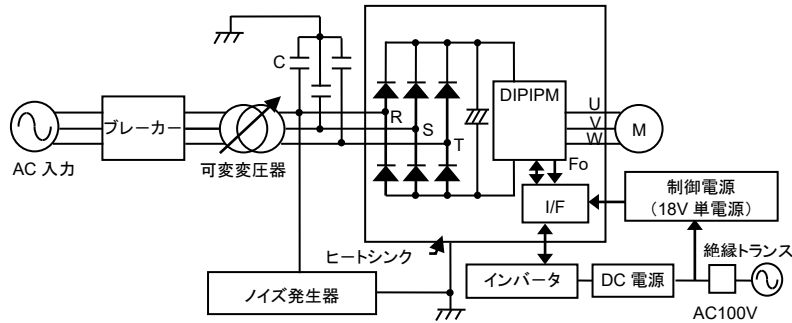


図 3-3-1 ノイズ試験回路

18V 単電源方式、モータは IM で実施、マイコンからの PWM 信号はフォトカプラ入力

C1: AC ラインコモンモードフィルタ—4700pF

### 3.3.2 対策と注意事項

DIPIPM は、設計時に内部配線の最適化による低インダクタンス化、絶縁構造の最適化による漏れ電流の低減を行うことで、部品を削減しノイズ耐量を確認していますが、回路パターンなどによって制御部にノイズが回り込み短絡や短絡保護の誤動作が発生する場合があります。その場合には、図 3-3-2 のような対策をご検討ください。

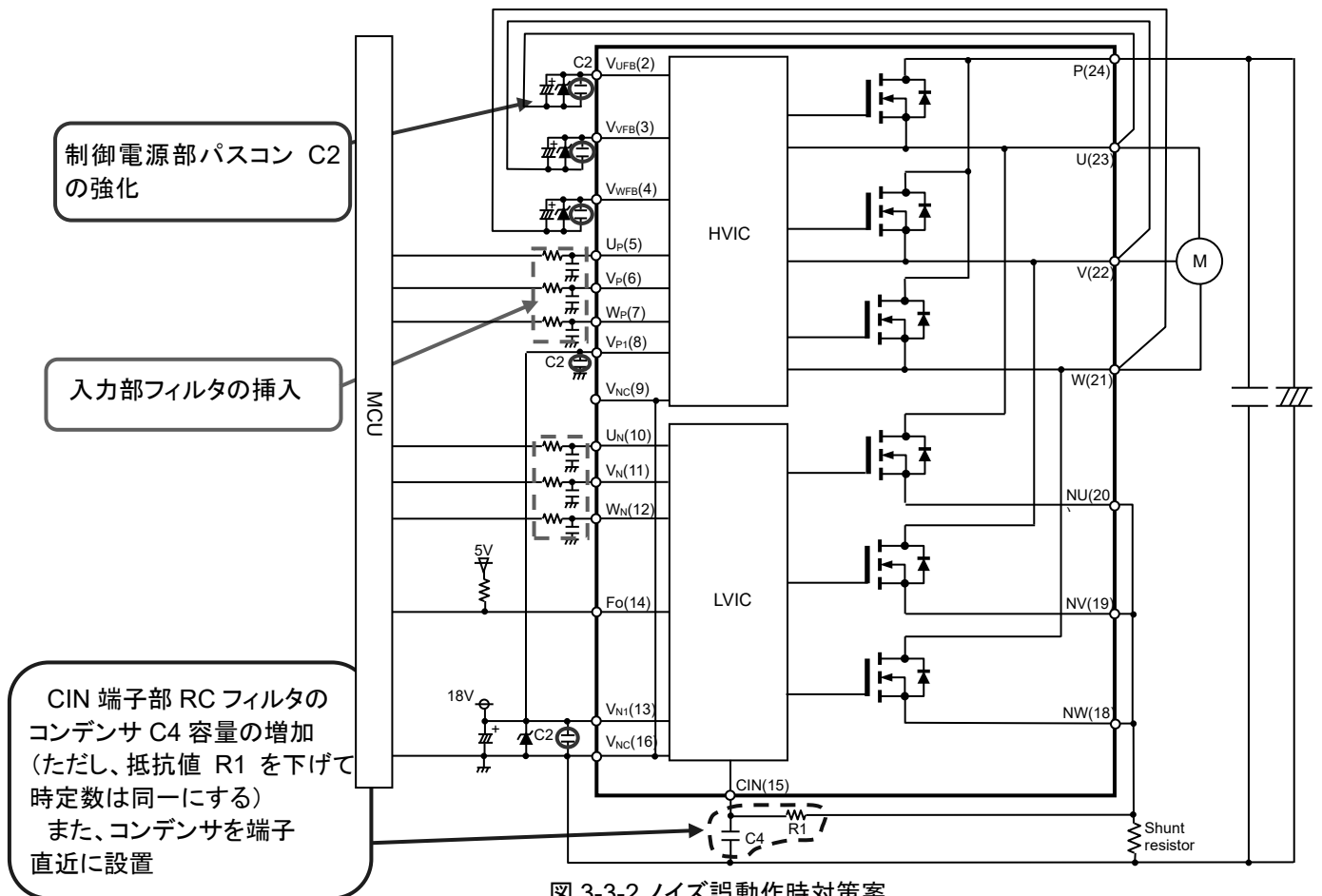


図 3-3-2 ノイズ誤動作時対策案

3.3.3 静電気耐量について

図 3-3-3 および図 3-3-4 に示す評価回路にて、DIIPM 各端子- $V_{NC}$  または N 端子間に正・負の電圧を 1 回印加し、印加前後の端子の V-I 特性の変化を確認しています。MM 法( $R=0\Omega$ ,  $C=200pF$ )、HBM 法( $R=1.5k\Omega$ ,  $C=100pF$ )。

MM 法では各端子とも $\pm 200V$ 以上、HBM 法では各端子とも $\pm 1kV$ 以上の実力値を確認しています。詳細な試験結果につきましては、お取引の営業担当までご照会ください。

試験条件：サージ電圧を段階的に引き上げ、各電圧で 1 パルス印加する  
(印加電圧の最大値： $\pm 4.0kV$ 、V-I 特性により NO/GO 判定)

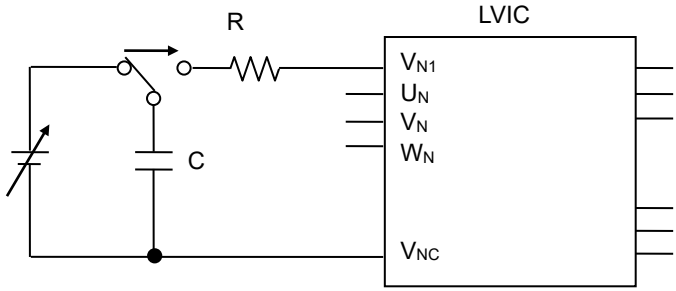


図 3-3-3 静電気耐量評価回路例( $V_{N1}$  端子評価時)

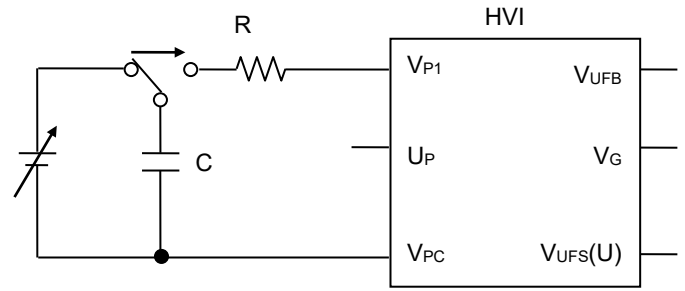


図 3-3-4 静電気耐量評価回路例( $V_{P1}$  端子評価時)

## 第4章 ブートストラップ回路動作

### 4.1 ブートストラップ回路動作

DIIPMでは、ブートストラップ回路を用いたフローティング電源により、通常のインバータ回路駆動時に必要な4つの独立電源(P側 MOSFET 駆動用3相分+N側 MOSFET 駆動用)をN側駆動用制御電源1つで動作させることができます。

ブートストラップ回路は、図 4-1-1 に示すとおりブートストラップダイオード(以下 BSD)とブートストラップコンデンサ(以下 BSC)、電流制限抵抗で構成されます。(フル SiC 超小型 DIIPM は、BSD と制限抵抗を内蔵しており、BSC を外付けすることでブートストラップ回路を構成可能です。)

P 側 MOSFET の駆動に BSC を電源として使用し、P 側 MOSFET オン時のゲートチャージ及び、P 側 MOSFET の駆動 IC 内ロジック回路へ回路電流を供給します。(図 4-1-2 コンデンサが電源の代わりであるため、その電流供給能力には制限があり、ブートストラップ回路による P 側駆動は、比較的消費電流が小さい DIIPM に特に適した方法です。)

回路駆動により消費された電荷は、インバータ動作中に各相の出力端子(U 端子など)の電位が GND レベル付近まで下がることで、N 側 18V 制御電源から制限抵抗、BSD を通して、コンデンサに充電されます。

ただし、P 側素子の SW シーケンス、BSC の容量など使用条件によっては、必要な電荷量に対して十分な充電が行われず、BSC の電位が電源電圧低下(UV)保護レベル以下に低下し、P 側 MOSFET の SW 停止やゲート電圧(コンデンサ電圧)の低下による P 側 MOSFET の損失増加につながりますので、コンデンサの容量など回路定数の設定時には十分な検討、評価が必要です。ブートストラップ回路による駆動についての詳細は、アプリケーションノートの『DIIPM ブートストラップ回路設計の手引き』を参照ください。

以下に、フル SiC 超小型 DIIPM の搭載の BSD の特性及び、P側 MOSFET 駆動部時の消費電流特性を示します。

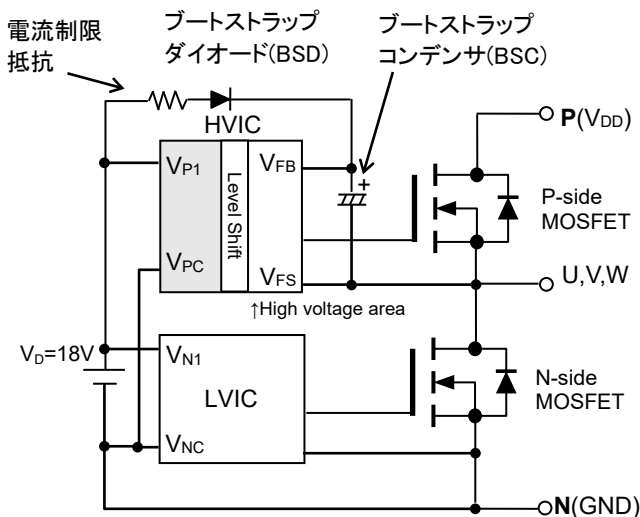
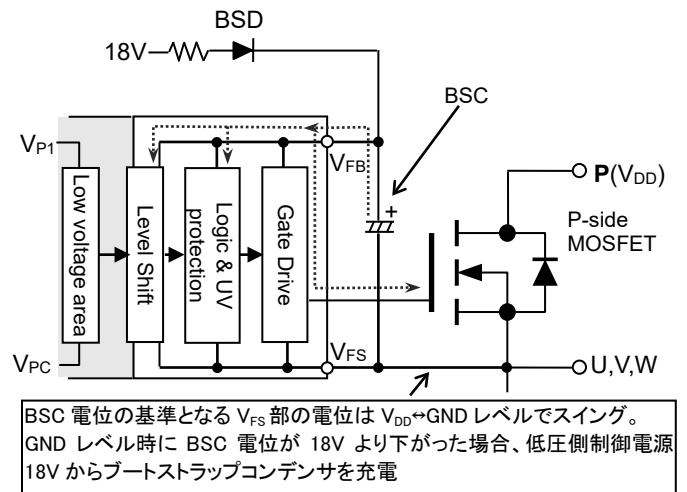


図 4-1-1 ブートストラップ回路



BSC 電位の基準となる  $V_{FS}$  部の電位は  $V_{DD} \leftrightarrow GND$  レベルでスイング。GND レベル時に BSC 電位が 18V より下がった場合、低圧側制御電源 18V からブートストラップコンデンサを充電

図 4-1-2 ブートストラップ回路

## 4. 2 ブートストラップ電源回路電流

本製品の定常状態におけるブートストラップ電源の回路電流は、最大 0.38mA (PSF15S92F6-A6/C6) 及び 0.35mA (PSF25S92F6-A6/C6) です。しかし、PWM 制御時などスイッチング時には、MOSFET 駆動のためゲートの充放電が繰り返されるため、回路電流はキャリア周波数に比例して増加し、定常状態の 0.38mA あるいは 0.35mA を超えます。

図 4-2-1~2 に PSF15S92F6-A6/C6 の  $I_{DB}$  が大きくなる高温時の回路電流  $I_{DB}$ -キャリア周波数特性を示します。(代表例)

条件:  $V_D=V_{DB}=18V$ ,  $V_{DD}=450V$ ,  $T_{ch}=125^\circ C$ , (代表例)

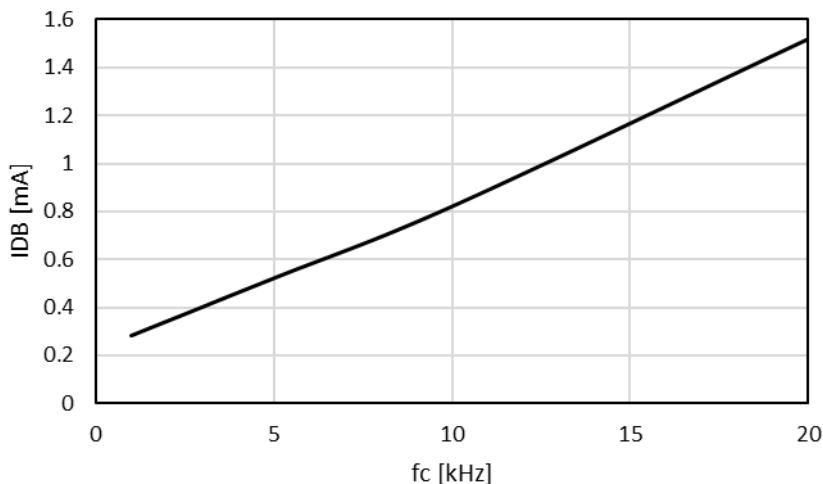


図 4-2-1  $I_{DB}$  vs. キャリア周波数特性 (PSF15S92F6-A6/C6)

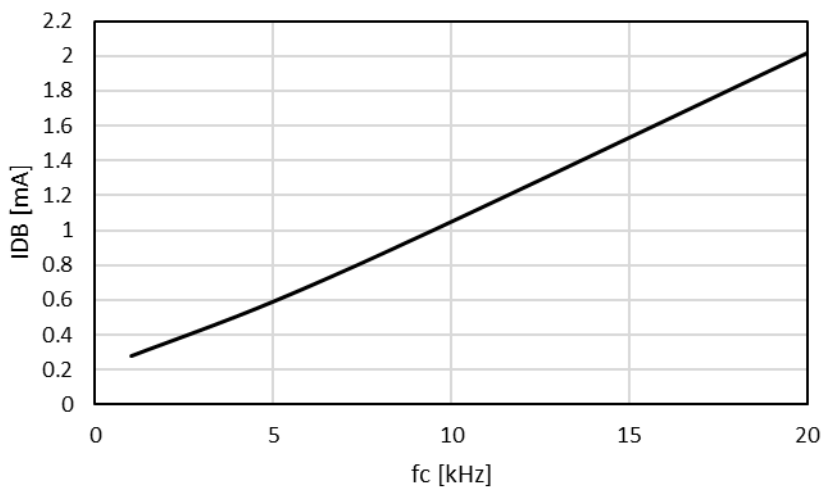


図 4-2-2  $I_{DB}$  vs. キャリア周波数特性 (PSF25S92F6-A6/C6)

4. 3 ブートストラップ回路定数設定時の注意点

ブートストラップ回路の各定数の検討時には、各素子の温度特性、寿命による変化、ばらつきなどを考慮した上で設計願います。ブートストラップ回路の動作については、アプリケーションノートの『DIIPM ブートストラップ回路設計の手引き』も参照ください。各素子の選定において注意いただきたい点について以下に挙げます。

(1) ブートストラップコンデンサ

BSC には、電解コンデンサが一般的に使用されていますが、近年、大容量のセラミックコンデンサも使用されつつあります。しかし、電解コンデンサとは異なり、セラミックコンデンサは、DC バイアス特性 (DC 電圧印加時の容量特性) により容量が大きく低下するものがありますので注意が必要です。表 4-3-1 に電解コンデンサとセラミックコンデンサの一般的な特性例を示します。

表 4-3-1 コンデンサ静電容量の各特性例

	電解コンデンサ	大容量セラミックコンデンサ
温度特性 (Ta:-20~85°C)	アルミ電解コンデンサ: 低温:-10% 高温:+10%程度 導電性高分子アルミ固体タイプ: 低温:-5% 高温:+10%程度	B,X5R,X7R など温度特性ランクにより異なる。 低温:-5%~0%程度 高温:-5%~-10%程度
DC バイアス特性 (DC18V 印加時)	定格電圧内であればほぼ変化無し	サイズ、温度特性、定格電圧により異なる。 -70%~-15%程度低下

電解コンデンサについては、DC バイアス特性は問題ありませんが、繰り返し充放電によるリップル耐量、寿命(周囲温度による影響大)などに注意が必要です。上記、特性は WEB に掲載のコンデンサの特性の参考例です。コンデンサの詳細特性につきましては、各コンデンサメーカーにご確認ください。

(2) ブートストラップダイオード

フル SiC 超小型 DIIPM は、P 側 MOSFET 駆動電源用のブートストラップダイオード(以下 BSD)を搭載しています。BSD には、電流制限抵抗も搭載しています。BSD の  $V_F$  特性(電流制限抵抗による電圧降下分を含む)を図 4-3-1 及び表 4-3-2 に示します。

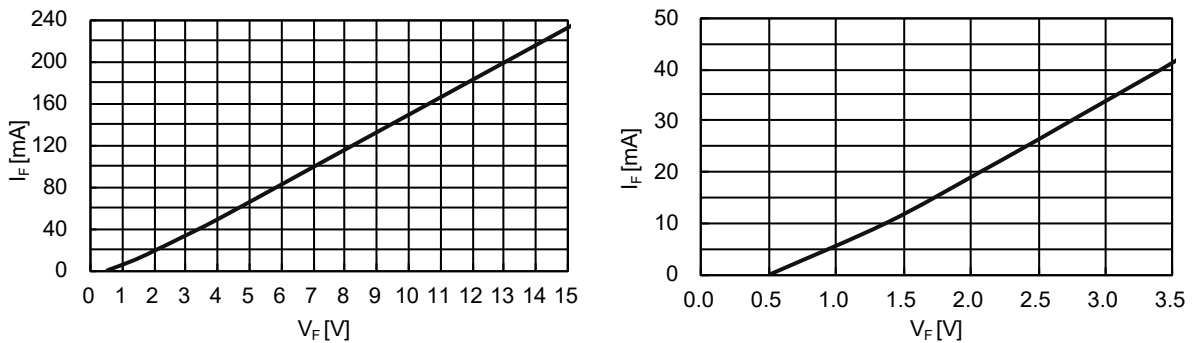


図 4-3-1 ブートストラップダイオード  $V_F$ - $I_F$  カーブ(代表例、右図は拡大図)

表 4-3-2 ブートストラップダイオード電気的特性

項目	記号	条件	Min.	Typ.	Max.	Unit
ブートストラップ Di 順電圧降下	$V_F$	$I_F=10\text{mA}$ , 制限抵抗の電圧降下含む	0.9	1.3	1.7	V
ブートストラップ Di 内蔵制限抵抗	R	ブートストラップDiに内蔵	48	60	72	$\Omega$

## 4. 4 ブートストラップ回路使用時の初期充電について

ブートストラップ回路を用いる場合、初期始動前、あるいは、IPM の一定時間休止後(1 秒程度でも)には IC の定常消費電流  $I_{DB}$  により BSC の電圧が UV 保護レベルより下がっている可能性があるため、始動前に BSC をあらかじめ初期充電する必要があります。

BSC の充電は、通常 N 側 MOSFET 全相をオンさせて行います。モータなどの負荷がつながっている場合は、1 相をオンさせるだけでもモータ内配線を通して、他相の出力端子電位も低下し充電できる場合があります。ただし、モータ内の配線抵抗などにより、コンデンサの充電効率率は低下する可能性があります。

充電は、ワンパルスで行う方法と、18V 制御電源の供給能力などの制限がある場合に複数回のオンパルスにて行う方法もあります。

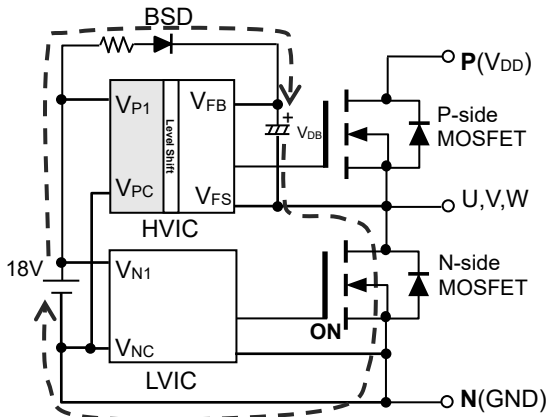


図 4-4-1 初期充電経路

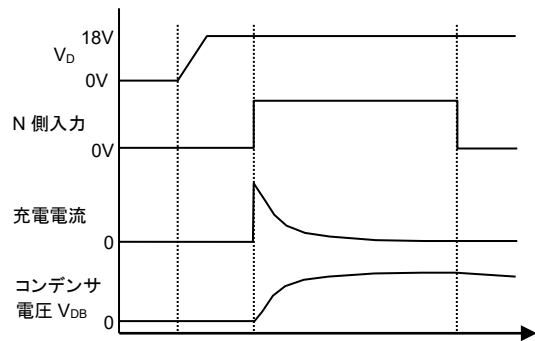


図 4-4-2 ワンパルスでの充電波形例

初期充電は、少なくとも  $V_{DB}$  の推奨電源電圧範囲である 18V 以上になるまで実施してください。(充電後、インバータ動作開始までの時間の低下分を考慮して、18V より高めに充電することを推奨します。)

BSC が十分に充電された後、インバータ(PWM 入力)スタート前に P 側保護状態のリセット用オンパルスを 1 パルス入力することを推奨いたします。入力するパルス幅は、各製品に規定の最小許容入力オンパルス幅(フル SiC 超小型 DIIPM であれば 0.7 $\mu$ s)で問題ありません。

## 第5章 フル SiC 超小型 DIIPM のインターフェイス 基板例

### 5.1 I/F 基板について

フル SiC 超小型 DIIPM の搭載が可能なインターフェイスボード (I/F 基板 型番:EVA11-SDIP) をご用意しています。DIIPM を使用する上で、基板パターン設計の参考や評価にご使用ください。

#### (1) I/F 基板 EVA11-SDIP の構成

フルSiC超小型DIIPMのI/F基板には、周辺回路として、スナバコンデンサ、ツェナダイオードを搭載可能です。

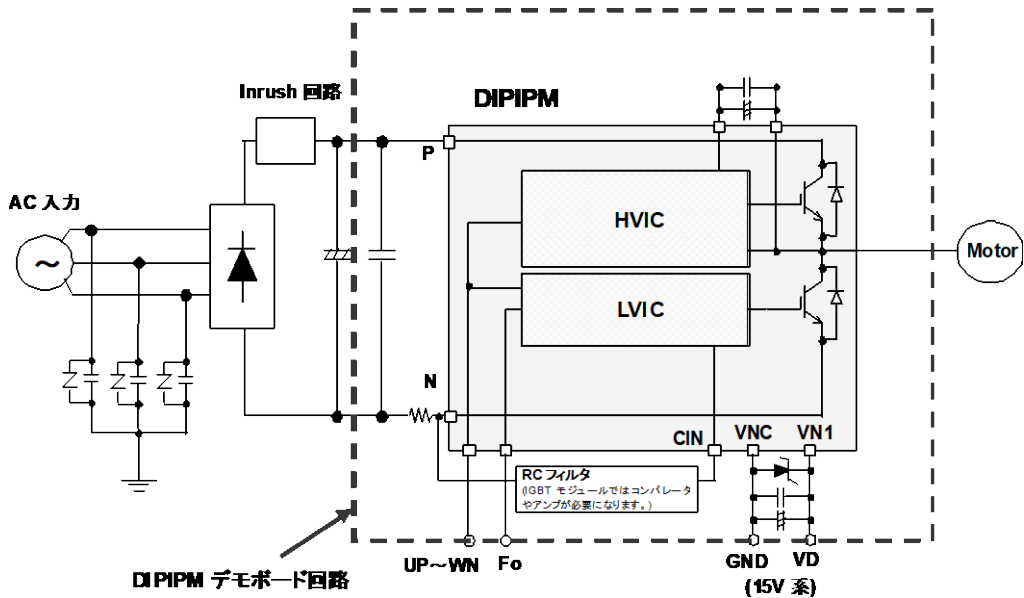
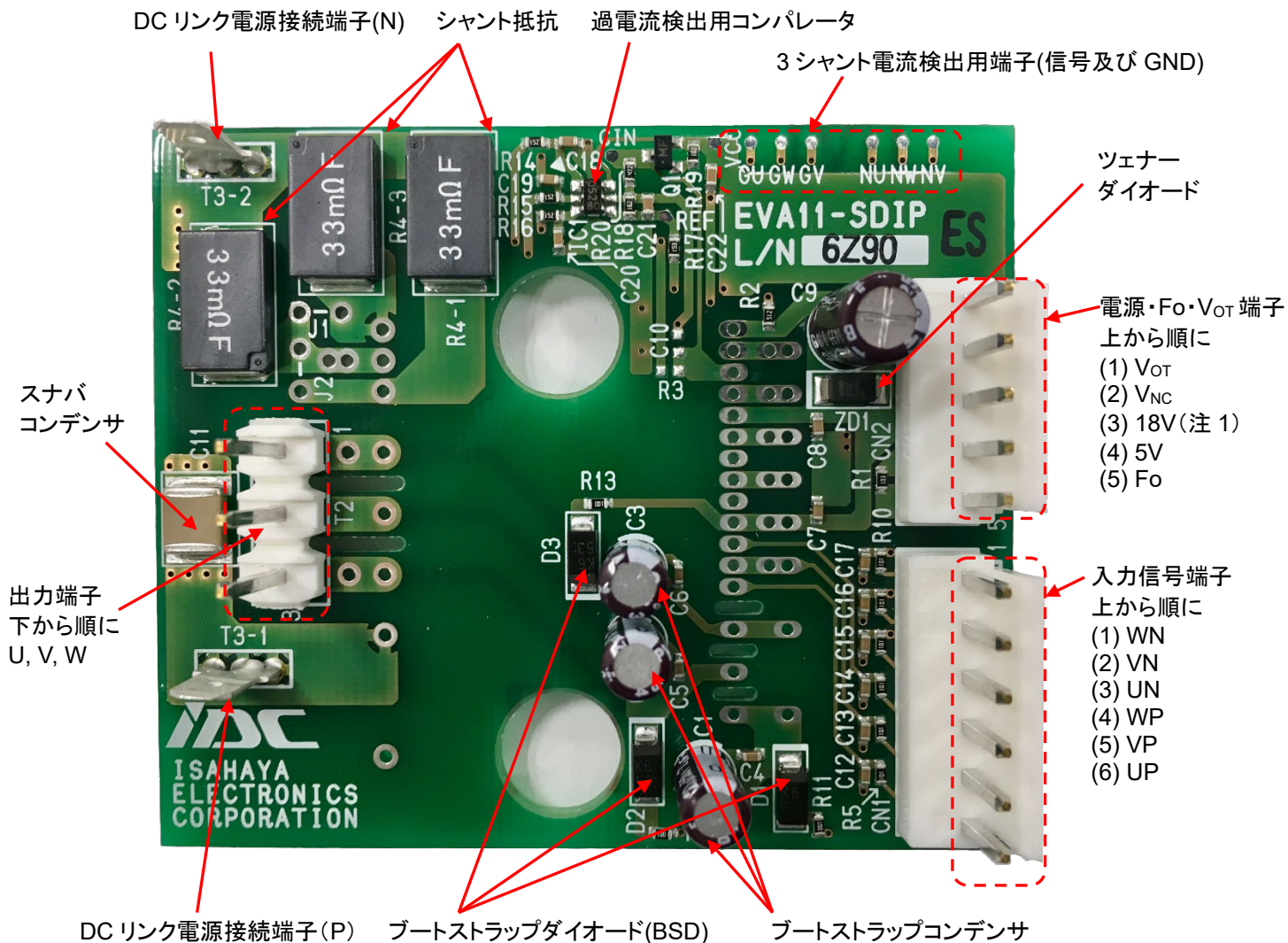


図 5-1-1 超小型 DIIPM I/F 基板 EVA11-SDIP の構成 (超小型 DIIPM Ver.6 搭載例)

#### (2) 基板で評価される場合の注意事項

- ・ 本評価基板は、これまで量産した超小型DIIPMシリーズの評価が可能な共通基板となっているため、シリーズ、使用法により、一部接続、部品変更が必要となります。詳細は本評価基板の取扱い説明書をご参照ください。
- ・ 本評価基板は、3つのシャント抵抗により電流を検出しコンパレータ(IC1)を使用して過電流保護動作させる方式を採用しています。保護レベルを変更する場合は、製品の最大短絡保護レベル規定以下(フル SiC 超小型 DIIPM は定格電流の 1.7 倍以下)にて設定をお願いいたします。なお、ジャンパー J1、J2 を接続して U、V、W 相の N 端子を相互接続することで 1 シャント回路での評価も可能です。
- ・ フル SiC 超小型は BSD 内蔵のため、基板に実装済みのブーストラップダイオード(D1~3)を3相分とも取り外して、基板上のブーストラップ充電回路が動作しないようにしてください。
- ・ フル SiC 超小型 DIIPM のインターフェイス基板で実際に評価される場合は、マイコンなどの信号源とインターフェイス基板は極力短く接続してください。
- ・ 本パターン及び部品は参考例です。動作保証はいたしかねますので、最終的には、貴社の設計基準・安全基準を満たすように基板設計いただき、実機にて十分な評価を実施願います。

(3) I/F 基板の外観 (基板サイズ: 60mm×72mm パターン厚み: 70μm)



(注 1) 超小型 DIPIPM Ver.6 シリーズなどは 15V、フル SiC 超小型のみ 18V で駆動してください。  
 (注 2) 基板の印字と実装部品については、変更となる場合がございます。

図 5-1-2 超小型 DIPIPM I/F 基板 EVA11-SDIP の外観



5.2 基板回路図、部品例、基板パターン例

(1) I/F 基板回路図

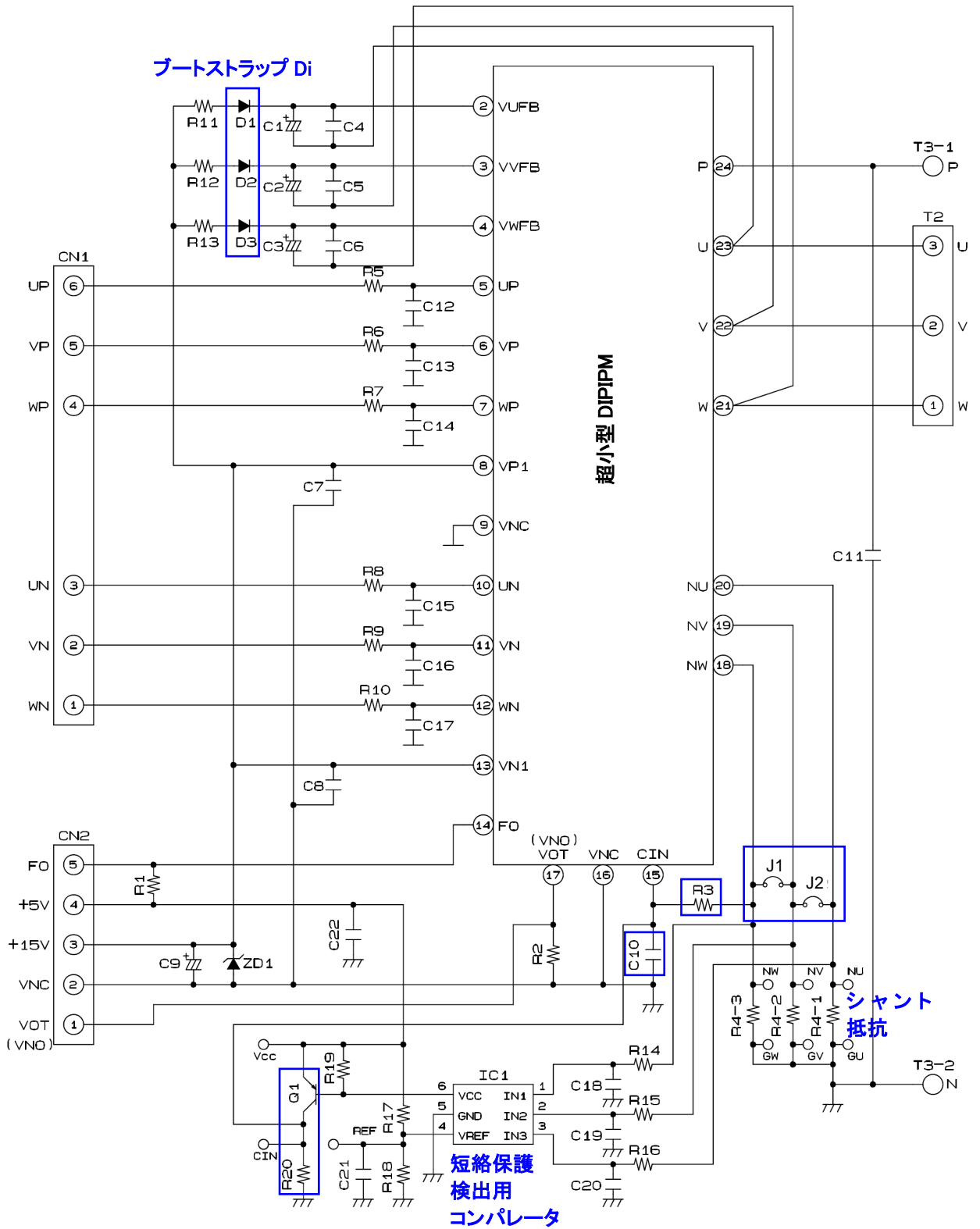


図 5-2-1 超小型 DIIPM I/F 基板 EVA11-SDIP の回路図

青枠内の部品と DIIPM は未搭載です。

P 側のフローティング制御電源の保護用ツェナダイオードは記載しておりませんが、実システム基板では V<sub>UFB-U</sub>, V<sub>VFB-V</sub>, V<sub>WFB-W</sub> 端子間にツェナダイオードを搭載することを推奨いたします。

(2) I/F 基板部品リスト

表 5-2-1 部品リスト

Symbol	Type Name	Description	Note
IC1	RT8H052C	Overcurrent protection IC	ISAHAYA
Q1	ISA1235AC1	-0.2A -50V Transistor	ISAHAYA
ZD1	CMZB24	24V 1W Zener Diode	Toshiba
D1~3	D1FK60	0.8A 600V Diode	Shindengen
C1~3	UPW1H220MDD	22 $\mu$ F 50V Al electrolytic capacitor	Nichicon
C4~8,10	GRM188R71H102K	1000pF 50V ceramic capacitor	Murata
C9	UPW1E101MED	100 $\mu$ F 25V Al electrolytic capacitor	Nichicon
C11	GRJ55DR72J224KWJ1	0.22 $\mu$ F 630V snubber capacitor	Murata
C12~20	GRM188R71H102K	1000pF 50V ceramic capacitor	Murata
C21,22	GRM188R71H104K	0.1 $\mu$ F 50V ceramic capacitor	Murata
R1	CR1/16W103F	1/16W 10K $\Omega$	Hokuriku Denko
R2	CR1/16W512F	1/16W 5.1K $\Omega$	Hokuriku Denko
R3	CR1/16W202F	1/16W 2K $\Omega$	Hokuriku Denko
R4-1,2,3	SL2TTE33L0F	2W 33m $\Omega$ Current sensing resistor	KOA
R5~10	CR1/16W101F	1/16W 100 $\Omega$	Hokuriku Denko
R11~13	CR1/16W100F	1/16W 10 $\Omega$	Hokuriku Denko
R14~16	CR1/16W152F	1/16W 1.5k $\Omega$	Hokuriku Denko
R17	CR1/16W153F	1/16W 15k $\Omega$	Hokuriku Denko
R18	CR1/16W162F	1/16W 1.6k $\Omega$	Hokuriku Denko
R19	CR1/16W102F	1/16W 1k $\Omega$	Hokuriku Denko
R20	CR1/16W472F	1/16W 4.7k $\Omega$	Hokuriku Denko
CN1	B6P-VH	6pin Socket	JST
CN2	B5P-VH	5pin Socket	JST
T2	B3P-VB-2	3-terminal connector	JST
T3-1,2	TP42097-21	Tab	Rhythm Kyoushin
J1,2		Jumper 3.5mm pitch	
DIPIPM	PS*	Super Mini DIPIPM	Mitsubishi

\* ) C10,R3,JP1,2,DIPIPM は基板に実装しておりません。

(3) I/F 基板の配線パターン例(両面基板)

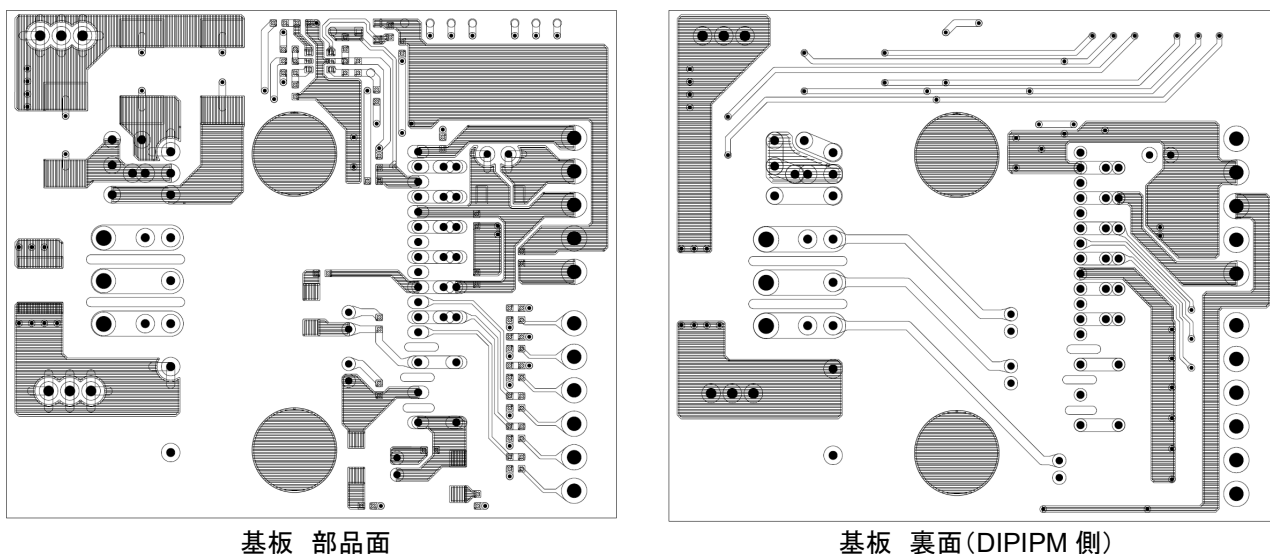
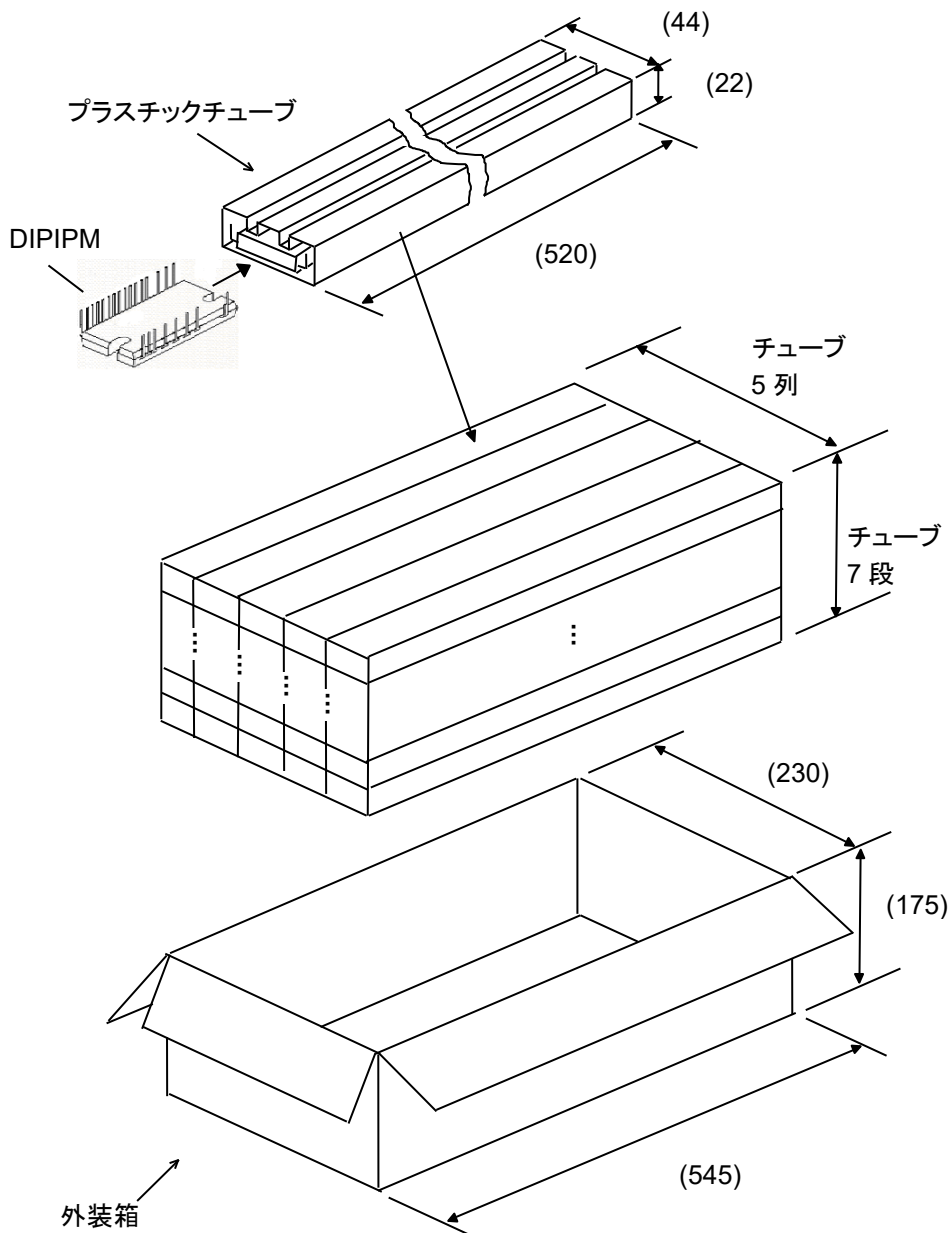


図 5-2-2 超小型 DIPIPM I/F 基板 EVA11-SDIP の配線パターン図

## 第6章 その他

### 6.1 梱包仕様



1 チューブ当たり  
DIPIPM 12 台/1 チューブ

1 外装箱あたり(最大)

5 列×7 段=35 本 (チューブ)  
35×12=420 台 (DIPIPM)

注)端数梱包時には、最上段のみ  
空チューブか、段ボールスペーサ  
を使用します。

質量

約 8.5g /DIPIPM

約 200g /1 チューブ

約 8.3 kg /1 外装箱

チューブ、梱包の質量はいずれも  
最大搭載時

箱の底及び最上段のチューブの上には、板状のスペーサが入ります。また、上部に空間がある場合、エアキャップが入ります。

図 6-1-1 梱包仕様

6.2 取り扱いの注意



運送・運搬方法	<ul style="list-style-type: none"><li>・運送中は梱包箱を正しい向きに置いてください。逆さにしたり、立てかけたり不自然な力を加えると、電極端子が変形したり樹脂ケースが壊れる原因になります。</li><li>・投げたり、落したりすると素子が壊れる原因になります。</li><li>・水に濡れると使用時の故障原因になります。降雨、降雪時の運搬には濡らさないように注意してください。</li></ul>
保管方法	<ul style="list-style-type: none"><li>・本製品を保管する場所の温度及び湿度は、5～35℃、45～75%の常温常湿範囲内が望ましく、この温度、湿度から極度にかけ離れた環境では素子の性能や信頼性を低下させることがあります。</li></ul>
長期保存	<ul style="list-style-type: none"><li>・本製品を長期(1年以上)に保管する場合は、除湿対策をしてください。なお、長期保管後、ご使用の際は、外観に傷、汚れ、錆等がないことを確認してください。</li></ul>
使用環境	<ul style="list-style-type: none"><li>・水や有機溶剤が直接付着する場所、腐蝕性ガスを発生する場所、また、爆発性ガス、粉塵、塩分などのあるところでの使用は重大な事故につながる可能性がありますので避けてください。</li></ul>
難燃性について	<ul style="list-style-type: none"><li>・エポキシ充填樹脂およびケース材料にはUL規格の94-V0認定品を使用していますが、不燃性ではありません。</li></ul>
静電気対策	<ul style="list-style-type: none"><li>・DIIPMはMOSゲート構造を有する専用ICを使用しています。静電気による破壊を防止するために下記事項を守ってください。</li><li>(1)静電気破壊に対する注意事項<ul style="list-style-type: none"><li>人体や梱包材料などに帯電した静電気が端子に印加されると、素子が破壊することがあります。静電気対策の基本は、静電気の発生をできるだけ抑えることと帯電した電荷をすばやく逃がすことが大切です。</li><li>・運搬、保存に静電気を帯びやすい容器は使用しないでください。</li><li>・DIIPMは、使用する直前までチューブから出さないでください。また素手で端子を絶対に触らないようにしてください。</li><li>・組立時、使用機器や人体を接地して作業を行ってください。 また、作業台表面および作業台周囲の床は導電性マットを敷き、接地することを推奨します。</li><li>・素子を実装したプリント基板上で各制御端子間がオープンになっていると、プリント基板に帯電した静電気により破壊することがありますのでご注意ください。</li><li>・半田ゴテを使用する場合は、コテ先をアースしてください。</li></ul></li><li>(2)各制御端子間開放時の注意事項<ul style="list-style-type: none"><li>・各制御端子間がオープン状態で、ドレイン・ソース間に電圧を印加しないでください。</li><li>・素子を取外す場合、各制御端子間を短絡してから取外してください。</li></ul></li></ul>

### 特記事項

本資料に記載されている情報は、いかなる場合でも、条件、特性及び品質を保証するものではありません。弊社半導体製品は必ず本資料に記載された最大定格の範囲内でご使用いただき、また、適用される法令による要求、規範及び基準をお客様が遵守することを前提としております。

なお、弊社の権限を有する者が署名した書面による明示の承諾がある場合を除き、人身事故を招くおそれのある用途に弊社半導体製品を使用することはできません。

パワー半導体製品は、長期の信頼性（パワーサイクルやサーマルサイクル等）について寿命を有していることや、特殊環境下（結露、高湿度、高粉塵、高塩分、高地、有機物・腐食性ガス・爆発性ガスが多い環境、端子部等への過度な応力等）での使用により、故障が発生したり、誤動作したりする場合がありますので、十分ご注意ください。また、技術的要件によっては弊社半導体製品に環境規制物質等が含まれる可能性があります。詳細確認を要する場合には、最寄りの弊社営業所、あるいは代理店までお問い合わせください。

本資料の内容・データは、専門技術・教育を受けられた技術者を対象としています。弊社半導体製品のお客様用途への適合性及び適合性に関する弊社製品データの完全性については、お客様の技術部門の責任にて評価・判断してください。なお、貴社製品への適用検討にあたって、弊社半導体製品単体で評価するだけでなく、システム全体で十分に評価し、適用可否をご判断ください。必要に応じ、電源と半導体製品の間に適切な容量のヒューズまたはブレーカーを取り付けて二次破壊を防ぐなど、安全設計に十分ご注意ください。関連するアプリケーションノート・技術資料も合わせてご参照ください。

## 安全設計に関するお願い

弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

## 本資料ご利用に際しての留意事項

- 本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機または、第三者に帰属する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入にあたりましては、事前に三菱電機または代理店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ ([www.MitsubishiElectric.co.jp/semiconductors/](http://www.MitsubishiElectric.co.jp/semiconductors/)) などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または代理店へご照会ください。
- 半導体・デバイスサイトに含まれる製品や技術をお客様が他の国へ提供する場合は、日本およびその他の国の輸出管理規制等を遵守する必要があります。また、日本、その他の仕向け地における輸出管理規則に抵触する迂回行為や再輸出は禁止します。
- 本資料の一部または全部の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または代理店までご照会ください。

記載されている会社名及び商品名は、一般に各社の商標又は登録商標です。