

## トレンチ型SiC-MOSFET

### SiC Trench MOSFET

Katsutoshi Sugawara, Yasuhiro Kagawa, Nobuo Fujiwara, Yutaka Fukui, Kohei Adachi

#### 要 旨

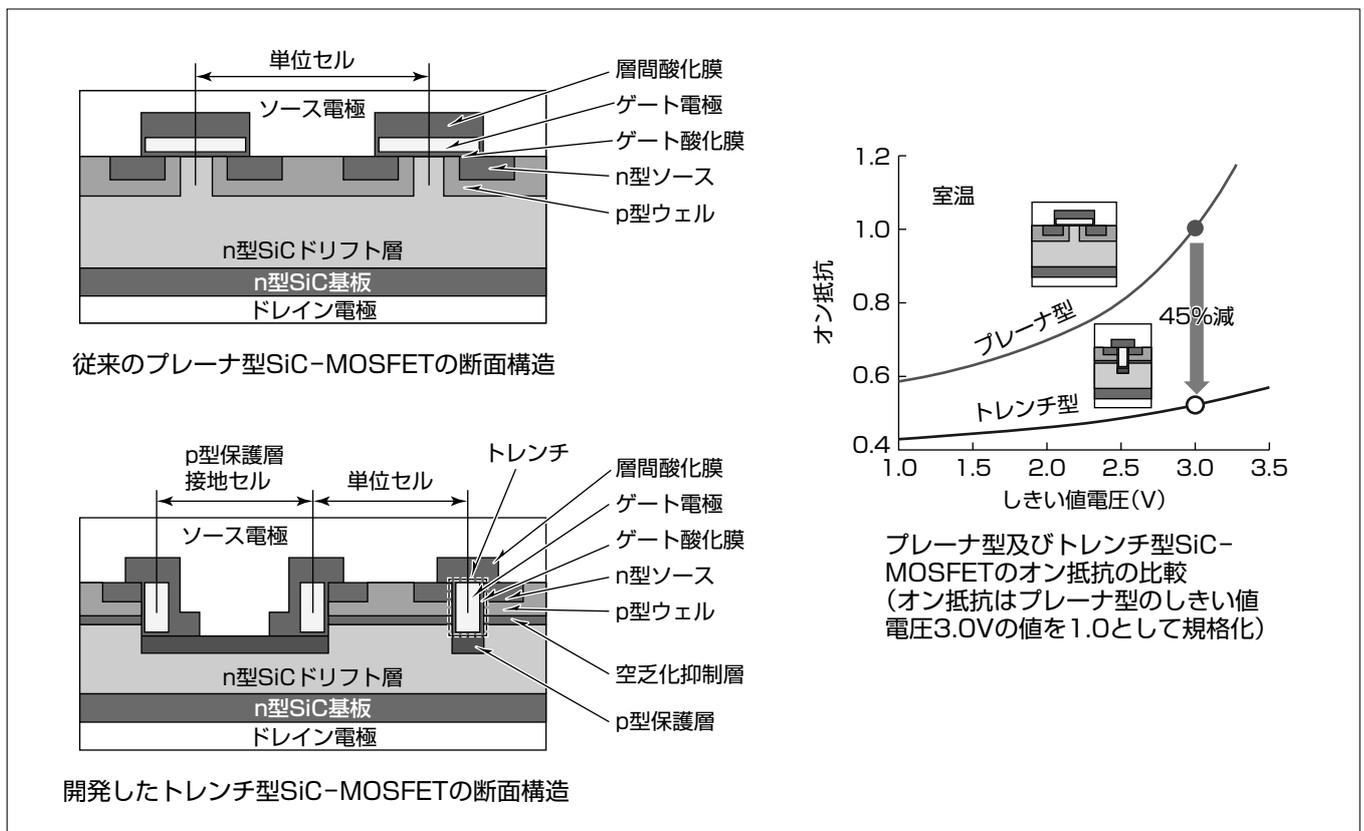
近年、パワーエレクトロニクス機器へのSiC(Silicon Carbide)パワーデバイスの導入が盛んに進められている。SiCは、従来のSi(Silicon)に比べてパワーデバイスとしての利用に有利な物性を持っており、SiCパワーデバイスの導入による飛躍的な省エネルギー化や、高耐圧化が期待されている。

SiCパワーデバイスの用途は、家電機器から電力機器まで幅広い。三菱電機では、これらを網羅する600Vから3.3kV超の耐圧を持つSiC-MOSFET(Metal Oxide Semiconductor Field Effect Transistor)及びSiC-SBD(Schottky Barrier Diode)の開発を進めてきた。さらに、これらSiCパワーデバイスのインバータへの搭載に向けた技術開発を進め、フルSiCパワーモジュールを搭載した鉄道車両用インバータを世界

で初めて<sup>(注1)</sup>製品化した。

トレンチ型SiC-MOSFETは、従来開発してきたプレーナ型に比べて単位セルの小型化、高集積化が可能な構造である。トレンチ型ではトレンチ底部のゲート酸化膜に電界が集中することから、電界緩和のためにp型保護層を設ける必要がある。今回、このp型保護層を接地する構造を設けて、これを適切な割合で配置した結果、素子の破壊耐性を示す短絡耐量が大幅に向上した。また、低損失化に寄与するオン抵抗の低減には、p型保護層とp型ウェル間に生じる電流経路狭窄(きょうさく)を緩和することが有効である。そこで、狭窄の生じる位置に空乏化抑制層を新たに導入して、オン抵抗をプレーナ型に比べて45%低減した。

(注1) 2013年12月25日現在、当社調べ



#### 開発したトレンチ型SiC-MOSFETの構造と電気特性

トレンチ底部にp型保護層を設けて、かつMOSFET動作する活性セルを一定の割合で間引いて、p型保護層をソース電極に接続するための構造(p型保護層接地セル)を形成した。これによって、ゲート酸化膜電界の緩和とスイッチング損失の低減及び短絡耐量の向上を実現した。さらに、p型ウェル直下に空乏化抑制層を設ける低抵抗化技術によって、しきい値電圧3.0Vで従来のプレーナ型に比べて45%のオン抵抗低減を実現した。

## 1. ま え が き

パワーエレクトロニクス機器に一層の省エネルギー化をもたらすSiC-MOSFETの開発を進めている。中でも、トレンチ型SiC-MOSFETは、単位セルの小型化による高集積化を始めとした特長によって、一般的なプレーナ型に比べてより一層の低損失化が期待されている。低損失化には、ドレイン電極-ソース電極間通電時の電気抵抗であるオン抵抗の低減が必要である。しかし、一般にオン抵抗の低減とともに、ドレイン電極-ソース電極間通電が始まるゲート電圧であるしきい値電圧もまた低下する関係がある。しきい値電圧の低下はノイズによる誤動作を招くため、避ける必要がある。トレンチ型はプレーナ型に比べてこのオン抵抗としきい値電圧の関係を改善することができる。すなわち、ノイズによる誤動作を招くことなく低損失化を実現することが可能である。

しかし、トレンチ型SiC-MOSFETはドリフト層内にトレンチが突出する形状のためトレンチ底部のゲート酸化膜に電界が集中することから、ゲート酸化膜が破壊されやすいという問題があった。これに対して、トレンチ底部にp型保護層を形成してゲート酸化膜にかかる電界を緩和する構造がある。この構造は、電界の緩和には優れたものの、p型保護層からドリフト層へ伸びる空乏層の応答速度が遅いため、スイッチング速度が低下する問題があった。

これまで、当社は主に家電製品への応用が想定される600V耐圧トレンチ型SiC-MOSFETの開発を進め、活性セルを間引いてp型保護層をソース電極に接続する構造(p型保護層接地セル)を設けることによるスイッチング速度向上<sup>(1)</sup>、短絡耐量(負荷短絡発生から素子破壊に至るまでの時間)の向上<sup>(2)</sup>、p型ウェル下への空乏化抑制層導入によるオン抵抗の低減<sup>(3)</sup>を実現してきた。

本稿では、これまでの取組みについて振り返るとともに、産業機器、車載機器への応用が期待される1,200V耐圧トレンチ型SiC-MOSFETの開発内容について述べる。

## 2. 600V耐圧トレンチ型SiC-MOSFETの開発

### 2.1 トレンチ型SiC-MOSFETの構造

これまでに開発を進めてきたトレンチ型SiC-MOSFETの模式図、及び走査型電子顕微鏡像を図1に示す。MOSFETとして動作する活性セルを格子状に形成して、全てのトレンチ底部にはゲート酸化膜にかかる電界を緩和するためp型保護層を設けた。p型保護層は、トレンチのSiCドライエッチング時に用いた酸化膜マスクをそのまま使用してイオン注入することで、トレンチ底部だけに選択的に形成した。また、一定の割合で活性セルを間引いてp型保護層接地セルを設けてp型保護層をソース電極に接続して、電氣的に接地した。p型保護層接地セルは、周囲の活性セルの大きさに合わせて幅の広いトレンチ及びp型保護層を設け

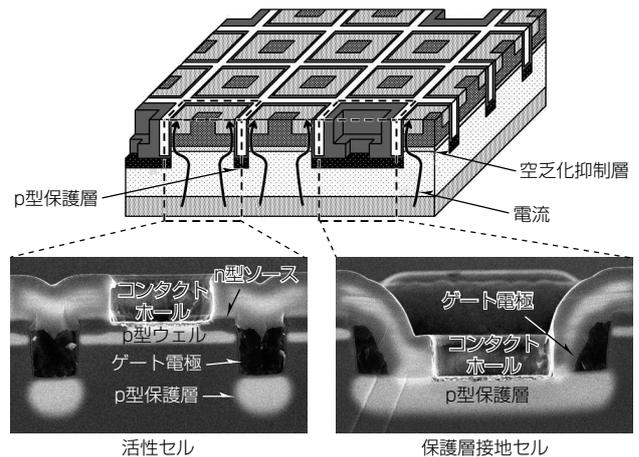


図1. トレンチ型SiC-MOSFETの模式図及び走査型電子顕微鏡像

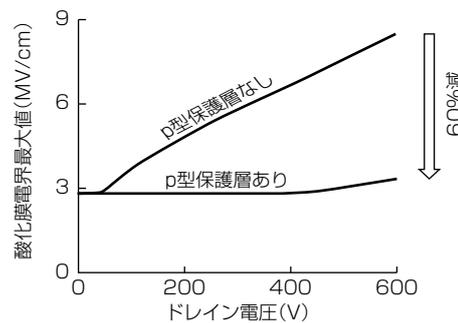


図2. 酸化膜電界最大値のドレイン電圧依存性

た後、コンタクトホールを開口して形成した。

トレンチ底部のゲート酸化膜にかかる電界のドレイン電圧依存性をシミュレーションした結果を図2に示す。p型保護層を設けることで、ドレイン電圧600Vでの酸化膜電界は約60%低減される。なお、p型保護層を設けた場合でもドレイン電圧450V付近から電界が増加しているが、p型保護層のAl(アルミニウム)濃度を上げることで、この増加分を小さくすることが可能である。これによって、ゲート酸化膜電界の増加を抑えて素子の長寿命化を図ることができる。

### 2.2 p型保護層の接地によるスイッチング速度向上<sup>(1)</sup>

MOSFETの損失は、通電時の損失とスイッチング時の損失に分かれる。スイッチング時の損失を低減するためには、スイッチング速度を高める必要がある。ターンオン、ターンオフのスイッチング速度及びスイッチング損失の外部ゲート抵抗依存性を図3に示す。p型保護層を接地することで、接地しない場合に比べてターンオン、ターンオフともにスイッチング速度が増加して、それに伴って損失が大きく減少する効果が得られた。スイッチングの際、p型保護層には空乏層内のキャリアの移動に伴う変位電流が流れる。p型保護層を接地することで、この変位電流がソース電極を通して引き抜かれるため、p型保護層とドリフト層との間の空乏層の応答速度が向上してスイッチング速度の向上、損失低減につながったと考えられる。

### 2.3 p型保護層接地セルによる短絡耐量向上<sup>(2)</sup>

短絡耐量は、負荷短絡事故の発生によって素子に大電

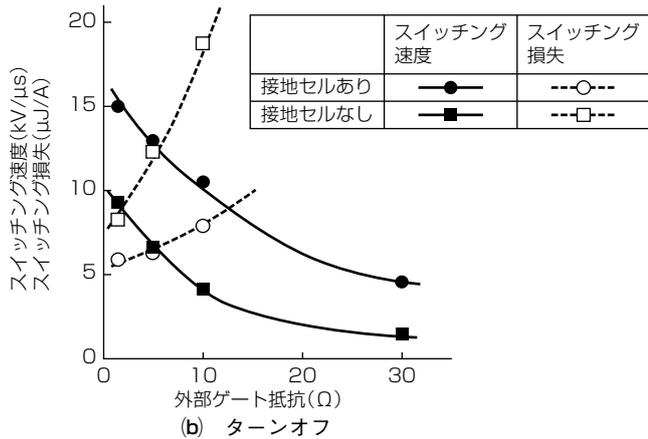
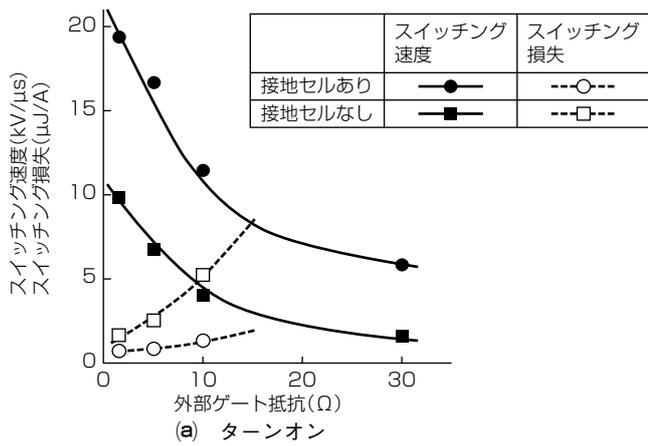


図3. スwitching速度と損失の外部ゲート抵抗依存性

圧・大電流が付加された場合に、短絡事故発生から素子破壊に至るまでの時間である。短絡耐量は、短絡事故の発生が回路的に検知されて電圧が遮断されるまでの時間よりも長い必要がある。一般に、短絡耐量はオン抵抗と関係があり、オン抵抗が小さいほど短絡耐量も小さくなる傾向がある。トレンチ型SiC-MOSFETは従来のプレーナ型に比べてオン抵抗が小さいため、短絡耐量が低下する懸念がある。

短絡耐量及びオン抵抗のp型保護層接地セル設置割合依存性を図4に示す。p型保護層接地セルの設置割合の増加に伴って短絡耐量も増加していく傾向があり、設置割合11%で約11 $\mu$ sに達した。これは、短絡発生が回路によって検知されて電圧が遮断されるまでに十分な時間である。この場合でも、設置割合は1割程度にとどまることから、オン抵抗の増加は抑えられている。なお、ゲート酸化膜破壊までにこれらの素子が消費したエネルギー、すなわち素子破壊エネルギーは、p型保護層接地セルの設置割合によらず約8J/cm<sup>2</sup>であった。

短絡耐量測定によってゲート酸化膜が破壊した素子の発光解析像を図5に示す。発光解析像から、破壊が生じた点はp型保護層接地セルから遠い部分に集中していることが分かる。p型保護層接地セルの割合によって短絡耐量に変化した原因は次のように考えられる。まず、過渡応答時にp型保護層内を流れる変位電流によってp型保護層に接

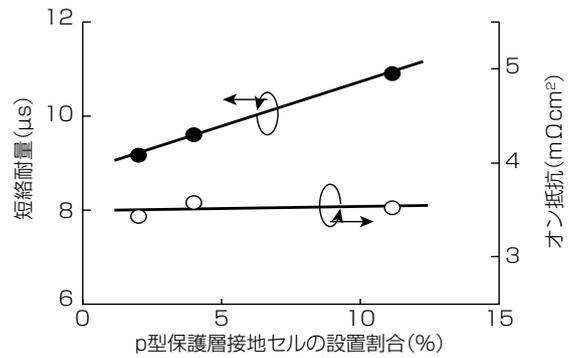


図4. 短絡耐量及びオン抵抗のp型保護層接地セル設置割合依存性

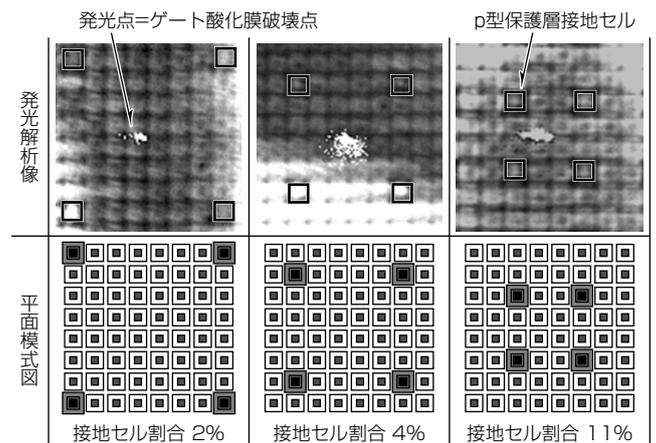


図5. ゲート酸化膜が破壊した素子の発光解析像

するトレンチ底部のゲート酸化膜にかかる電界が増加する。その際、p型保護層接地セルからの距離が大きいほど変位電流が流れる経路が長いので、ゲート酸化膜にかかる電界がより高くなる。p型保護層接地セルの設置割合が増すほどp型保護層接地セル間の距離は短くなり、変位電流によるゲート酸化膜電界の増加が抑えられる。したがって、p型保護層接地セルの割合とともに短絡耐量が増加したと考えられる。

## 2.4 空乏化抑制層導入によるオン抵抗の低減<sup>(3)</sup>

トレンチ型SiC-MOSFETでトレンチ底部にp型保護層を設けた場合、図6(a)に示すように、p型保護層からドリフト層中に延びる空乏層とp型ウェルからドリフト層中に延びる空乏層によってドレイン電流の経路(図中の矢印間)が狭窄されてオン抵抗が増加する問題がある。特に、トレンチ深さが浅い場合はこれら2つの空乏層が近づいて狭窄が強くなるため、オン抵抗が急激に増加する。これを改善するためには、トレンチ深さを深くして電流経路を広くすればよいが、それに伴ってドレイン電極-ソース電極間の耐圧が低下する。トレンチ深さを深くすることなく電流経路狭窄を緩和するためには、p型保護層-ドリフト層間、又はp型ウェル-ドリフト層間のどちらかの空乏層の延びを抑制すればよい。

空乏化抑制層は、p型ウェル下に適切な濃度・厚さのn型層を導入することで、オン時にp型ウェルからドリフト層へ延びる空乏層を空乏化抑制層内にとどめて、電流経路

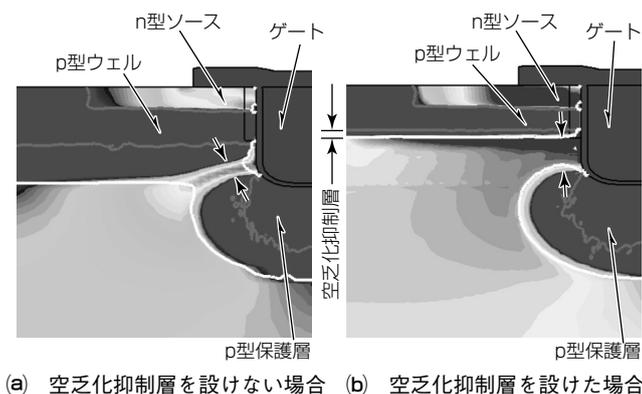


図6. 電界分布シミュレーション結果

の狭窄を緩和する技術である(図6(b))。これによって、浅いトレンチの場合でもオン抵抗の増加を抑制できる。また、オフ時には空乏層が空乏化抑制層を越えて広がるため、耐圧及びゲート酸化膜電界に対する影響は小さい。オン抵抗のトレンチ深さ依存性を図7に示す。空乏化抑制層を設けない場合、トレンチ深さが浅くなるとともにオン抵抗は急激に増加する。一方、空乏化抑制層を設けた場合にはp型ウェルドリフト層間の空乏層の伸びが抑制されるため、トレンチ深さが浅くなることに伴うオン抵抗の増加が抑えられている。すなわち、空乏化抑制層の導入によって、オン抵抗の低減が実証された。空乏化抑制層を導入したトレンチ型のオン抵抗をしきい値電圧3.0Vのプレーナ型と比較した場合、45%の低減に相当する(図8)。

### 3. 1,200V耐圧トレンチ型SiC-MOSFETの開発

1,200V耐圧MOSFETは、産業機器や車載機器への応用が見込まれている。特に車載機器向けのMOSFETは、電気自動車やハイブリッド自動車の普及によって今後大きな成長が見込まれている。

ドリフト層及びp型保護層の厚さ、濃度の最適化と、終端設計の変更、MOSFET構造の見直しを行って、1,200V耐圧のトレンチ型SiC-MOSFETを開発した。その結果、ドレイン電極-ソース電極間耐圧1,200Vの素子でも600V耐圧と同様のオン抵抗低減効果が得られた。また、1,200V耐圧での短絡耐量評価を行って、素子破壊エネルギーが600V耐圧の評価で得られた約8 J/cm<sup>2</sup>とほぼ同じであることを確かめた。これは、破壊にいたるメカニズムが600V耐圧と1,200V耐圧とで変化していないことを示している。

一方、600V耐圧から1,200V耐圧へとドレイン電圧が増加することで、ゲート酸化膜にかかる電界も増加する。トレンチ型のゲート酸化膜はSiC結晶の様々な面と接することから、その長期信頼性は未知の部分が多い。今後は、更なる特性の向上に加えて、長期信頼性を支配する要因の解明及びその改善を行う必要がある。

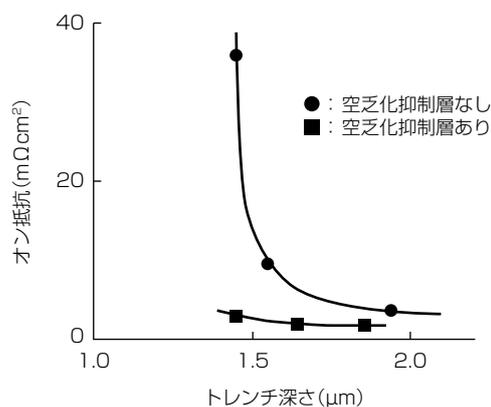


図7. オン抵抗のトレンチ深さ依存性

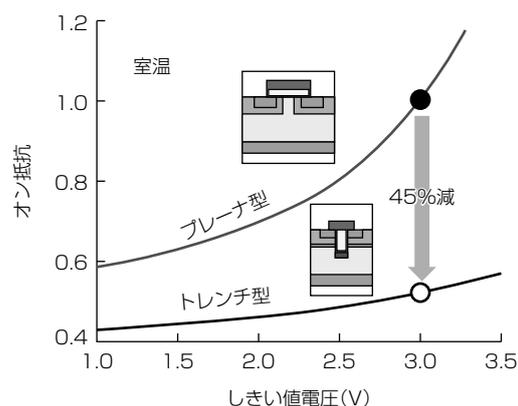


図8. プレーナ型及びトレンチ型SiC-MOSFETのオン抵抗(プレーナ型のしきい値電圧3.0V時の値で規格化)の比較

## 4. むすび

600V・1,200V耐圧トレンチ型SiC-MOSFETの開発を行い、p型保護層及びp型保護層接地セルの導入によるスイッチング損失の低減及び短絡耐量の向上を実現した。さらに、p型ウェル下への空乏化抑制層の導入によってオン抵抗の低減化を図り、しきい値電圧3.0Vで従来のプレーナ型に比べてオン抵抗が45%低減できることを実証した。

## 参考文献

- (1) Kagawa, Y., et al.: 4H-SiC Trench MOSFET with Bottom Oxide Protection, Materials Science Forum, **778-780**, 919~922 (2014)
- (2) Tanaka, R., et al.: Impact of grounding the bottom oxide protection layer on the short-circuit ruggedness of 4H-SiC trench MOSFETs, 2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD), 75~78 (2014)
- (3) Kagawa, Y., et al.: Introduction of Depletion Stopper for Reduction of JFET Resistance for 4H-SiC Trench MOSFET, Materials Science Forum, **821-823**, 761~764 (2015)