

mitsubishi

超小型DIP-IPM Ver.4

アプリケーションノート

PS2196X-4 series

PS2196X-T series

第1章 製品の概要	3
1.1 用途.....	3
1.2 製品ラインナップ.....	3
1.3 機能・特長.....	3
1.4 従来品との差異について.....	4
第2章 DIP-IPM Ver.4 のスペック	5
2.1 DIP-IPM Ver.4 のスペック.....	5
2.1.1 最大定格.....	5
2.1.2 電気的特性 熱抵抗.....	6
2.1.3 電気的特性 静特性およびスイッチング特性.....	6
2.1.4 電気的特性 制御(保護)部の特性.....	7
2.1.5 推奨使用条件.....	8
2.1.6 機械的定格および特性.....	8
2.2 DIP-IPM Ver.4 の保護機能とシーケンス.....	9
2.2.1 短絡保護.....	9
2.2.2 制御電源電圧低下保護.....	10
2.2.3 過熱保護.....	11
2.3 DIP-IPM Ver.4 のパッケージ.....	13
2.3.1 従来(PS2196-XXX)シリーズからの外形変更点.....	13
2.3.1 標準仕様(短尺仕様).....	14
2.3.2 長尺仕様.....	15
2.3.3 制御側千鳥端子仕様.....	16
2.3.4 N側エミッタ分割仕様.....	17
2.3.5 両側千鳥端子仕様.....	18
2.3.6 レーザーマーキングの位置.....	19
2.3.7 端子配列と名称.....	19
2.4 DIP-IPM Ver.4 の取り付け方法.....	21
2.4.1 DIP-IPM Ver.4 の絶縁距離.....	21
2.4.2 DIP-IPM Ver.4 の取り付け方法と注意点.....	21
第3章 DIP-IPM Ver.4 の使用方法	22
3.1 DIP-IPM Ver.4 の使用方法と応用.....	22
3.1.1 システム接続例.....	22
3.1.2 インターフェイス回路例(直接入力).....	23
3.1.3 インターフェイス回路例(直接入力)ーN側エミッタ分割仕様の場合.....	24
3.1.4 インターフェイス回路例(フォトカプラ駆動).....	25
3.1.5 V_{No} 配線の内部接続化について.....	26
3.1.6 DIP-IPM の信号入力端子と Fo 端子.....	27
3.1.7 スナバコンデンサの接続.....	28
3.1.8 外部シャント抵抗周辺回路の接続.....	29
3.1.9 PCB設計時の注意点について.....	31
3.1.10 DIP-IPMの SOA(スイッチング時、短絡時).....	31
3.1.11 動作寿命について.....	32
3.2 パワー・ロスと放熱設計.....	33
3.2.1 損失計算方法(例).....	33
3.2.2 温度上昇の考え方と計算例.....	35
3.3 ノイズ耐量について.....	36
3.3.1 測定回路.....	36
3.3.2 対策と注意事項.....	36
3.3.3 静電気耐量について.....	37
第4章 DIP-IPM Ver.4 の外部定数設定方法	38
4.1 短絡保護用外部シャント抵抗の設定方法.....	38
4.2 ブートストラップ回路の接続と設定方法.....	40
4.2.1 初期充電動作・原理.....	40
4.2.2 インバータ動作中のブートストラップ充電動作.....	40
第5章 DIP-IPM Ver.4 の I/F 基板例	43
5.1 I/F 基板について.....	43
5.2 I/F 基板の配線パターン例(両面基板).....	44
5.3 回路図と部品図.....	45
第6章 その他	47
6.1 梱包仕様.....	47
6.2 取り扱いの注意.....	48

第1章 製品の概要

1.1 用途

白物家電(エアコン、洗濯機、冷蔵庫)のモータのインバータ制御用
小容量産業用モータ駆動(ただし、車載用途を除く絶縁耐電圧 $V_{iso}=1500V_{rms}$ で使用可能な分野に限定されます。)

1.2 製品ラインナップ

表 1-1: DIP-IPM Ver.4 製品ラインナップ (過熱保護機能無し)

形名	定格	モータ定格 ^{注1)}	絶縁耐電圧 V_{iso}
PS21961-4/-4A/-4C/-4W/-4S	3A/600V	0.2kW/220VAC	AC1500Vrms (正弦波 60Hz, 1min 全端子共通-放熱フィン間)
PS21962-4/-4A/-4C/-4W/-4S	5A/600V	0.4kW/220VAC	
PS21963-4E/-4AE/-4CE /-4EW/-4ES	8A/600V	0.75kW/220VAC	
PS21963-4/-4A/-4C/-4W/-4S	10A/600V	0.75kW/220VAC	
PS21964-4/-4A/-4C/-4W/-4S	15A/600V	0.75kW/220VAC	
PS21965-4/-4A/-4C/-4W/-4S	20A/600V	1.5kW/220VAC	

表 1-2: DIP-IPM Ver.4 製品ラインナップ (過熱保護機能有り)

形名	定格	モータ定格 ^{注1)}	絶縁耐電圧 V_{iso}
PS21961-T/-AT/-CT/-TW/-ST	3A/600V	0.2kW/220VAC	AC1500Vrms (正弦波 60Hz, 1min 全端子共通-放熱フィン間)
PS21962-T/-AT/-CT/-TW/-ST	5A/600V	0.4kW/220VAC	
PS21963-ET/-AET/-CET /-ETW/-EST	8A/600V	0.75kW/220VAC	
PS21963-T/-AT/-CT/-TW/-ST	10A/600V	0.75kW/220VAC	
PS21964-T/-AT/-CT/-TW/-ST	15A/600V	0.75kW/220VAC	
PS21965-T/-AT/-CT/-TW/-ST	20A/600V	1.5kW/220VAC	

注1) モータ定格は、以下の条件時の計算結果によるものです。実際にはご使用条件により適用可能なモータ容量は異なります。(条件: $V_{AC}=220V, V_D=V_{DB}=15V, T_c=100^\circ C, T_j=125^\circ C, f_c=5kHz, P.F=0.8, \text{motor efficiency}=0.75, \text{current ripple ratio}=1.05, \text{motor over load } 150\% \text{ } 1\text{min.}$)

注2) 形名の後に追加される“-A”は長尺端子仕様、“-C”は制御側千鳥端子仕様、“-S”はN側エミッタ分割仕様、“-W”は両側千鳥端子仕様、“-T”は過熱保護機能付きを示します。詳細は外形図等を参照ください。

1.3 機能・特長

DIP-IPM Ver.4は、AC100V～200V系の小容量モータ制御用インバータのパワー素子、および駆動・保護回路を、量産性に優れたトランスファーモールド方式により、1パッケージに集積した、小型インテリジェントパワーモジュール(IPM)です。

図 1-1 に外観写真、図 1-2 に内部構造断面図を示します。

DIP-IPM Ver.4は、絶縁放熱シート構造を用いることで、放熱性の向上を実現しています。放熱性を高めることでチップの小型化が可能となり、従来機種とパワー素子の温度上昇を同等レベルに抑えながら小型化を実現しました。

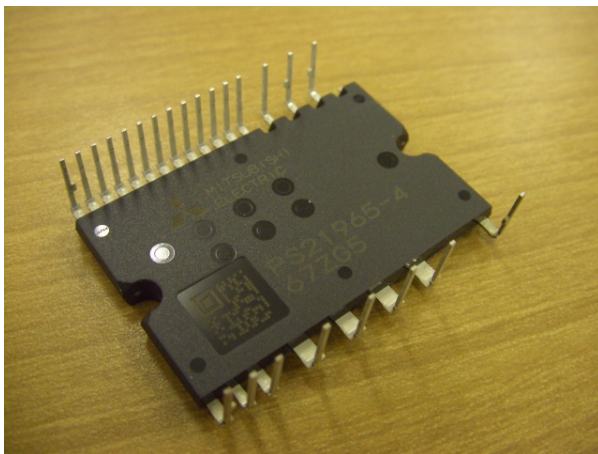


図 1-1 外観写真 (写真は PS21965-4)

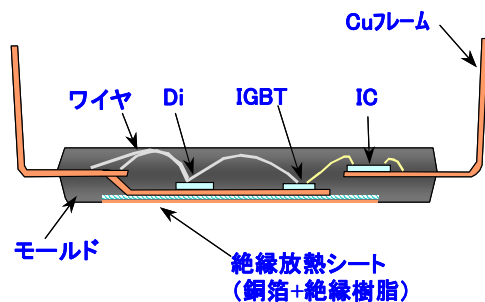


図 1-2 内部断面構造図(PS21961 除く)

■内蔵機能

- P側 IGBT 用:
 - 駆動回路、高圧レベルシフト回路、
 - 制御電源電圧低下(UV)保護回路(エラー出力無し)
- N側 IGBT 用:
 - 駆動回路、短絡保護回路、
 - 制御電源電圧低下(UV)保護回路
 - 過熱保護機能回路(-Tのみ)
 - (短絡保護は、DIP-IPM外部の電流検出抵抗で過電流に対する電圧を検出し、DIP-IPMへフィードバックして行う。)
- エラー出力:
 - N側 IGBT 短絡保護時、N側制御電源電圧低下時出力(-Tのみ)過熱保護時出力
- IGBT 駆動電源:
 - DC15V 単一電源
- 入力インターフェイス:
 - 3V,5V 対応、ハイアクティブ駆動

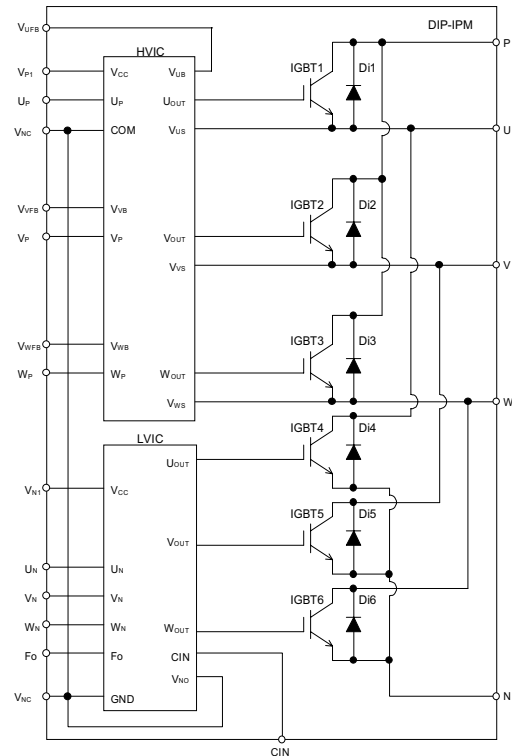


図 1-3 内部回路図(-S仕様除く)
(-S仕様は3. 1. 3項を参照ください)

1. 4 従来品との差異について

超小型 DIP-IPM Ver.4 の従来シリーズ(PS2196X-XXX)と本シリーズ(PS2196X-4、-T)の相違点は、以下のとおりとなります。

(1)外部端子形状の変更

電気用品安全法における端子間絶縁距離規定の端子間空間距離 2.5mm(min)、端子間沿面距離 3.0mm(min)を確保するために、端子部フレーム形状を一部変更いたします。なお、本変更による端子配置、端子ピッチの変更はありません。詳細につきましては、2. 3. 1~6項及び、2. 4. 1項を参照願います。

(2)VNO 配線(17pin)の内部接続化

従来、外部にて 16pin の V_{NC} 端子と接続頂いていた V_{NO} (N側 IGBT 駆動回路 GND)配線を DIP-IPM のパッケージ内部で接続するように変更いたします。これに伴い従来 V_{NO} 端子であった 17pin は、内部でノーコネク(オープン)となりますので、従来の 16pin と 17pin 端子を接続している基板でそのままご使用いただいても問題ありません。詳細につきましては、3. 1. 2~5項を参照願います。

(3)過熱保護機能搭載

PS2196X-T シリーズには、上記(1)(2)に加え従来の PS2196X-XXX にはない過熱保護機能を搭載しています。詳細につきましては、2. 2. 3項を参照願います。

DIP-IPM Ver.4のスペック

第2章 DIP-IPM Ver.4 のスペック

2.1 DIP-IPM Ver.4 のスペック

DIP-IPM Ver.4 のスペックを代表例 PS21964-4/-4A/-4C/-4W (15A/600V) で説明します。他の形名および詳細はデータシートをご参照ください。

2.1.1 最大定格

PS21964-4/-4A/-4C/-4W (15A/600V) の最大定格を、表 2-1 に示します。

表 2-1 PS21964-4/-4A/-4C/-4W (15A/600V) の最大定格

最大定格(指定のない場合はTj=25°C) インバータ部				
項目	記号	条件	定格値	単位
電源電圧	V _{CC}	P-N端子間	450	V
電源電圧(サージ)	V _{CC(surge)}	P-N端子間	500	V
コレクタ・エミッタ間電圧	V _{CES}		600	V
コレクタ電流	±I _C	Tc=25°C	15	A
コレクタ電流(ピーク)	±I _{CP}	Tc=25°C, 1ms以下	30	A
コレクタ損失	P _C	Tc=25°C, 1素子当り	33.3	W
接合温度	T _j	(注1)	-20~+125	°C

(注1) DIP-IPM内蔵パワーチップ自身の最大瞬時接合温度は150°C(@Tc≤100°C)ですが、安全動作させるための平均動作接合温度はTj≤125°C(@Tc≤100°C)と規定します。

制御(保護)部				
項目	記号	条件	定格値	単位
制御電源電圧	V _D	V _{P1} -V _{NC} , V _{N1} -V _{NC} 端子間	20	V
制御電源電圧	V _{DB}	V _{UFB-U} , V _{UFB-V} , V _{UFB-W} 端子間	20	V
入力電圧	V _{IN}	U _p , V _p , W _p , U _N , V _N , W _N -V _{NC} 端子間	-0.5~V _D +0.5	V
エラー出力印加電圧	V _{FO}	Fo-V _{NC} 端子間	-0.5~V _D +0.5	V
エラー出力電流	I _{FO}	Fo端子のシンク電流値	1	mA
電流検出入力電圧	V _{SC}	CIN-V _{NC} 端子間	-0.5~V _D +0.5	V

全システム				
項目	記号	条件	定格値	単位
電源電圧自己保護範囲(短絡)	V _{CC(PROT)}	V _D =13.5~16.5V, インバータ部 Tj=125°Cスタート, 2μs以内 非線り返し	400	V
動作モジュール温度	T _c	(注2)	-20~+100	°C
保存温度	T _{stg}		-40~+125	°C
絶縁耐圧	V _{iso}	正弦波 60Hz, 1分間 全端子共通-放熱フィン間	1500	Vrms

(注2) T_cの測定点(イメージ)

各項目の説明

- ① V_{CC} 内蔵 IGBT がスイッチングしていない状態で、P-N 端子間に印加できる最大直流電源電圧。この電圧を超えるような場合は、ブレーキ回 等による制限をかける必要があります。
- ② V_{CC(surge)} 内蔵 IGBT がスイッチングしている状態で、P-N 端子間に現れるサージ電圧の最大値。この電圧を超えないように、母線のインダクタンスを低減したり、スナバ回 を接続する必要があります。
- ③ V_{CES} 内蔵 IGBT の C-E 間に印加できる最大電圧定格。
- ④ ±I_C Tc=25°Cの条件で、DC 電流を連続通電可能な電流値。温度が高くなると連続通電可能な電流値は下がります。
- ⑤ T_j Tc=100°Cにおいて、接合温度 125°C以内の使用であれば、1000 万サイクル以上のパワーサイクル寿命を確保できます。
- ⑥ V_{CC(PROT)} 内蔵の IGBT が短絡や過電流状態になった場合に、IPM の保護機能によって IGBT を安全に遮断できる最大電源電圧。この条件を超えると保護できず、素子破壊に至る可能性が高くなります。
- ⑦ T_c 測定点 DIP-IPM Ver.4 はチップの直下を T_c 測定点と定義しています。フィンに溝を加工し、チップ直下に熱電対があたるようにします。

2. 1. 2 電気的特性 熱抵抗

PS21964-4/-4A/-4C/-4W (15A/600V)の熱抵抗規格を、表 2-2 に示します。

表 2-2 PS21964-4/-4A/-4C/-4W (15A/600V)の熱抵抗規格

熱抵抗						
項目	記号	条件	最小値	標準値	最大値	単位
接合・ケース間熱抵抗 (注3)	$R_{th(j-c)Q}$	インバータIGBT(1/6モジュール)	-	-	3.0	°C/W
	$R_{th(j-c)F}$	インバータFWD(1/6モジュール)	-	-	3.9	

(注3) DIP-IPMと放熱フィンとの接触面には、熱伝導のよいグリースを100~200 μ m程度、均一になるように塗布の上、規定の締め付けトルクにて締め付けることを規定します。(またグリースは使用動作温度範囲内で変質せず、経年変化のないものとしします。)
ただし、製品放熱面-フィン間の熱抵抗は、締め付けた状態におけるグリースの厚さ、グリースの熱伝導率等により異なります。目安として、グリース厚20 μ m、グリースの熱伝導率1.0W/m \cdot Kの場合の製品放熱面-フィン間熱抵抗値(1/6モジュール)は0.3°C/Wとなります。

規格表のデータは、接合-ケース間の定常時の熱抵抗を示しています。DIP-IPM Ver.4の熱抵抗は、およそ10秒で飽和し定常状態になります。10秒以下の熱抵抗(過渡熱抵抗)は図 2-1 の通りです。

図 2-1 の過渡熱抵抗 $Z_{th(j-c)}$ の "1" が、規格表の熱抵抗値に相当します。PS21964 の IGBT 部の 0.3sec における過渡熱抵抗値は、 $3.0(°C/W) \times 0.8 = 2.4(°C/W)$ となります。

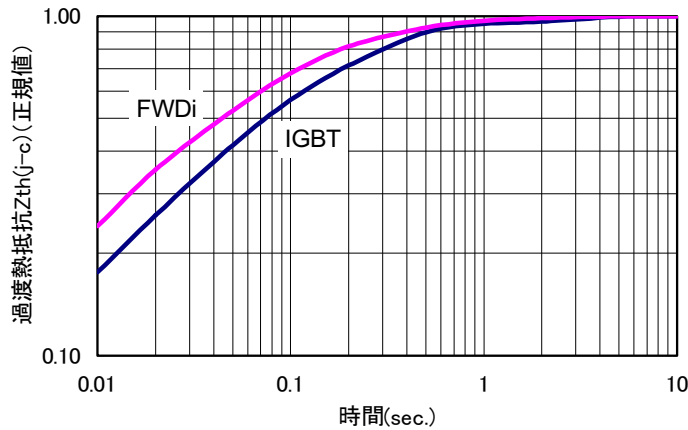


図 2-1: DIP-IPM Ver.4 の IGBT/FWD 過渡熱抵抗特性(代表例)

2. 1. 3 電気的特性 静特性およびスイッチング特性

PS21964-4/-4A/-4C/-4W (15A/600V)の静特性およびスイッチング特性の規格を、表 2-3 に示します。

表 2-3 PS21964-4/-4A/-4C/-4W (15A/600V)の静特性およびスイッチング特性規格

電気的特性(指定のない場合はTj=25°C)						
インバータ部						
項目	記号	条件	最小値	標準値	最大値	単位
コレクタ・エミッタ間飽和電圧	$V_{CE(sat)}$	$V_D=V_{DB}=15V$ $I_C=15A, T_J=25°C$	-	1.70	2.20	V
		$V_{IN}=5V$ $I_C=15A, T_J=125°C$	-	1.80	2.30	
FWD順電圧降下	V_{EC}	$T_J=25°C, -I_C=15A, V_{IN}=0V$	-	1.70	2.20	V
スイッチング時間	t_{on}	$V_{CC}=300V, V_D=V_{DB}=15V$ $I_C=15A, T_J=125°C$ 誘導負荷(上-下アーム)	0.70	1.30	1.90	μ s
	t_r		-	0.30	-	
	$t_{C(on)}$		-	0.50	0.75	
	t_{off}		-	1.60	2.20	
	$t_{C(off)}$		$V_{IN}=0 \leftrightarrow 5V$	-	0.50	
コレクタ・エミッタ間遮断電流	I_{CES}	$V_{CE}=V_{CES}$ $T_J=25°C$	-	-	1	mA
		$T_J=125°C$	-	-	10	

スイッチング時間の定義、および測定方法については、図 2-2、図 2-3 に示します。スイッチングはL 負荷(誘導負荷)ハーフブリッジ回路で測定しています。

DIP-IPM Ver.4のスペック

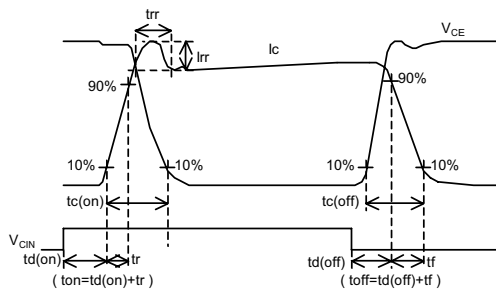


図 2-2: スイッチング時間の定義

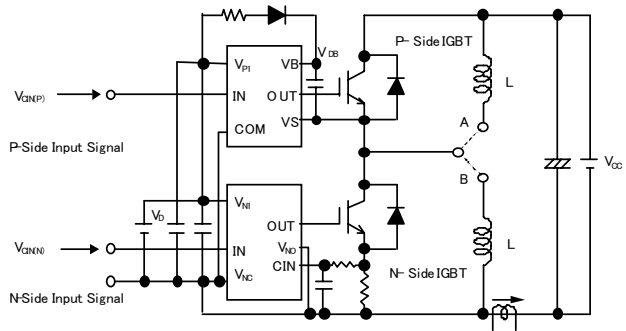


図 2-3: L 負荷ハーフブリッジ測定回路

* : P 側スイッチング時は B を接続、N 側スイッチング時は A を接続

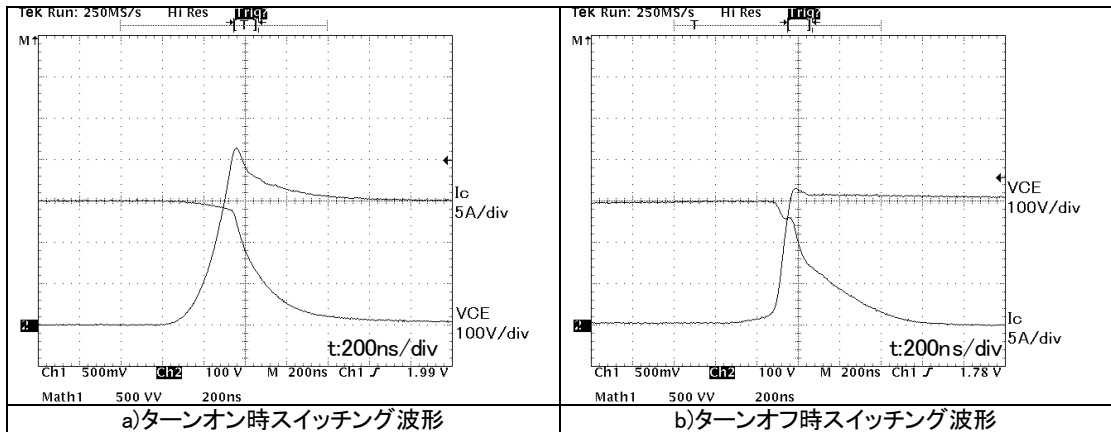


図 2-4: DIP-IPM Ver.4 PS21964-4(15A/600V) スイッチング波形(代表例)
測定条件: $V_{CC}=300V, V_D=V_{DB}=15V, T_j=125^\circ C, L$ 負荷ハーフブリッジ, $I_c=15A$

2. 1. 4 電気的特性 制御(保護)部の特性

PS21964-4/-4A/-4C/-4W (15A/600V)の制御(保護)部の規格を、表 2-4 に示します。

表 2-4 PS21964-4/-4A/-4C/-4W (15A/600V) の制御(保護)部規格

制御(保護)部	項目	記号	条件	最小値	標準値	最大値	単位
回路電流	I_D	$V_D=V_{DB}=15V$ $V_{IN}=5V$	$V_{PI}-V_{NC}, V_{N1}-V_{NC}$ の総和	—	—	2.80	mA
			$V_{UFB}-U, V_{VFB}-V, V_{WFB}-W$	—	—	0.55	
		$V_D=V_{DB}=15V$ $V_{IN}=0V$	$V_{PI}-V_{NC}, V_{N1}-V_{NC}$ の総和	—	—	2.80	
			$V_{UFB}-U, V_{VFB}-V, V_{WFB}-W$	—	—	0.55	
エラー出力電圧	V_{FQH}	$V_{SC}=0V, F_o=10k\Omega$ 5V プルアップ	4.9	—	—	V	
	V_{FQL}	$V_{SC}=1V, I_{FO}=1mA$	—	—	0.95	V	
短絡保護トリップレベル	$V_{SC(ref)}$	$T_j=25^\circ C, V_D=15V$	0.43	0.48	0.53	V	
入力電流	I_{IN}	$V_{IN}=5V$	0.70	1.00	1.50	mA	
制御電源電圧 低下保護	UV_{DBL}	$T_j \leq 125^\circ C$	トリップレベル	10.0	—	12.0	V
	UV_{DBR}		リセットレベル	10.5	—	12.5	V
	UV_{DL}		トリップレベル	10.3	—	12.5	V
	UV_{DR}		リセットレベル	10.8	—	13.0	V
エラー出力パルス幅	t_{FO}	(注5)	20	—	—	μs	
入力オンしきい電圧	$V_{th(on)}$	$U_{PI}, V_{PI}, W_{PI}-V_{NC}, U_{N1}, V_{N1}, W_{N1}-V_{NC}$ 端子間	—	2.1	2.6	V	
入力オフしきい電圧	$V_{th(off)}$		0.8	1.3	—	V	
入力しきい値 ヒステリシス電圧	$V_{th(hys)}$		0.35	0.65	—	V	

(注4) 短絡保護は下アームのみ動作します。また、SCは定格の1.7倍以下になるように外部抵抗を選定してください。
(注5) エラー出力は、短絡保護・ V_D 制御電源電圧保護のとき下アームのみ出力します。

DIP-IPM Ver.4のスペック

2.1.5 推奨使用条件

PS21964-4/-4A/-4C/-4W (15A/600V)の推奨使用条件を、表 2-5 に示します。

推奨使用条件は必須使用条件ではありませんが、DIP-IPM を安全に使用するためには極力、推奨使用条件範囲内で使用されるようお願いいたします。

表 2-5 PS21964-4/-4A/-4C/-4W (15A/600V)の推奨使用条件

推奨使用条件		項目	記号	条件	推奨値			単位
最小	標準				最大			
電源電圧	V_{CC}	P-N端子間		0	300	400	V	
制御電源電圧	V_D	$V_{PI}-V_{NC}$, $V_{NI}-V_{NC}$ 端子間		13.5	15.0	16.5	V	
制御電源電圧	V_{DB}	$V_{UFB}-U$, $V_{VFB}-V$, $V_{WFB}-W$ 端子間		13.0	15.0	18.5	V	
制御電源電圧変動率	ΔV_D , ΔV_{DB}			-1	-	1	V/ μ s	
上下アーム休止時間	t_{dead}	各アーム段入力に対応, $T_c \leq 100^\circ\text{C}$		1.5	-	-	μ s	
許容実効電流	I_o	$V_{CC}=300\text{V}$, $V_D=V_{DB}=15\text{V}$, P.F=0.8, 正弦波出力, $T_c \leq 100^\circ\text{C}$, $T_j \leq 125^\circ\text{C}$ (注8)	$f_{PWM}=5\text{kHz}$	-	-	7.5	Arms	
			$f_{PWM}=15\text{kHz}$	-	-	4.5		
許容最小入力パルス幅	PWIN(on)	(注9)		0.5	-	-	μ s	
	PWIN(off)			0.5	-	-		
V_{NC} 端子変動	V_{NC}	$V_{NC}-N$ 端子間の電位差, サージ電圧含む		-5.0	-	5.0	V	

(注8) 許容実効電流に関しては、使用条件によって変わります。
(注9) PWIN(on), PWIN(off)以下のパルス幅の入力信号には出力が応答しないことがあります。

2.1.6 機械的定格および特性

PS21964-4/-4A/-4C/-4W (15A/600V)の機械的定格および特性規格を、表 2-6 に示します。

DIP-IPM Ver.4 の取り付け方法については、2.4 項を参照ください。

表 2-6 PS21964-4/-4A/-4C/-4W (15A/600V)の機械的定格および特性

機械的定格及び特性		項目	条件	準拠規格	最小値	標準値	最大値	単位
締め付けトルク強度	取り付けネジ M3 (注6)							
端子引張り強度	荷重 制御端子: 0.5kg・f/4.9N パワー端子: 1.0kg・f/9.8N	EIAJ-ED-4701	10	-	-	-	s	
端子曲げ強度	荷重 制御端子: 0.25kg・f/2.45N パワー端子: 0.5kg・f/4.9N 上記荷重にて90度曲げ	EIAJ-ED-4701	2	-	-	-	回	
質量			-	-	10	-	g	
放熱面平面度		(注7)	-	-50	-	+100	μ m	

(注6) 取り付けネジには平座金(推奨; JIS B1256)を使用してください。
(注7) 放熱面平面度測定位置

DIP-IPM Ver.4のスペック

2.2 DIP-IPM Ver.4の保護機能とシーケンス

DIP-IPM Ver.4には、短絡保護、制御電源電圧低下保護、過熱保護(-Tシリーズのみ)があります。各保護機能の動作シーケンスを示します。

2.2.1 短絡保護

DIP-IPMは、内部に電流検出手段を内蔵していませんので、外部にシャント抵抗(電流検出用抵抗)を接続する必要があります。このシャント抵抗に電流が流れることによって発生する電圧を、DIP-IPMのCIN端子にフィードバックさせることで、DIP-IPMの短絡保護が可能になります。CIN端子はコンパレータに接続されています。しきい値 $V_{SC}=0.48V$ (typ) で保護動作します。

保護動作に入ると、N側のIGBT3相分のゲートを遮断し、Fo信号を出力します。

スイッチング時のリカバリー電流や、ノイズによる保護回路への影響を取り除くため、CIN端子のラインにCRフィルタ(時定数 $1.5\sim 2\mu s$ 程度)を設置してください。

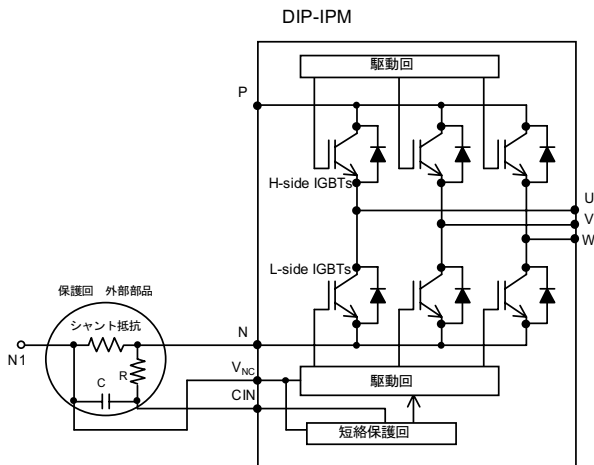


図 2-4: 短絡保護回路(外部シャント周辺回路例)

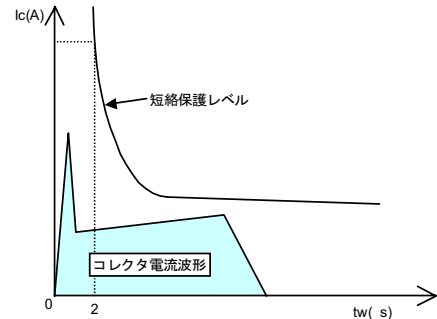


図 2-5: フィルター設定

短絡保護動作シーケンス(N側のみ)・・・外付けシャント抵抗, CR時定数回路による保護

- a1. 正常動作=IGBTオン=出力電流あり
- a2. 過電流検出(SCトリガ)・・・CR時定数回路で最適遮断時間を設定(1.5~2.0μs)
- a3. IGBTゲートをハード遮断
- a4. IGBTをオフ
- a5. Fo出力(20μs(min))
- a6. 入力“L”=オフ
- a7. 入力“H”=オン
- a8. 入力“H”でもIGBTはオフ状態

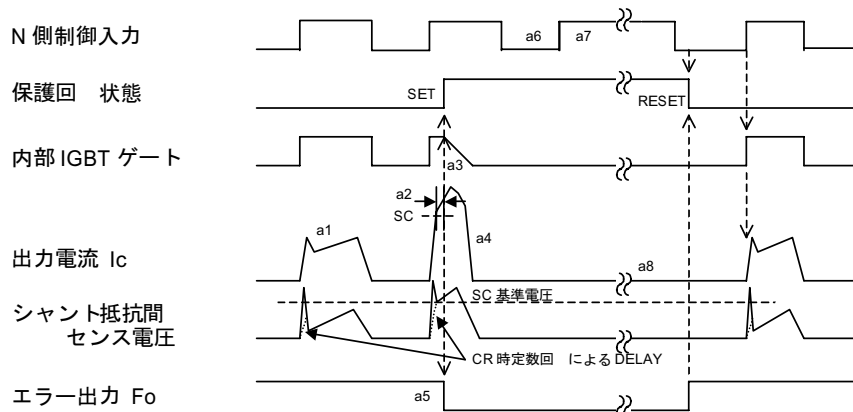


図 2-6: DIP-IPM Ver.4の短絡保護動作シーケンス

2.2.2 制御電源電圧低下保護

制御電源電圧が低下すると、IGBT のゲート電圧が下がることによる弊害が生じます。推奨電源電圧内でのご使用をお願いします。

制御電源電圧が低下すると、IGBT を保護するため、制御電源電圧低下保護(UV)が動作します。P 側、N 側の両方に UV 回 がありますが、N 側回 で UV が動作したときのみ、Fo 信号を出力します。Fo 信号は、制御電源電圧が低下している期間出力します。P 側は IGBT のゲート遮断のみで、Fo 信号は出力しません。

また、この保護回 には、ノイズ等による瞬間的な電圧低下での保護動作を除去するため、約10 μ sec(標準値)フィルタを内蔵しておりますので制御電源電圧がトリップ電圧(UV_{DBt}, UV_{Dt})まで低下した後、約10 μ sec間は入力信号を伝達します。

表 2-7: 各制御電源電圧範囲での DIP-IPM の状態

制御電源電圧範囲(V _D , V _{DR})	状態
0~4.0	電源を入れない状態と同じです。 電源電圧低下保護(UV)が動作せず、Fo も出力しません。 IGBT のしきい電圧以下であり、基本的にオンしません。外來ノイズ等により誤オンする可能性がありますので制御電源より先に DC-LINK 電圧を立ち上げないでください。
4.0~12.5	制御電源電圧低下保護(UV)動作範囲内 制御入力信号を加えても、スイッチング動作を停止しています。 電源電圧低下保護(UV)が動作し、Fo を出力します。
12.5~13.5	スイッチング動作します。但し推奨範囲外ですので、DIP-IPM の仕様書で規定している V _{CE(sat)} ・スイッチング時間共に規格値を外れてコレクタ損失が増加し、接合温度が上昇する可能性があります。
13.5~16.5 (P 側 13.0~18.5V)	推奨電源電圧範囲内 正常動作します。
16.5~20.0 (P 側 18.5~20.0V)	スイッチング動作します。 但し、推奨範囲外ですので、スイッチング時間が高速になりすぎて、短絡時にはチップの短絡耐量が不足し、破壊することがあります。
20.0~	IPM の制御回 が破壊されます。

Note) Fo は V_D 電源のみ動作します。

※リップルノイズの規定

制御 IC の電源ラインに高周波の急峻なノイズが重畳されると、IC の誤動作が起きて Fo を出力し、更には出力を停止(ゲート遮断)することがあります。この誤動作を回避するために、ノイズの変動成分が $\pm 1V/\mu s$ より穏やかになるよう、リップル電圧が 2V より小さくなるように、電源回 を設計してください。

規定: $dV/dt \leq 1V/\mu s$, $V_{ripple} \leq 2V_{p-p}$

制御電源電圧低下保護動作シーケンス(N 側, UV_D)

- b1. 制御電源電圧立上り...UV_{Dt}にて次の入力より動作開始
- b2. 正常動作=IGBT オン=出力電流あり
- b3. 制御電源電圧低下(UV_{Dt})
- b4. IGBT オフ...制御入力の状態に関わらずオフ
- b5. Fo 出力(20 μ s(min)以上、制御電源電圧が復帰するまでの間出力)
- b6. 制御電源電圧復帰(UV_{Dt})
- b7. 正常動作=IGBT オン=出力電流あり

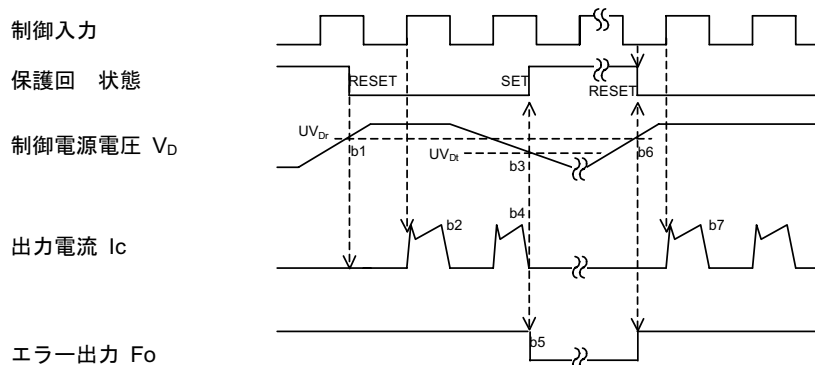


図 2-7: DIP-IPM Ver.4 の制御電源電圧低下保護(N側)動作シーケンス

制御電源電圧低下保護動作シーケンス(P側, UV_{DB})

- c1. 制御電源電圧立上り… UV_{DB} にて次の入力より動作開始
- c2. 正常動作=IGBT オン=出力電流あり
- c3. 制御電源電圧低下 (UV_{DB})
- c4. IGBT オフ…制御入力に関わらずオフ, F_o 出力はなし
- c5. 制御電源電圧復帰 (UV_{DB})
- c6. 正常動作=IGBT オン=出力電流あり

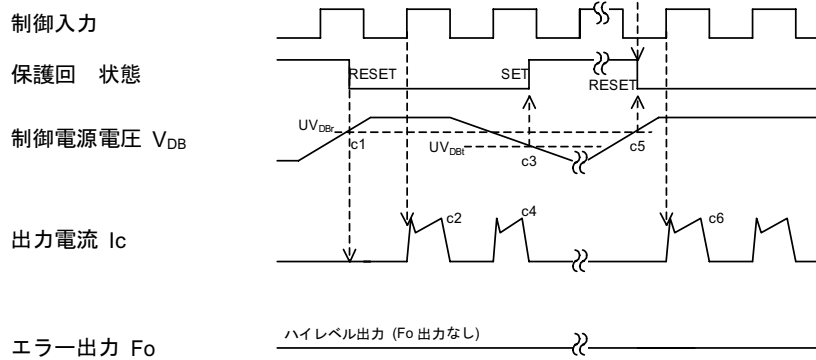


図 2-8: DIP-IPM Ver.4 の制御電源電圧低下保護(P側)動作シーケンス

2. 2. 3 過熱保護

—T シリーズでは、内蔵制御 IC(LVIC)の温度をモニタする事による過熱保護機能(OT)を搭載しています。LVICの温度がトリップ温度を超えて過熱保護が働くと、トリップ温度以上である限り、N側の入力を受け付けず、N側 IGBT 全相をオフ状態にし、 F_o も出力し続けます。過熱保護トリップ温度の規格を表 2-8、保護シーケンスを図 2-9 に示します。

表 2-8: 過熱保護トリップ温度

項目	記号	条件	最小値	標準値	最大値	単位
過熱保護	OTt	$V_D=15V$, LVIC の温度を検知	100	120	140	°C
	OTrh	トリップレベル リセット温度ヒステリシス幅	—	10	—	°C

過熱保護動作シーケンス(N側のみ)

- d1. 正常動作=IGBT オン=出力電流あり
- d2. LVIC 温度上昇(OTt)
- d3. IGBT オフ…制御入力の状態に関わらずオフ
- d4. F_o 出力($20\mu s(\min)$ 以上、LVIC 温度が低下するまでの間出力)
- d5. LVIC 温度低下(OTt-OTrh)
- d6. 正常動作=IGBT オン=出力電流あり

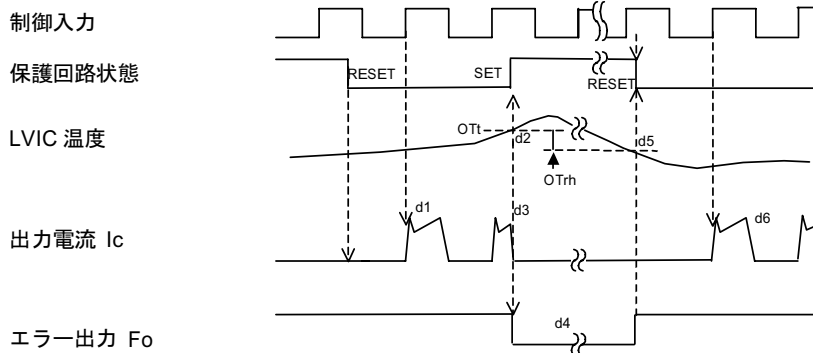


図 2-9: DIP-IPM Ver.4 の過熱保護動作シーケンス

過熱保護機能についての注意事項

- (1) ロックや過電流時等のような急激な接合温度上昇には本機能は、有効に働きません。
(LVIC の温度を見ている為、パワーチップの急激な温度上昇には追従できません)
- (2) エラー出力で停止した際に、冷却システムが異常(放熱フィンが緩んでいる、外れている、或いは空冷ファンが故障している等)であった場合は、過熱保護機能が働いて、Fo出力された可能性が高く、パワーチップの接合温度が絶対定格の瞬時接合温度 150°Cを超えている可能性がありますので、IPM を交換する必要があります。
(冷却システムのみを修理し、DIP-IPM を再使用することは、お止めください。)

DIP-IPM Ver.4のスペック

2.3 DIP-IPM Ver.4のパッケージ

DIP-IPM Ver.4には、端子の長さ、形状の異なるパッケージ(外形)がラインナップされています。用途に応じてご検討ください。

2.3.1 従来(PS2196-XXX)シリーズからの外形変更点

図2-10に示しますように端子部フレーム形状を変更することにより、高圧端子間の絶縁距離を拡大し、電気用品安全法における端子間絶縁距離規定の端子間空間距離2.5mm(min)、端子間沿面距離3.0mm(min)を確保します。端子部フレーム変更箇所を表2-9、変更前後における端子間絶縁距離を表2-10に示します。なお、本変更による端子配置、端子ピッチの変更はありません。

表2-9.端子形状フレーム変更箇所

	変更箇所	対象端子番号
①	ストッパー端子根元形状	2、3、17、18、25pin
②	パワー側端子根元間隔	21-22、22-23、23-24pin間

表2-10.超小型DIP-IPM Ver.4 端子間絶縁距離

	端子間空間距離		端子間沿面距離	
	変更前	変更後	変更前	変更後
制御側高圧端子間 (2-3、3-4、4-5ピン間)	2.256mm(typ)	2.5mm(min)		
パワー側端子間 (21-22、22-23、23-24ピン間)			2.88mm(min)	3.0mm(min)

※上記以外の端子間(1-2、20-21ピン間)は、変更前から上記、変更後と同等以上の絶縁距離を満足しています。

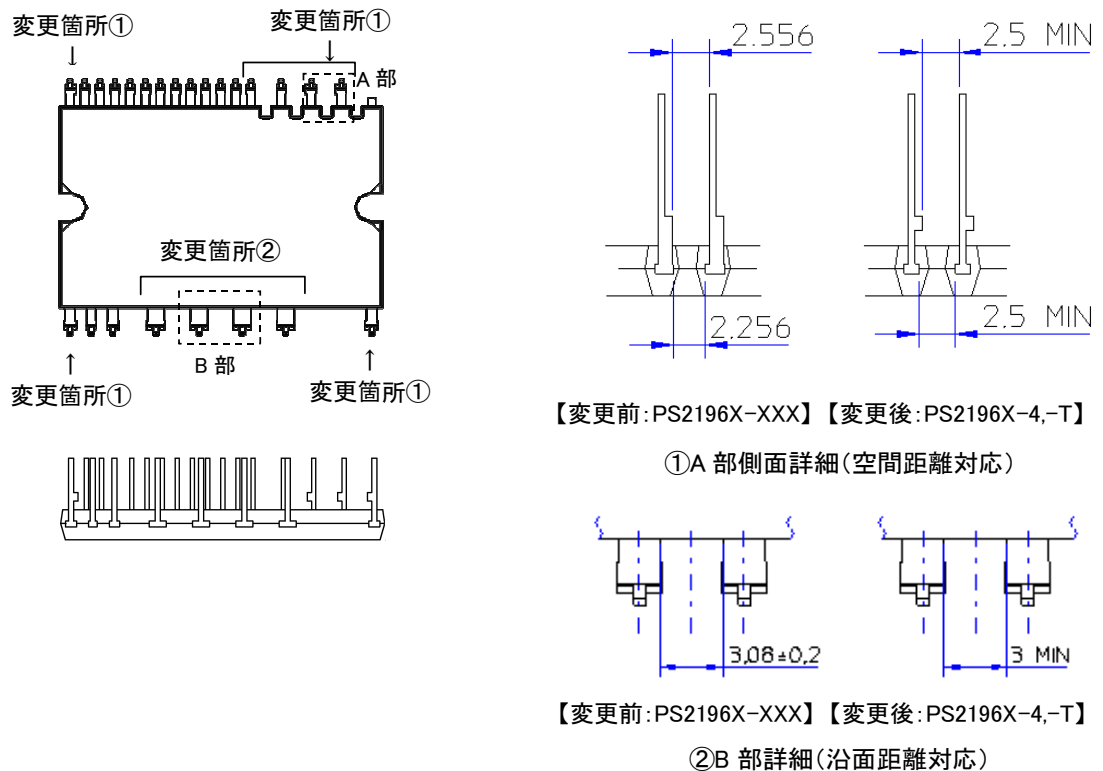
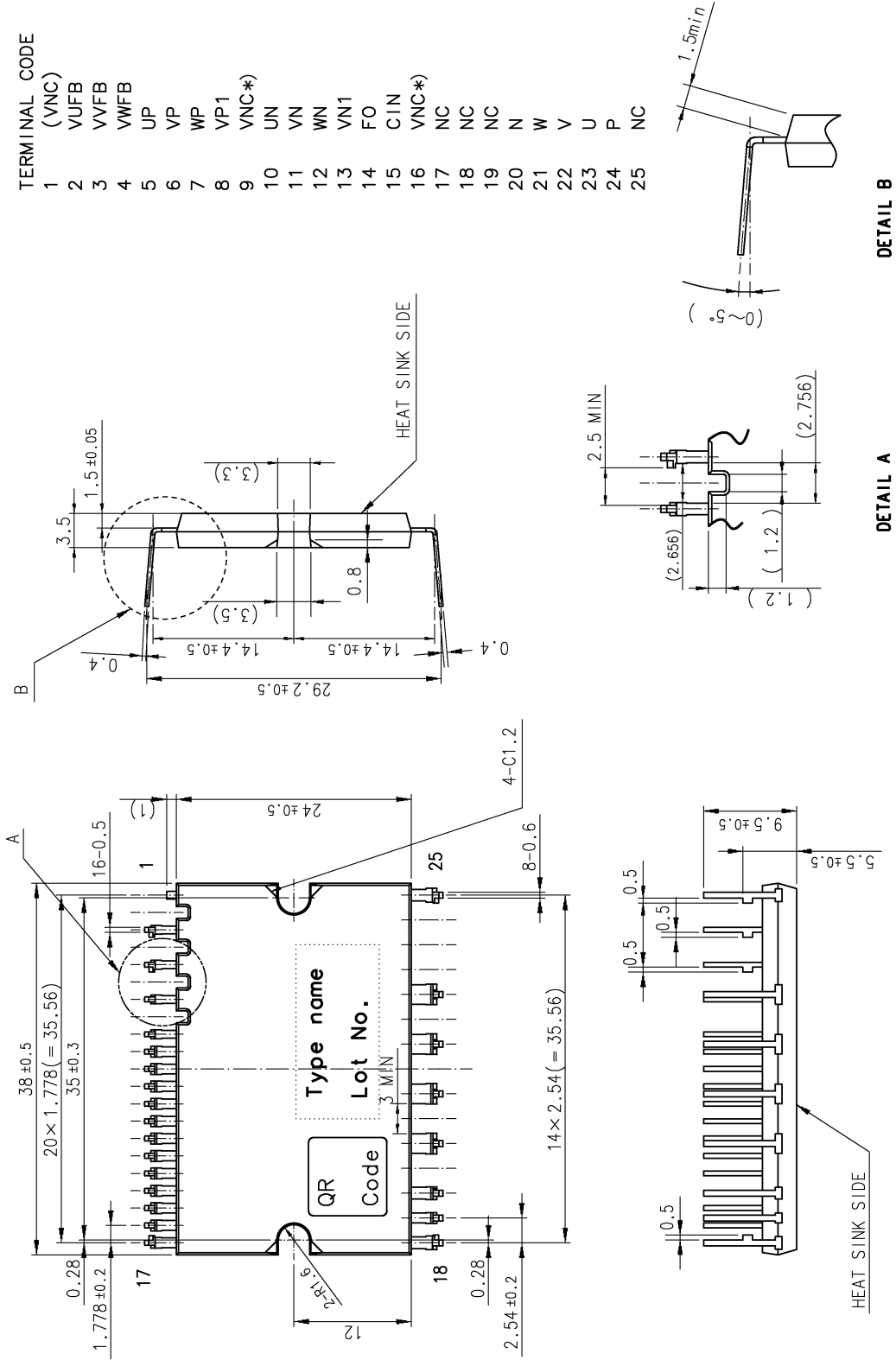


図2-10:端子形状変更箇所(標準(短尺)仕様)

2.3.1 標準仕様(短尺仕様)



*) 9ピンと16ピンのVNC(制御電源 GND 端子)は内部で接続されていますので、
 どちらか一方のみ使用して、他方はオープン状態でご使用ください。

図 2-11: 標準(短尺)仕様(-4,-T)外形図

DIP-IPM Ver.4のスペック

2.3.2 長尺仕様

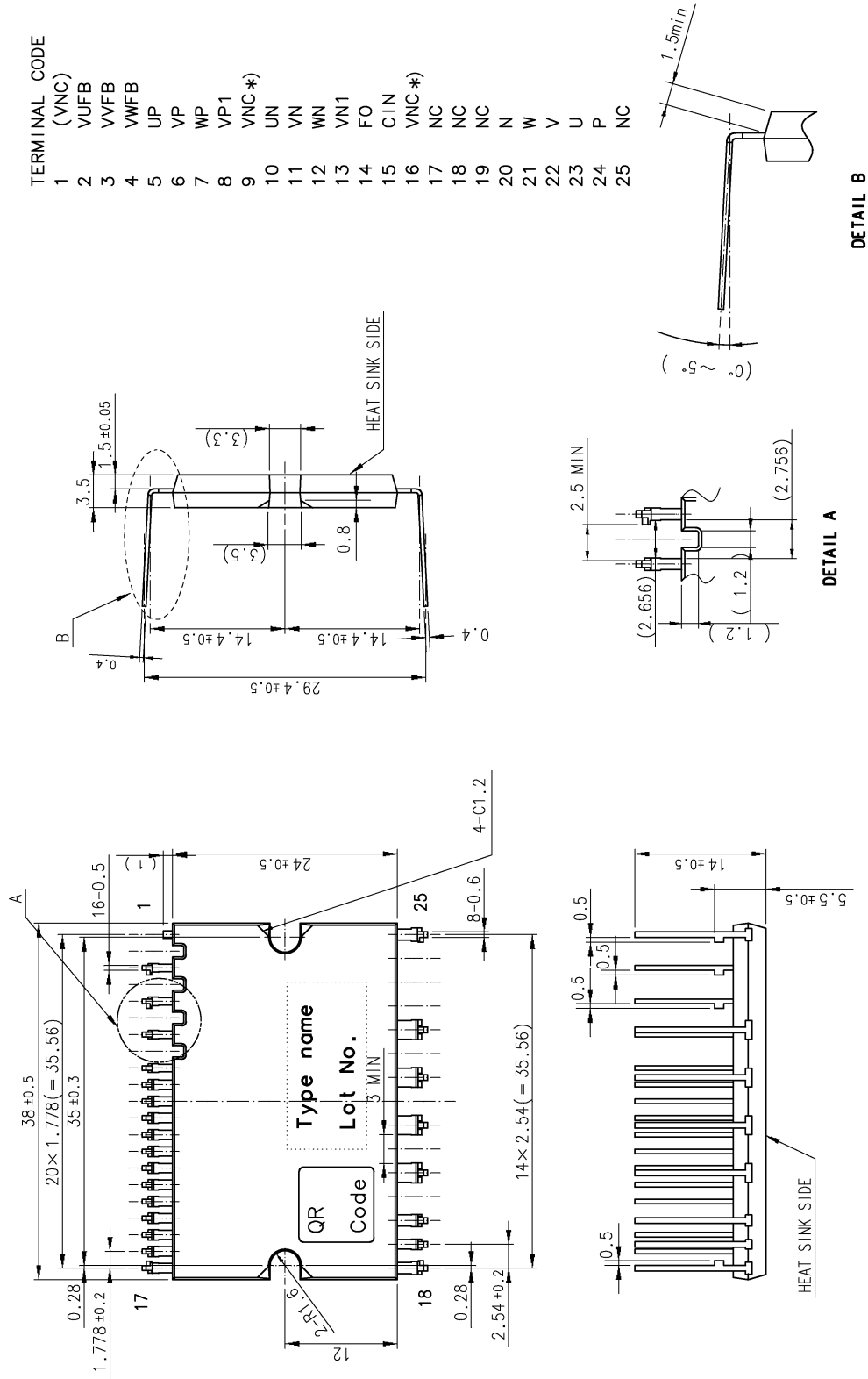


図 2-12: 長尺仕様(-4A,-AT)外形図

*) 9ピンと16ピンのVNC(制御電源 GND 端子)は内部で接続されていますので、こちらから一方のみ使用して、他方はオープン状態でご使用ください。

DIP-IPM Ver.4のスペック

2.3.3 制御側千鳥端子仕様

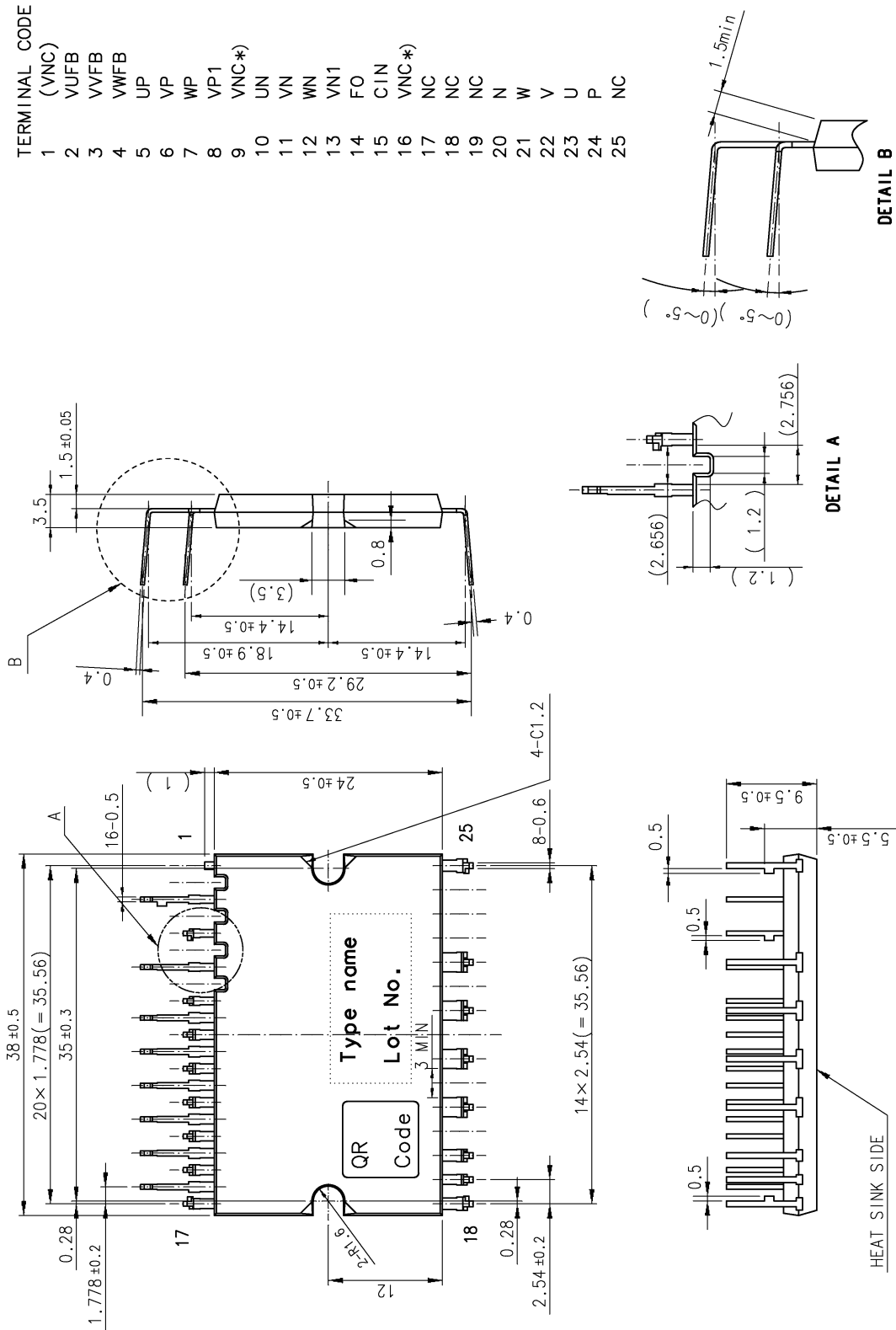


図 2-13: 制御側千鳥端子仕様(-4C,-CT)外形図

2.3.4 N側エミッタ分割仕様

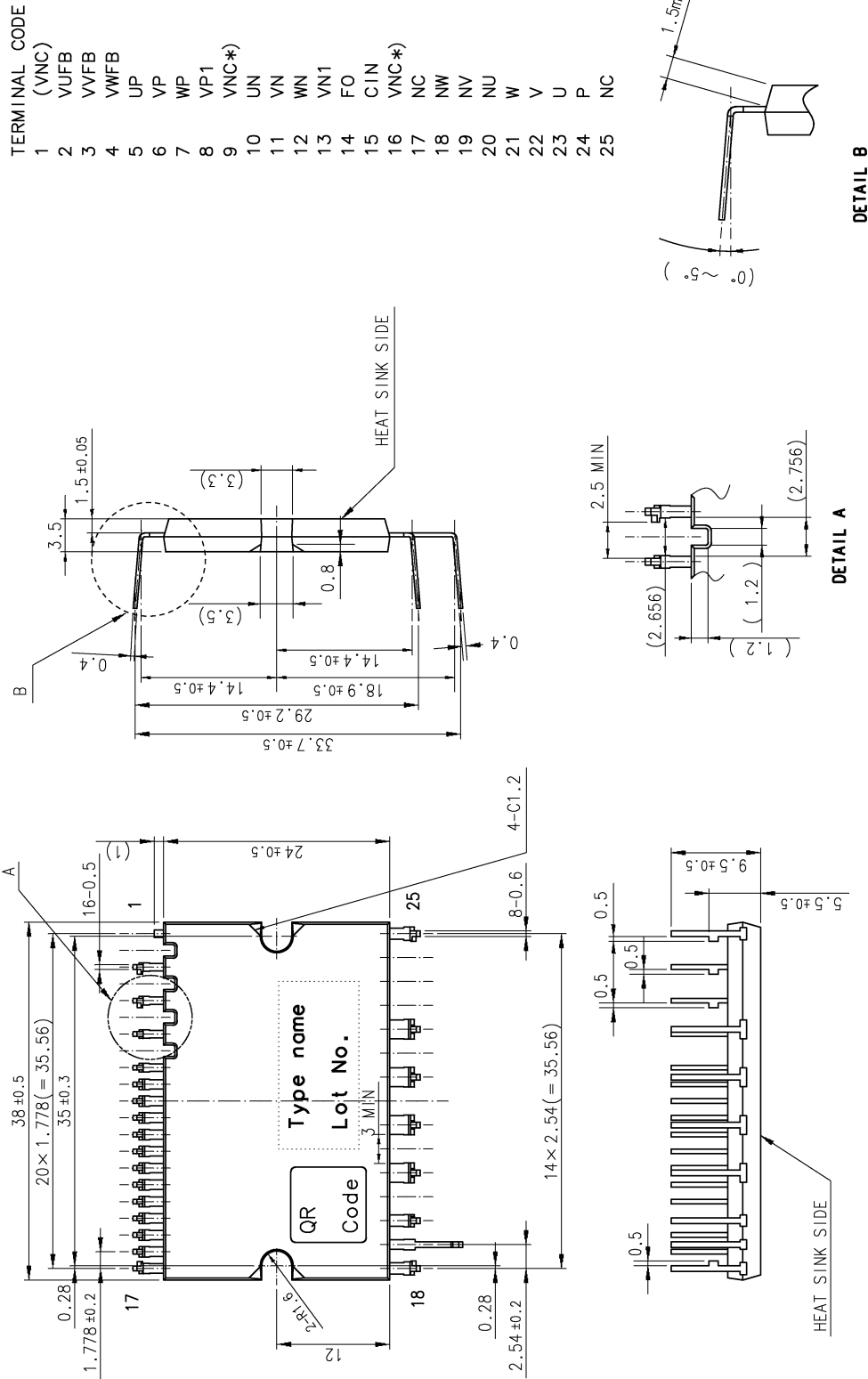


図 2-14: N側エミッタ分割仕様(-S)外形図

*) 9ピンと16ピンのVNC(制御電源GND端子)は内部で接続されていますので、
 ちらか一方のみ使用して、他方はオープン状態でご使用ください。

2.3.5 両側千鳥端子仕様

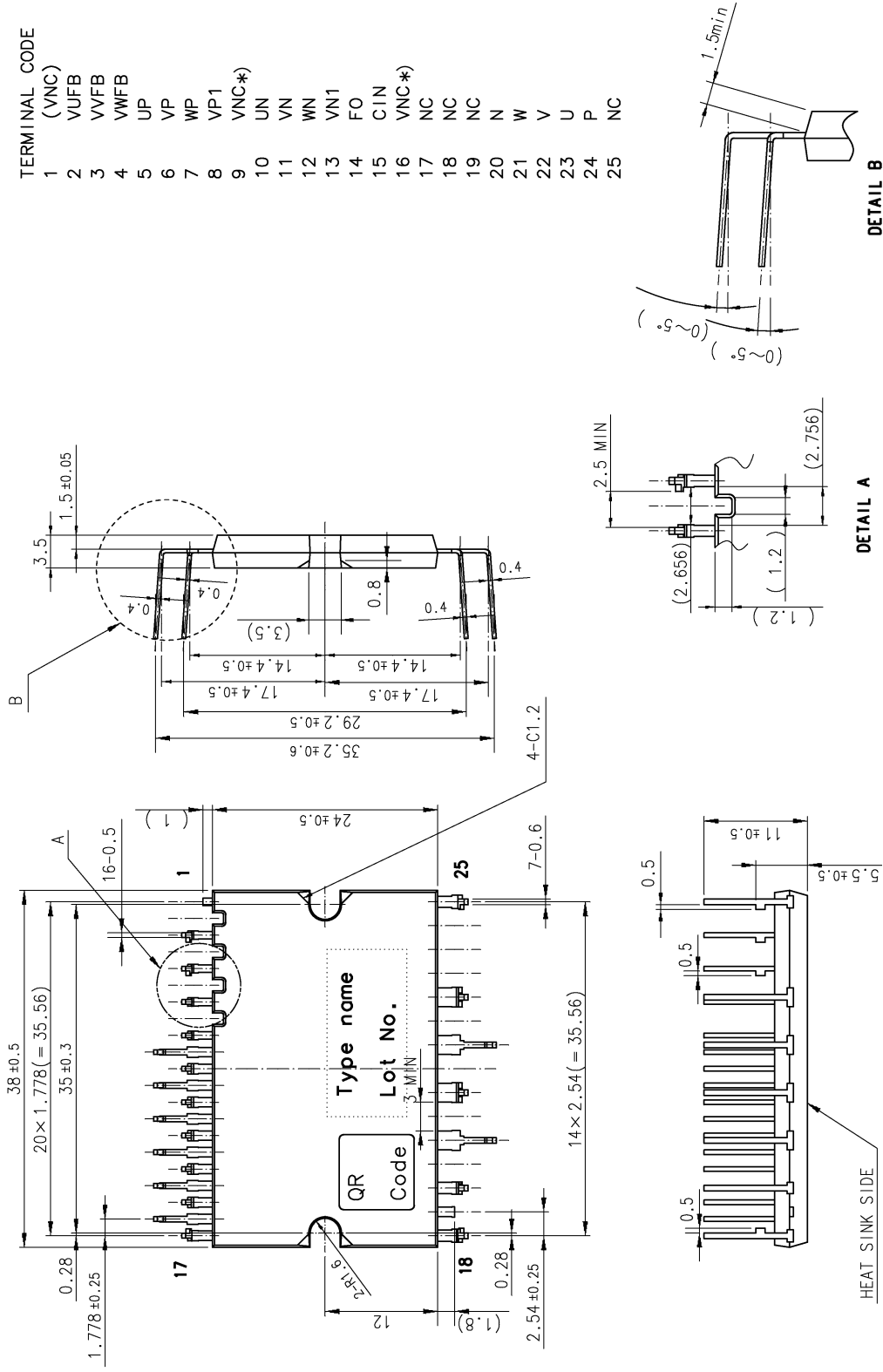


図 2-15: 両側千鳥端子仕様(-4W,-TW)外形図

*) 9ピンと16ピンのVNC(制御電源 GND 端子)は内部で接続されていますので、
 ちから一方のみ使用して、他方はオープン状態でご使用ください。

DIP-IPM Ver.4のスペック

2.3.6 レーザーマーキングの位置

図 2-16 に DIP-IPM Ver.4 のレーザーマーキング範囲を示します。三菱マーク、形名 (図中 A)、ロット番号 (図中 B) は、モジュール上部 (放熱面の反対側) にマーキングされます。

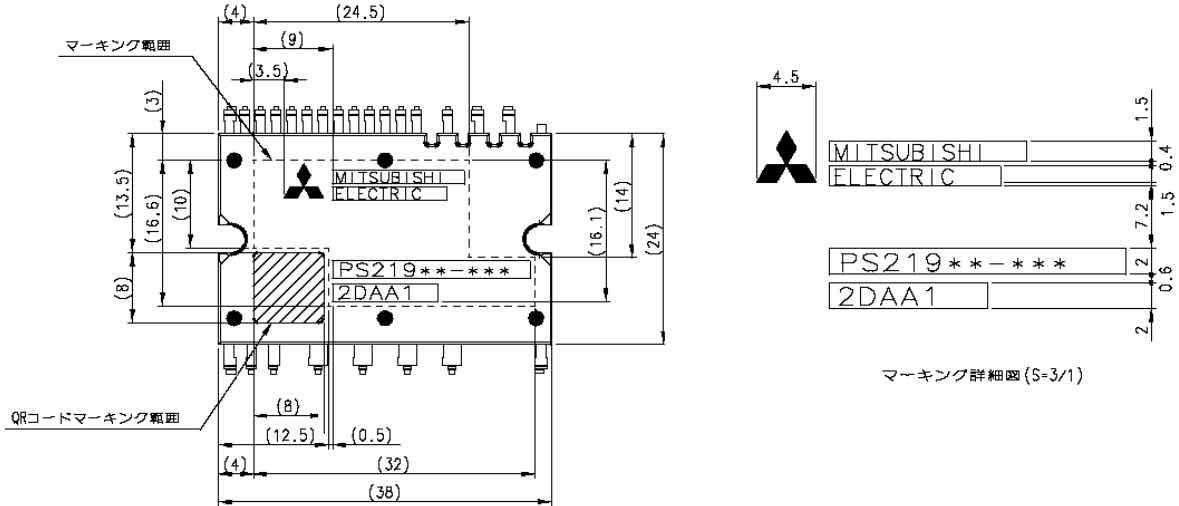


図 2-16: マーキング図

2.3.7 端子配列と名称

表 2-11: 端子説明

端子 No.	PS2196X-4S/-ST 以外		PS2196x-4S/-ST	
	端子名	端子説明	端子名	端子説明
1	NC	NC(No connect)	NC	同左
2	V _{UFB}	UP 相駆動電源端子	V _{UFB}	同左
3	V _{VFB}	VP 相駆動電源端子	V _{VFB}	同左
4	V _{WFB}	WP 相駆動電源端子	V _{WFB}	同左
5	U _P	UP 相制御入力信号端子	U _P	同左
6	V _P	VP 相制御入力信号端子	V _P	同左
7	W _P	WP 相制御入力信号端子	W _P	同左
8	V _{P1}	P 側制御電源端子(+)	V _{P1}	同左
9	V _{NC}	P 側制御電源 GND 端子 (16pin と内部で接続)	V _{NC}	同左
10	U _N	UN 相制御入力信号端子	U _N	同左
11	V _N	VN 相制御入力信号端子	V _N	同左
12	W _N	WN 相制御入力信号端子	W _N	同左
13	V _{N1}	N 側制御電源端子(+)	V _{N1}	同左
14	Fo	エラー出力端子	Fo	同左
15	CIN	短絡トリップ電圧検出端子	CIN	同左
16	V _{NC}	N 側制御電源 GND 端子(9ピンと内部で接続)	V _{NC}	同左
17	NC	NC*	NC	同左
18	NC	NC	NW	W 相出力 GND(エミッタ)端子
19	NC	NC	NV	V 相出力 GND(エミッタ)端子
20	N	インバータ出力 GND 端子	NU	U 相出力 GND(エミッタ)端子
21	W	W 相出力端子 (WP 相駆動電源 GND 端子)	W	同左
22	V	V 相出力端子 (VP 相駆動電源 GND 端子)	V	同左
23	U	U 相出力端子 (UP 相駆動電源 GND 端子)	U	同左
24	P	インバータ電源(+)	P	同左
25	NC	NC	NC	同左

※従来の PS2196X-XXX シリーズでは V_{NC}(N 側 IGBT 駆動回路 GND)で 16pin(V_{NC})と外部接続していただいていたのですが、本シリーズでは、内部接続に変更しましたので 17pin は NC でご使用ください。(17pin は、内部でも NC であり、16pin と 17pin を外部接続している従来の基板をそのままご使用いただいても問題ありません。)

DIP-IPM Ver.4のスペック

表 2-12: DIP-IPM Ver.4 の入出力端子構造

項目	記号	内容
P 側駆動電源端子 P 側駆動電源 GND 端子	V_{UFB-U} V_{VFB-V} V_{WFB-W}	<ul style="list-style-type: none"> High-side IGBT 駆動用電源端子です。 DIP-IPM は、ブートストラップ回路を外付けすることにより外部電源は不要となります。ブートストラップコンデンサは、V_0 から N-side IGBT のスイッチンググループによって充電されます。 V_{DB} が安定していないと誤動作の原因となります。ブートストラップコンデンサと並列に、周波数及び温度特性の良いパコン(～2μF 程度)を接続されることを推奨します。 制御電源へのサージ電圧吸収用にツェナダイオード(ツェナ電圧 24V、電力損失 1W 程度)を端子近傍に接続することをお奨めします。 <p>※スイッチング動作時の DIP-IPM 電源端子の電圧をプローブで確認し、サージ電圧が発生していないことを確認してください。オシロスコープの時間軸は 1μs/div 以下でご確認されますようお願いいたします。定格を超えるサージが重畳しているようであれば、配線の検討やツェナーDi の搭載をご検討ください。</p>
P 側制御電源端子 N 側制御電源端子	V_{P1} V_{N1}	<ul style="list-style-type: none"> 内蔵 IC の制御側電源端子です。(LVIC と HVIC)。 V_{P1}, V_{N1} は外部基板上で接続してください。 ノイズと電源リップルによる誤動作を抑えるために周波数特性の良い平滑コンデンサを制御端子近傍に接続ください。 電圧リップルは規格内にはいるように設計ください。 制御電源へのサージ電圧吸収用にツェナダイオード(ツェナ電圧 24V、電力損失 1W 程度)を端子近傍に接続することをお奨めします。 <p>※スイッチング動作時の DIP-IPM 電源端子の電圧をプローブで確認し、サージ電圧が発生していないことを確認してください。オシロスコープの時間軸は 1μs/div 以下でご確認されますようお願いいたします。定格を超えるサージが重畳しているようであれば、配線の検討やツェナーDi の搭載をご検討ください。</p>
制御電源 GND 端子	V_{NC}	<ul style="list-style-type: none"> 内蔵 IC の制御側グラウンド端子です。(LVIC と HVIC) 制御電源のグラウンドになるのでノイズの影響を避けるため、母線電流は流れないようにしてください。 V_{NC} 端子は、9,16 ピンの 2 ヶ所ありますが内部で接続されていますので、どちらか一方のみ使用し、他方はオープン状態で使用してください。
制御入力端子	U_p, V_p, W_p U_n, V_n, W_n	<ul style="list-style-type: none"> DIP-IPM をスイッチング制御する入力端子です。 電圧駆動タイプです。内部は CMOS 構成のシュミットトリガ回路に接続されています。 ノイズに敏感ですので、パターンは最短としかつ配線に注意してください。 発振現象が起こる場合は、CRフィルタを接続してください。 <p>※スイッチング動作時の DIP-IPM 電源端子の電圧をプローブで確認し、ノイズが重畳していないことを確認してください。オシロスコープの時間軸は 1μs/div 以下でご確認されますようお願いいたします。ノイズが重畳しているようであれば、配線の検討や RC フィルターの搭載をご検討ください。 RC フィルターを追加する場合、DIP-IPM 内部のプルダウン抵抗との分圧になりますのでご注意ください。</p>
短絡トリップ 電圧検出端子	CIN	<ul style="list-style-type: none"> この端子と V_{NC} 間に電流検出抵抗を接続し、この抵抗に発生する電圧を検出します。CIN 端子の入力インピーダンスは 600kΩ程度です。 ノイズを除去するために、CR フィルターを接続してください。 <p>※スイッチング動作時の DIP-IPM の CIN 端子の電圧をプローブで確認し、ノイズが重畳していないことを確認してください。オシロスコープの時間軸は 1μs/div 以下でご確認されますようお願いいたします。</p>
エラー出力端子	F_0	<ul style="list-style-type: none"> DIP-IPM の異常状態(N 側の SC, UV 回路動作時)を示す出力です。 オープンドレイン出力です。この端子は、外部で 5V 系電源に 10kΩ抵抗でプルアップしてください。
インバータ 電源端子	P	<ul style="list-style-type: none"> インバータの電源端子です。 High-side IGBT のコレクタに接続されています。 パターンのインダクタンス成分によるサージ電圧を抑制するため、平滑コンデンサを P, N 両端子の直近に配置してください。また、周波数特性に優れたフィルムコンデンサの追加も効果的です。 <p>※スイッチング動作時や短絡の DIP-IPM の P-N 間電圧をプローブで確認し、サージが発生していないことを確認してください。オシロスコープの時間軸は 1μs/div 以下でご確認されますようお願いいたします。</p>
インバータ GND 端子	N (-S 以外) NU, NV, NW (-S のみ)	<ul style="list-style-type: none"> インバータのグラウンドです。 --S 仕様以外は N に全相の Low-side IGBT のエミッタがに接続されています。 --S 仕様の場合は NU に U 相、NV に V 相、NW に W 相の Low-side IGBT のエミッタが接続されています。
インバータ出力端子	U, V, W	<ul style="list-style-type: none"> インバータ出力用の端子です。 AC モーターなどの負荷を接続します。内部はハーフブリッジで構成された出力 IGBT の中点に接続されています。

DIP-IPM Ver.4のスペック

2. 4 DIP-IPM Ver.4 の取り付け方法

DIP-IPM Ver.4 の絶縁距離および DIP-IPM Ver.4 を放熱ヒートシンクに取り付ける場合の注意点を示します。

2. 4. 1 DIP-IPM Ver.4 の絶縁距離

DIP-IPM Ver.4 の各空間、沿面距離を表 2-13 に示します。

表 2-13: DIP-IPM Ver.4 絶縁距離 (min 値)

	空間距離(mm)	沿面距離(mm)
充電部異電極端子間	2.50	3.00
外部端子-放熱ヒートシンク間	1.45	1.50

2. 4. 2 DIP-IPM Ver.4 の取り付け方法と注意点

モジュールを放熱ヒートシンクなどに取り付ける場合、極端な片締めを行いますと、モジュール内シリコンチップに応力が加わり素子の破壊または劣化を招くことにもなります。締め付け順序例を図 2-17 に示します。

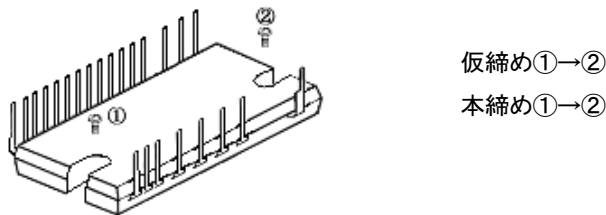


図 2-17: DIP-IPM 締め付け順序例

* : 仮締めの締め付けトルクは最大定格の 20~30%を目安に設定してください。

表 2-14: 締付トルク強度とヒートシンク平面度の規格

項目	条件	最小値	標準値	最大値	単位
締付トルク強度	推奨値 0.69N・m, 取付けネジ:M3*	0.59	—	0.78	N・m
放熱面平面度	DIP パッケージの放熱面及び外付けヒートシンクの平面度	-50	—	+100	μm

*取り付けねじには平座金(推奨:JIS B1256)を使用してください。

DIP パッケージの放熱面及び外付けヒートシンクの平面度は図 2-18 のように規定しています。

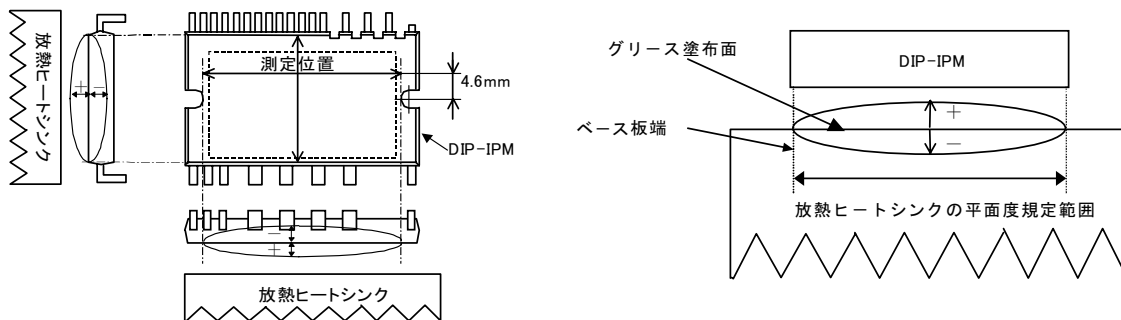


図 2-18: ヒートシンク/放熱フィンの平面度測定点

放熱効果を最大限得るためには、その接触面積をできるだけ大きくし接触熱抵抗を最小にする必要があります。放熱フィンの平面度(反り/凹凸)は、DIP-IPM 取り付け面において、図 2-18 の通りとしてください。または表面仕上げ R_z12 以内としてください。

また、DIP-IPM とヒートシンクとの接触面には熱伝導性の良いグリースを 100μm~200μm 程度、均一になるように塗布してください。ヒートシンクとの接触面にグリースを塗布しますと接触部の腐食防止にも役立ちます。ただし、塗布するグリースは、使用動作温度範囲内で変質せず、経年変化のないものをご使用ください。トルクドライバーを使用し所定のトルクまで締めます。締め付けトルクが大きすぎると、前記の片締め同様、素子の損失または、劣化を招く危険性があります。DIP-IPM とヒートシンクの接触面に、異物が混入しないようにしてください。

DIP-IPM Ver.4の使用方法

第3章 DIP-IPM Ver.4 の使用方法

3. 1 DIP-IPM Ver.4 の使用方法と応用

この章では、DIP-IPM Ver.4 の使用方法、周辺回 例について説明します。

3. 1. 1 システム接続例

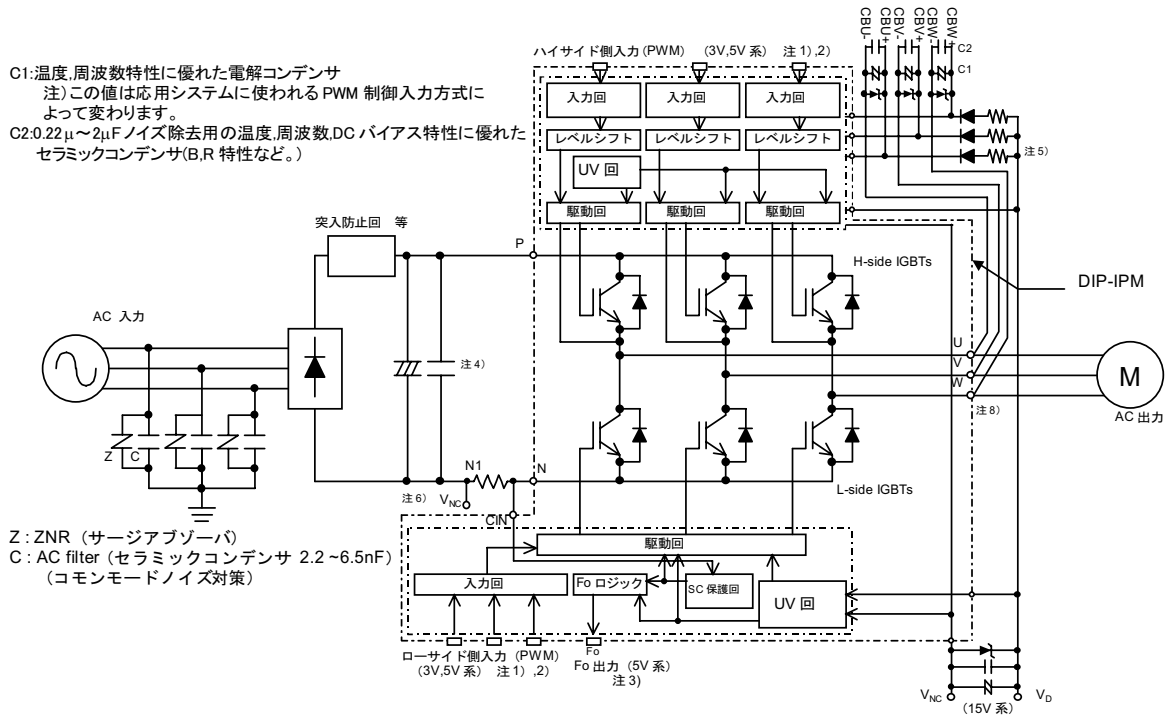


図 3-1: DIP-IPM Ver.4 システム接続例 (-S 仕様以外の場合。-S 仕様は 3. 1. 3 項を参照してください)

- 注 1) 入力信号はハイアクティブです。IC 内部で 3.3k Ω (min) でプルダウンしています。入力信号配線に CR フィルタを接続する場合には、入力しきい値電圧を満足するように設定してください。
- 注 2) 専用 HVIC (高耐圧 IC) を使用しています。フォトカプラ等の絶縁素子を使わずに、MCU に直接接続することができます。ただし、電気的絶縁にはなりませんのでご注意ください。
- 注 3) F_o 端子の出力段は、オープンドレインです。10k Ω 程度の抵抗で 5V 電源 (または、1/F 側電源) のプラス側へプルアップしてご使用ください。
- 注 4) サージ電圧による耐電圧破壊を防止するために、平滑用電解コンデンサと P, N1 端子間の配線は、できるだけ短くしてください。また、P-N1 端子間に 0.1 μ ~0.22 μ F 程度の C スナバのご使用をお奨めします。
- 注 5) ブートストラップダイオードは耐圧 600V 以上の高速リカバリーダイオードを使用してください。
- 注 6) 制御電源へのサージ電圧吸収用にツェナーダイオード (ツェナー電圧 24V、許容損失 1W 程度) を電源端子近傍に接続することをお勧めします。
- 注 7) HVIC の駆動回 側フローティング電源の GND 配線は、U, V, W 端子部でモータへの出力配線からすぐに分岐させて配線してください。

DIP-IPM Ver.4の使用方法

3. 1. 2 インターフェイス回 例(直接入力)

マイコン(MCU)やDSPなどと、DIP-IPMを直接接続する場合のインターフェイス回 例を示します。

C1: 温度特性に優れた電解コンデンサ C2,C3: 0.22~2 μ F程度のノイズ除去用セラミックコンデンサ

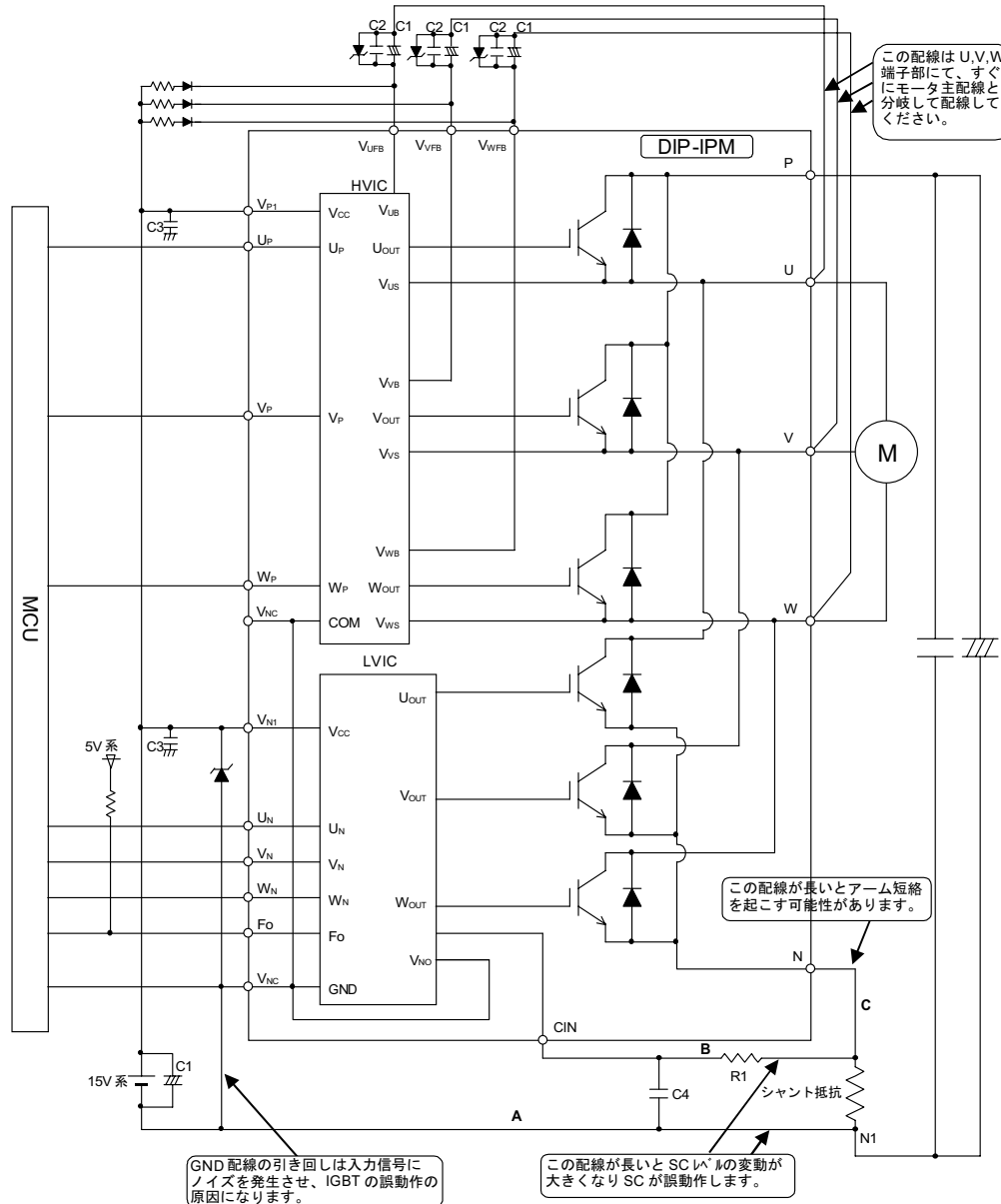


図3-2: DIP-IPM Ver.4 インターフェイス回 例(直接接続)

- 注1. 入力信号はハイアクティブです。IC内部で3.3k Ω (min)の抵抗でプルダウンしています。誤動作防止のため、入力信号配線はできるだけ短く配線してください。誤動作防止のためCRフィルタを挿入する場合は、入力のしきい値電圧を満足するように設定してください。
- 注2. 専用HVICを採用しているため、絶縁素子は不要であり、MCUIに直接接続することができます。
- 注3. Fo端子はオープンドレインです。10k Ω 程度の抵抗で5V電源のプラス側へプルアップしてご使用ください。
- 注4. A, B, Cの配線はIGBTの動作に大きな悪影響をもたらすため、配線はできるだけ短く配線してください。
- 注5. 外部保護回路部のR1C4による時定数は、IGBTが1.5~2 μ sで遮断するように設定してください。また、遮断時間は、配線パターンによって変わります。R1,C4は温度補償用などバラツキの小さいものを推奨します。
- 注6. 各コンデンサはDIP-IPMの端子近傍に設置してください。C1は、温度特性、周波数特性の優れた電解コンデンサ、C2,C3はノイズ除去用の温度、周波数、DCバイアス特性に優れたセラミックコンデンサを推奨します。(B,R特性など)
- 注7. サージ電圧による耐圧破壊を防止するために、平滑コンデンサとP,N1端子間の配線はできるだけ短くしてください。またP-N1端子間に0.1~0.22 μ F程度のCスナバを挿入してください。
- 注8. Vnc端子は、9ピン、16ピンの2ヶ所有りますが、内部で接続されていますので、外部では、どちらか一方のみ接続し他方はオープン状態で使用してください。
- 注9. 制御電源へのサージ電圧吸収用にツェナダイオード(ツェナ電圧24V、許容損失1W程度)を制御電源端子間近傍に接続することをお奨めします。
- 注10. 制御側電源GNDとパワー側GNDの配線を共通のベタ配線で配線すると大電流が流れるパワーGNDの変動の影響を受け誤動作の可能性がありますので、N1点にて一点接続としてください。

DIP-IPM Ver.4の使用方法

3. 1. 3 インターフェイス回 例(直接入力)ーN側エミッタ分割仕様の場合

N側エミッタ分割仕様(-S)でマイコン(MCU)やDSPなどと、DIP-IPMを直接接続する場合のインターフェイス回 例を示します。本応回 例では、N側エミッタ分割仕様では、DIP-IPM 内蔵の短絡保護機能を使用する場合、そのままではCIN端子は使用できないため、外部コンパレータ及び論理回 を用いてCIN端子に入力した場合の例です。

C1: 温度特性に優れた電解コンデンサ C2,C3: 0.22~2μF程度のノイズ除去用セラミックコンデンサ

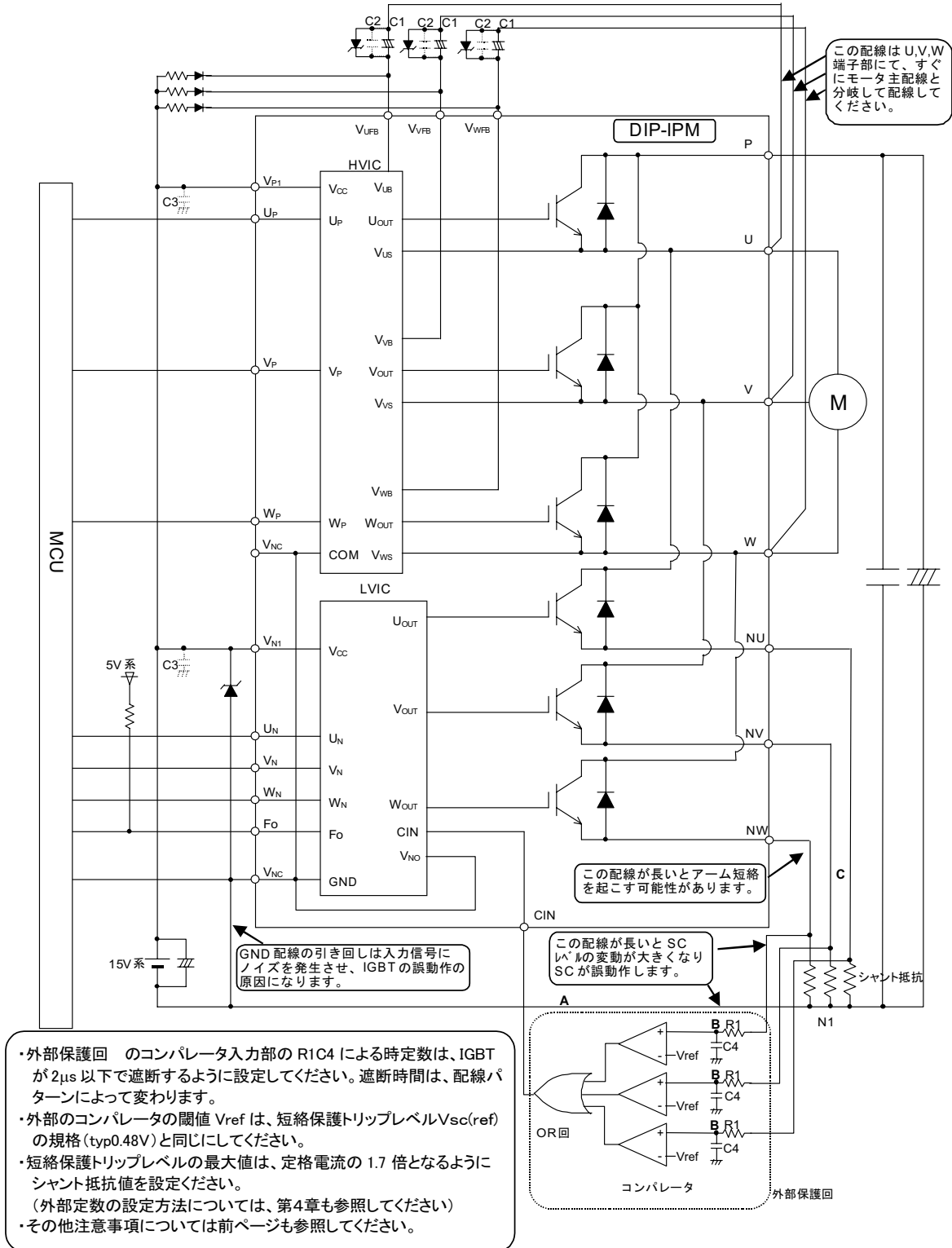


図 3-3: DIP-IPM Ver.4 インターフェイス回 例(直接接続)

DIP-IPM Ver.4の使用方法

3.1.4 インターフェイス回 例(フォトカプラ駆動) フォトカプラを使用した場合の応用回 例を示します。

C1: 温度特性に優れた電解コンデンサ C2,C3: 0.22~2μF程度のノイズ除去用セラミックコンデンサ

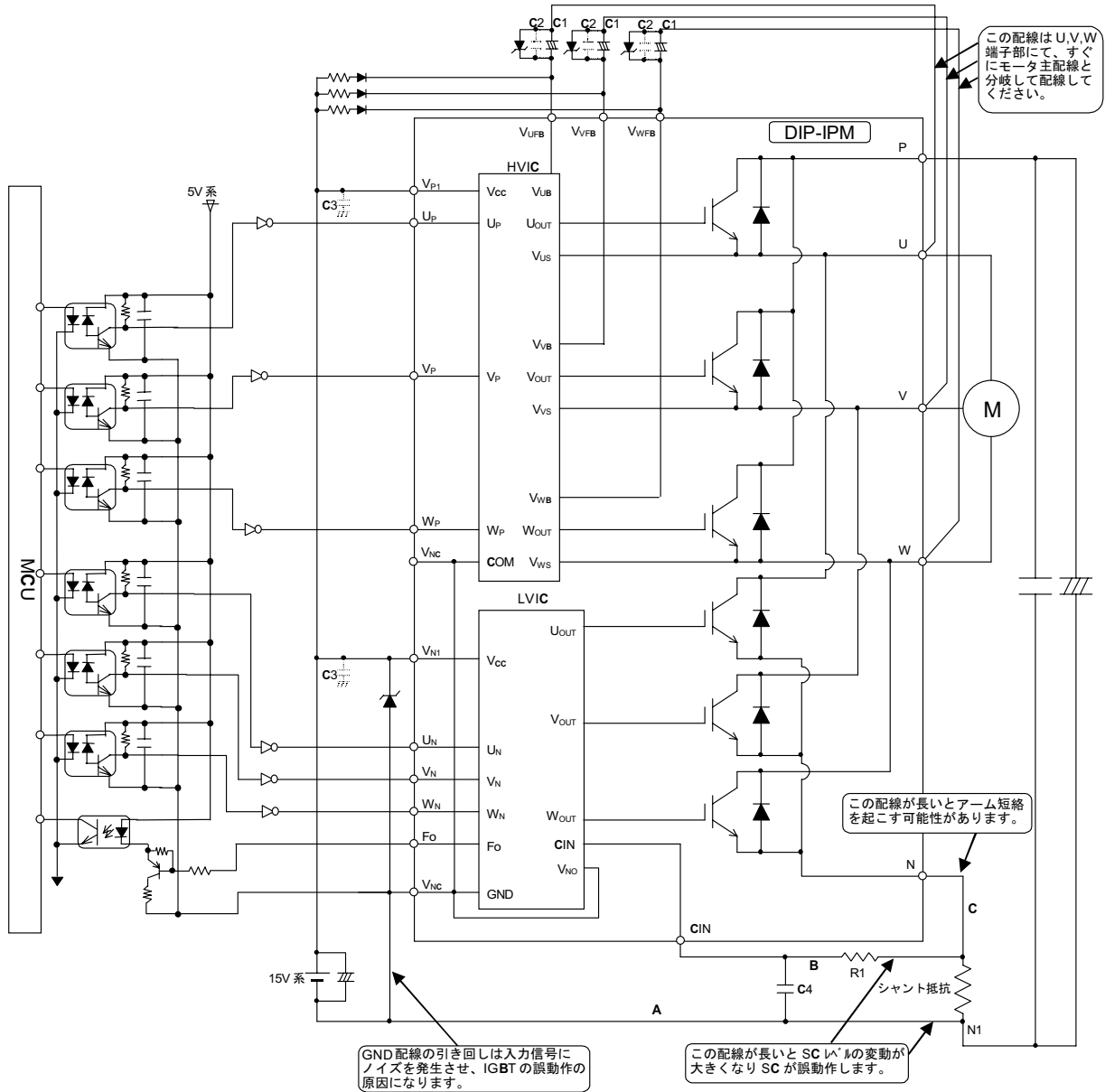


図 3-4: DIP-IPM Ver.4 インターフェイス回 例(フォトカプラ駆動)

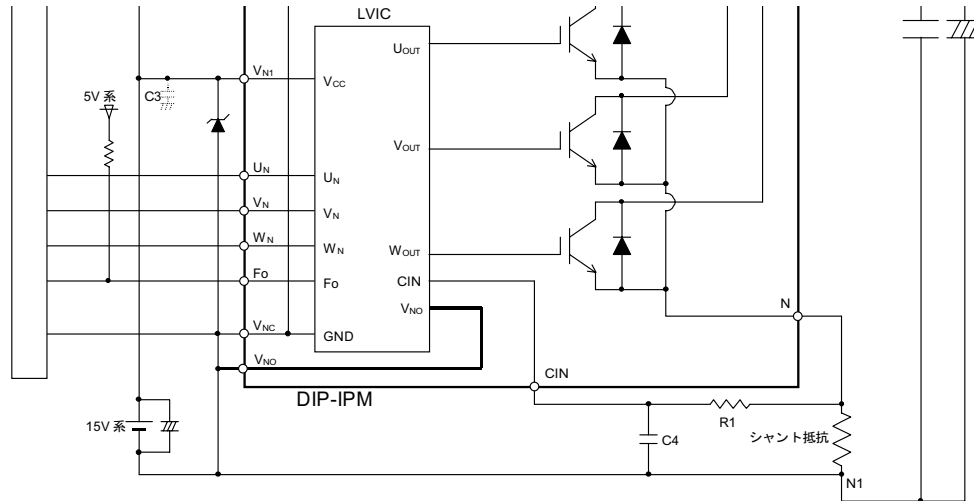
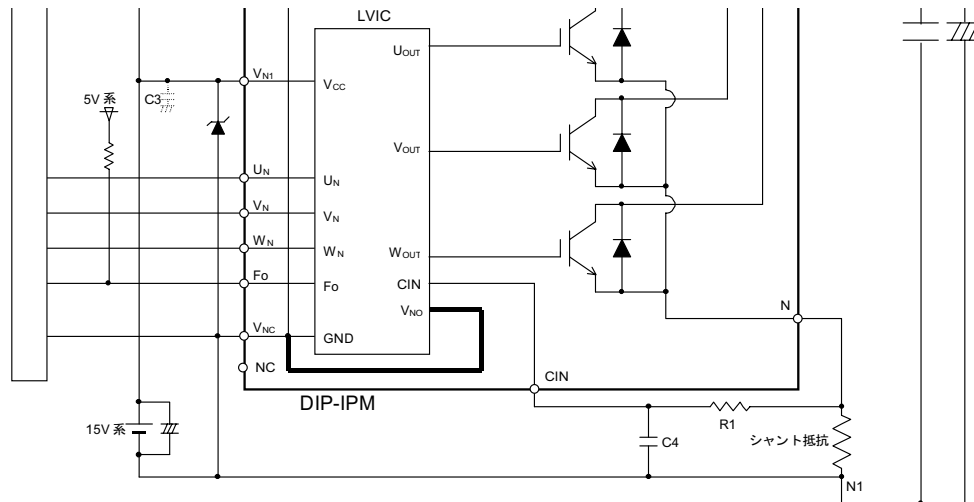
注:

- (1) 高速フォトカプラ(高CMR)の使用を推奨します。
- (2) Fo シンク電流 I_{F0} が 1mA となります。フォトカプラを駆動するためにはパuffaが必要です。

DIP-IPM Ver.4の使用方法

3. 1. 5 V_{NO} 配線の内部接続化について

従来のPS2196X-XXXシリーズでは、図3-5に示しますように V_{NO} 端子(17pin)を製品外部基板上で V_{NC} 端子(16pin)に接続してご使用いただいておりますが、図3-6のように V_{NO} を製品内部で V_{NC} 端子と接続する構成に変更します。製品の外部で配線接続していた隣接端子間を製品内部にてワイヤ接続するもので、製品機能、電気的特性の変更はありません。 V_{NO} 内部配線化によって、 V_{NO} 端子と V_{NC} 端子の外部配線は不要となりますが、従来 V_{NO} 端子となっていました17pinはNC端子(内部回線に接続されないオープン端子)となりますので、従来どおり17pinと隣接する V_{NC} 端子(16pin)を製品外部で配線接続した基板でご使用いただいても問題ありません。

図 3-5: LVIC 周辺回路 図 V_{NO} 外部配線(変更前:PS2196X-XXX)図 3-6: LVIC 周辺回路 図 V_{NO} 内部配線化後(変更後:PS2196X-4-T)

DIP-IPM Ver.4の使用方法

3. 1. 6 DIP-IPM の信号入力端子と Fo 端子

(1) 制御入力端子構造と接続例について

DIP-IPM Ver.4 の入力端子はハイアクティブ動作です。従来の IPM や DIP-IPM Ver.2 はローアクティブ動作でしたが、15V 系電源とマイコン等の信号系電源の立上げ、立下げシーケンスに制約がありました。DIP-IPM Ver.4 ではハイアクティブ動作にすることで立上げ、立下げシーケンスに関して、フェイルセーフとなります。ハイアクティブ動作のため、プルアップ抵抗が不要です。また、プルダウン抵抗 ($3.3\text{k}\Omega$ min.) を内蔵しており、外付けのプルダウン抵抗は不要となります。

図 3-7 に DIP-IPM 入力部ブロック図、表 3-1 に入力しきい値電圧規格を示します。

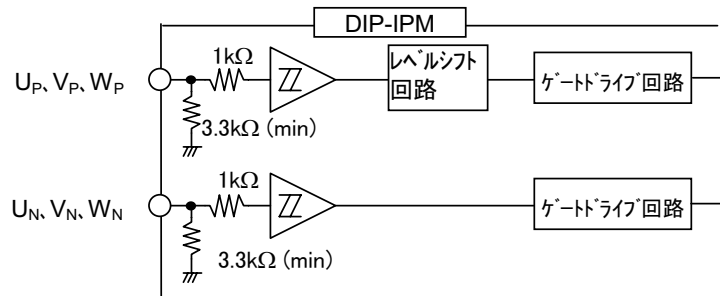
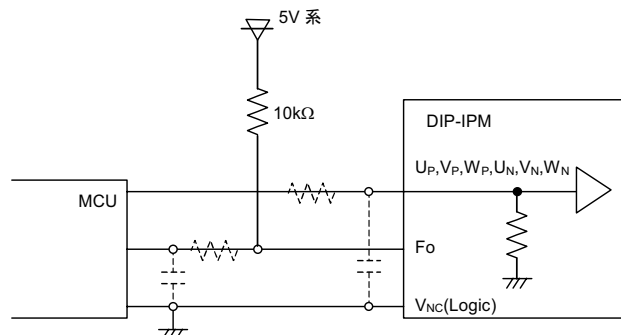


図 3-7: DIP-IPM Ver.4 入力部ブロック図

表 3-1: 入力しきい値の規格 ($V_D=15\text{V}$, $T_j=25^\circ\text{C}$)

項目	記号	条件	最小値	標準値	最大値	単位
1. 入力オンしきい値電圧	$V_{th(on)}$	$U_P, V_P, W_P - V_{NC}$ $U_N, V_N, W_N - V_{NC}$ 端子間	—	2.1	2.6	V
2. 入力オフしきい値電圧	$V_{th(off)}$		0.8	1.3	—	
3. 入力しきい値 ヒステリシス電圧	$V_{th(hys)}$		0.35	0.65	—	

DIP-IPM には、許容最小入力パルス幅の規定があります。規定以下のオフパルスでは入力信号を受け付けられない場合があります。信号配線は極力短く配線する必要がありますが、配線が長くノイズが重畳する場合は、図 3-8 の回路例で対策してください。



注) 入力の RC カップリングは、応用システムに使われる PWM 制御入力方式、入力配線パターンにより変わります。
DIP-IPM 入力信号部は IC 内部で $3.3\text{k}\Omega$ (min) の抵抗プルダウンを行っています。入力信号ラインに抵抗を挿入される場合は、DIP-IPM の入力しきい値を満足する設定としてください。

図 3-8: 入力端子接続例

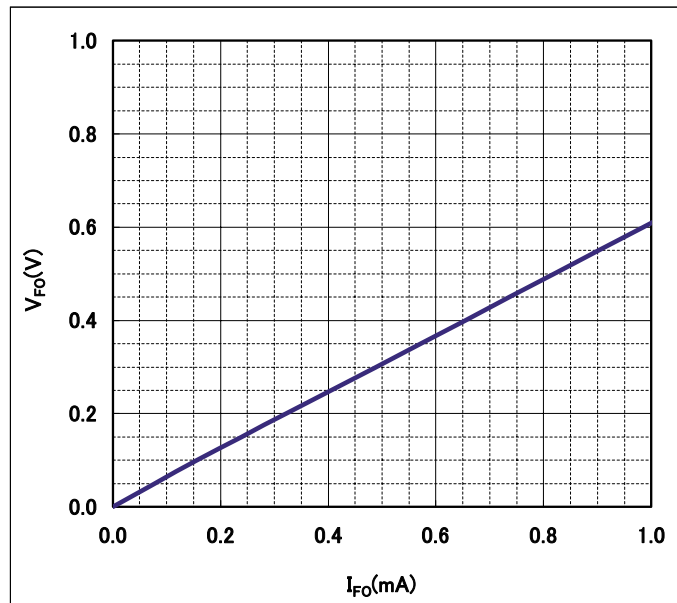
DIP-IPM Ver.4の使用方法

(2) Fo端子構造と接続例について

Fo端子はオープンドレインです。外部 I/F 系の電源または 5V 系電源のプラス側へプルアップしてください(図 3-8)。図 3-9 に Fo端子の V-I 特性(代表例)を示します。Fo 信号のシンク電流の最大値は 1mA です。フォトカプラ接続される場合は、フォトカプラの能力に応じて、バッファ等の接続をご検討ください。

表 3-2: Fo 信号電気的特性

項目	記号	条件	最小値	標準値	最大値	単位
エラー出力電圧	V_{FOH}	$V_{SC}=0V, F_o=10k\Omega$ 5V プルアップ	4.9	—	—	V
	V_{FOL}	$V_{SC}=1V, I_{FO}=1mA$	—	—	0.95	V

図 3-9: Fo端子の V-I 特性($V_D=15V, T_j=25^\circ C$, 代表例)

3. 1. 7 スナバコンデンサの接続

サージ電圧による耐電圧破壊を防止するために、平滑コンデンサと DIP-IPM の端子間の配線はできるだけ短くしてください。また、0.1~0.22 μF 程度の C スナバを挿入してください。

図 3-10 の様に、スナバコンデンサの挿入位置として①と②が考えられます。サージ電圧を最大限に除去する為にはスナバコンデンサを②の位置に設置する必要がありますが、シャント抵抗にはスナバコンデンサを通して充放電電流(配線インダクタンスとスナバコンデンサの共振電流)が流れます。配線インダクタンスが大きい場合、この充放電電流で短絡保護回が動作する場合がありますので注意が必要です。

シャント抵抗の外(①の位置)にスナバコンデンサを設置する場合は、サージ電圧を最大限に除去する為に A の配線を短くし、③のように設置することを御検討ください。

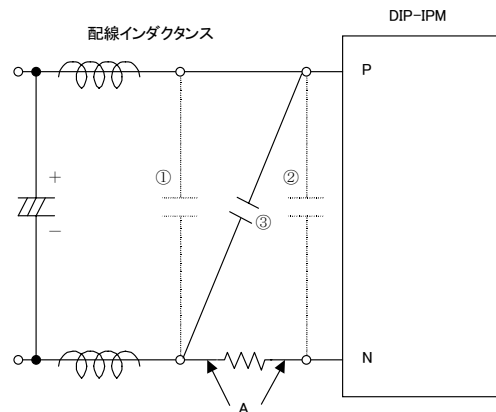


図 3-10: スナバ接続回

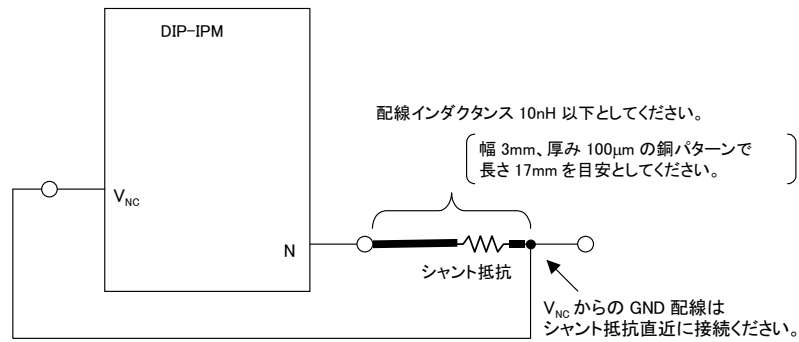
DIP-IPM Ver.4の使用方法

3. 1. 8 外部シャント抵抗周辺回路の接続

DIP-IPM の短絡保護機能を利用するためには、DIP-IPM の外部に電流検出用のシャント抵抗が必要です。DIP-IPM とシャント抵抗の配線が長くなりますと、配線パターンインダクタンスによって、電圧サージが発生し、DIP-IPM 内部の IC を破壊することがあります。

DIP-IPM とシャント抵抗間の配線パターンは、配線インダクタンスが小さくなる様、極力短く配線してください。また、シャント抵抗は可能であれば、リードのない面実装タイプなどを使用して、インダクタンスを抑える様にしてください。

(a) 通常仕様・長尺仕様・制御側千鳥端子・両側千鳥端子仕様 (-A/-C/-W)



(b) N側分割エミッタ仕様(PS2196X-4S/-ST)

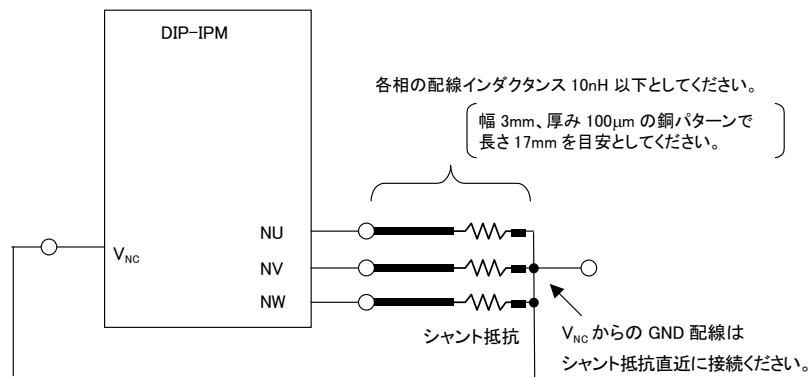


図 3-11: シャント抵抗周辺配線

DIP-IPM Ver.4の使用方法

外部シャント抵抗周辺の配線は、その配線インダクタンスによって下記のようにDIP-IPMの動作にさまざまな影響を与えます。極力短く設計し、配線インダクタンスを抑える様にしてください。

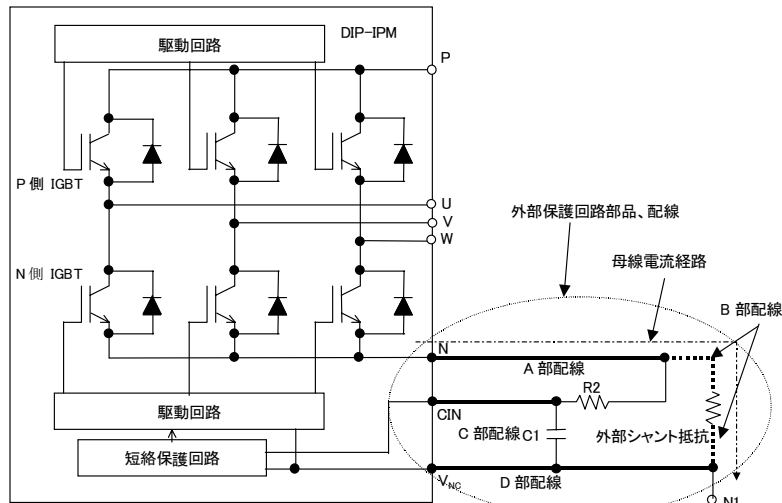


図 3-12: シャント抵抗周辺配線と配線の影響

(1) A 部配線パターンの影響

N 側 IGBT ゲートは V_{NC} 基準で動作します。図 3-12 中の A 部配線パターンが長いと、IGBT のスイッチング時に A 部配線インダクタンスによる電圧変動が発生し、IGBT のエミッタ電位を変動させ異常動作する要因となります。外部シャント抵抗は、配線インダクタンスが 10nH 以下となるように極力 N 端子近傍に設置してください。

(2) B 部配線パターンの影響

B 部配線は短絡保護レベルに影響を与えます。短絡保護は $CIN - V_{NC}$ 間に発生する電圧 (typ. 0.48V) で動作します。B 部配線が長いと、この配線インダクタンスにより発生するサージ電圧により、短絡保護レベルが低下します。 CIN 、 V_{NC} は、B 部配線を含まないように外部シャント抵抗の両端に接続してください。

(3) C 部配線パターンの影響

外部シャント抵抗に発生するノイズを除去するために、 $C1R2$ フィルタ回路を接続しますが、C 部配線が長いと、フィルタ効果が小さくなり、誘導ノイズを受けやすくなります。 $C1R2$ フィルタは CIN 、 V_{NC} 端子近傍に設置してください。

(4) D 部配線パターンの影響

(1)~(3)までの項目すべてに影響があります。GND 配線は極力短く、べたパターンとする必要があります。

DIP-IPM Ver.4の使用方法

3. 1. 9 PCB設計時の注意点について

超小型 DIP-IPM Ver.4 シリーズ用のPCBパターンを設計される上でパターン上の主な注意点を図 3-13 に示します。

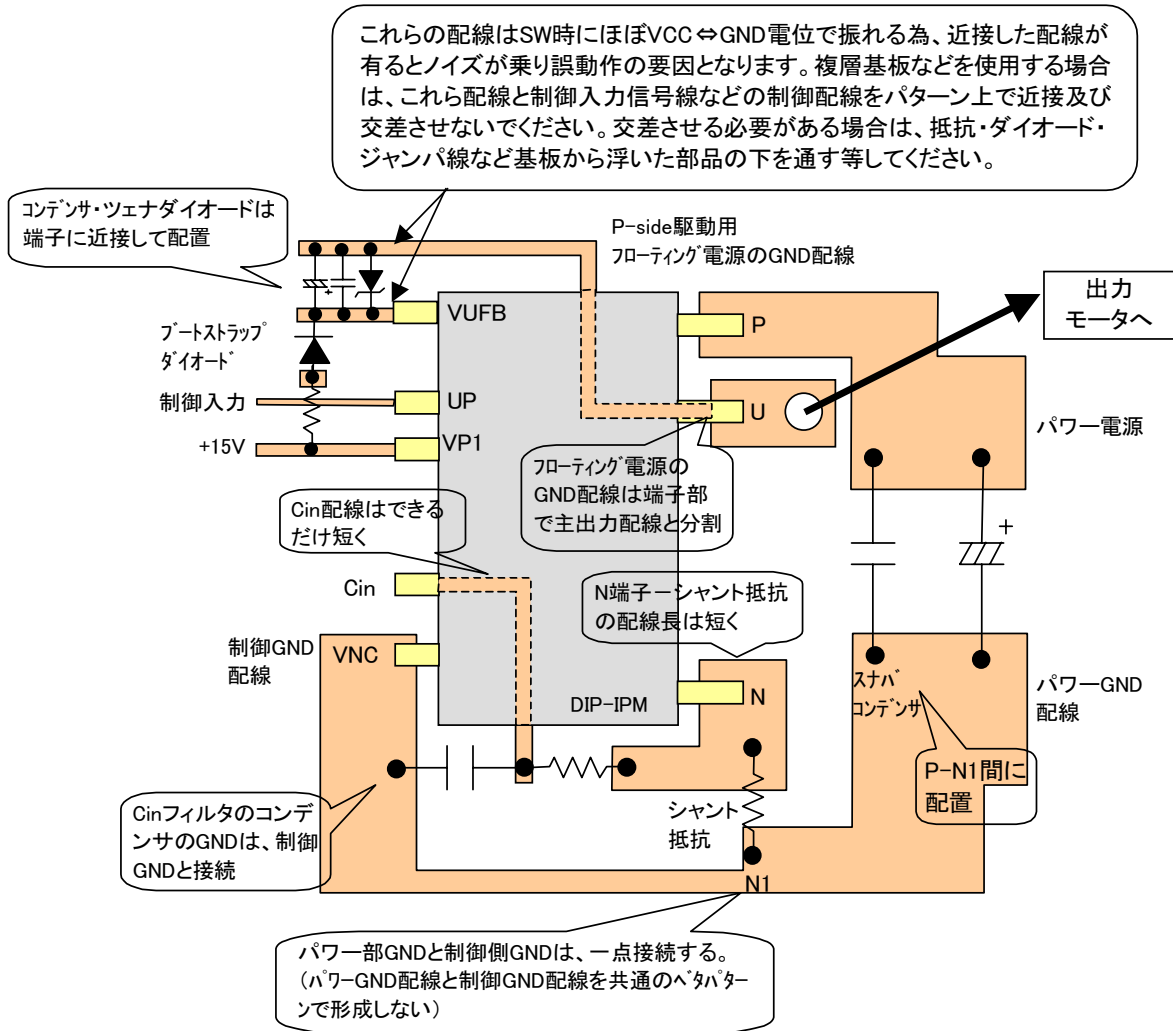


図 3-13: PCBパターン設計時の注意点

3. 1. 10 DIP-IPMの SOA(スイッチング時、短絡時)

DIP-IPMの SOA について下記に示します。(規定はしていません)

V_{CES} : DIP-IPM 内部の IGBT のコレクターエミッタ間電圧の最大定格

V_{CC} : P-N 間電源電圧

$V_{CC(surge)}$: V_{CC} に、P-N 電源間につながる電解コンデンサと IPM の P-N 間の配線インダクタンスにより発生するサージ電圧を加えた電圧を表します。

$V_{CC(prot)}$: 自己保護可能な P-N 間電源電圧を表します。

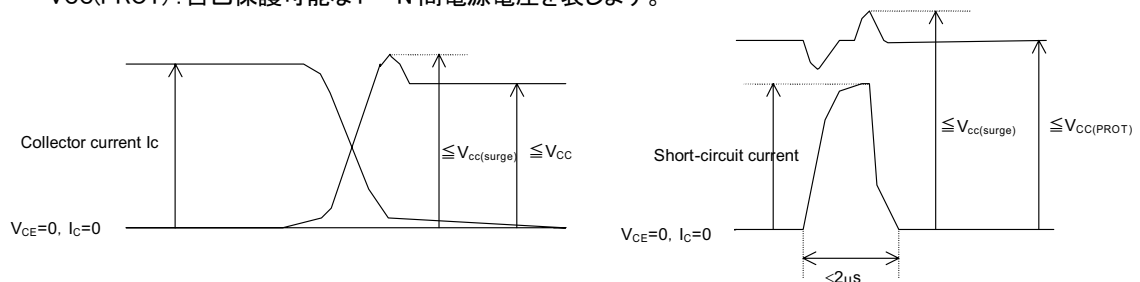


図 3-14: スwitching、短絡時の SOA

DIP-IPM Ver.4の使用方法

スイッチングターンオフ時

V_{CES} はDIP-IPMに搭載されるIGBTの耐圧600Vを示しています。この値より、DIP-IPM内の配線インダクタンスで発生するサージ電圧(マージン等考慮し100V以下)を引いたものが $V_{CC(surge)}=500V$ となります。さらに、P-N電源間につながる電解コンデンサとIPMのP-N間の配線インダクタンスにより発生するサージ電圧(50V以下)を引いたものが $V_{CC}=450V$ となります。

短絡時

V_{CES} はDIP-IPMに搭載されるIGBTの耐圧600Vを示しています。この値より、DIP-IPM内の配線インダクタンスで発生するサージ電圧(マージン等考慮し100V以下)を引いたものが $V_{CC(surge)}=500V$ となります。さらに、P-N電源間につながる電解コンデンサとIPMの間の配線インダクタンスにより発生するサージ電圧(100V以下)を引いたものが $V_{CC}=400V$ となります。

3. 1. 11 動作寿命について

DIP-IPMの動作時は、IGBTの温度変化(ΔT_j)が繰り返し起きます。この温度変化 ΔT_j と温度変化のサイクル数は、デバイスの寿命に影響を及ぼします。

図3-15にIGBTの ΔT_j とサイクル数の寿命カーブを示します。

($\Delta T_j=46, 88, 98^\circ\text{C}$ の3ポイントで実施したデータであり、それぞれの故障率0.1, 1, 10%の点を回帰直線で表したものです。)

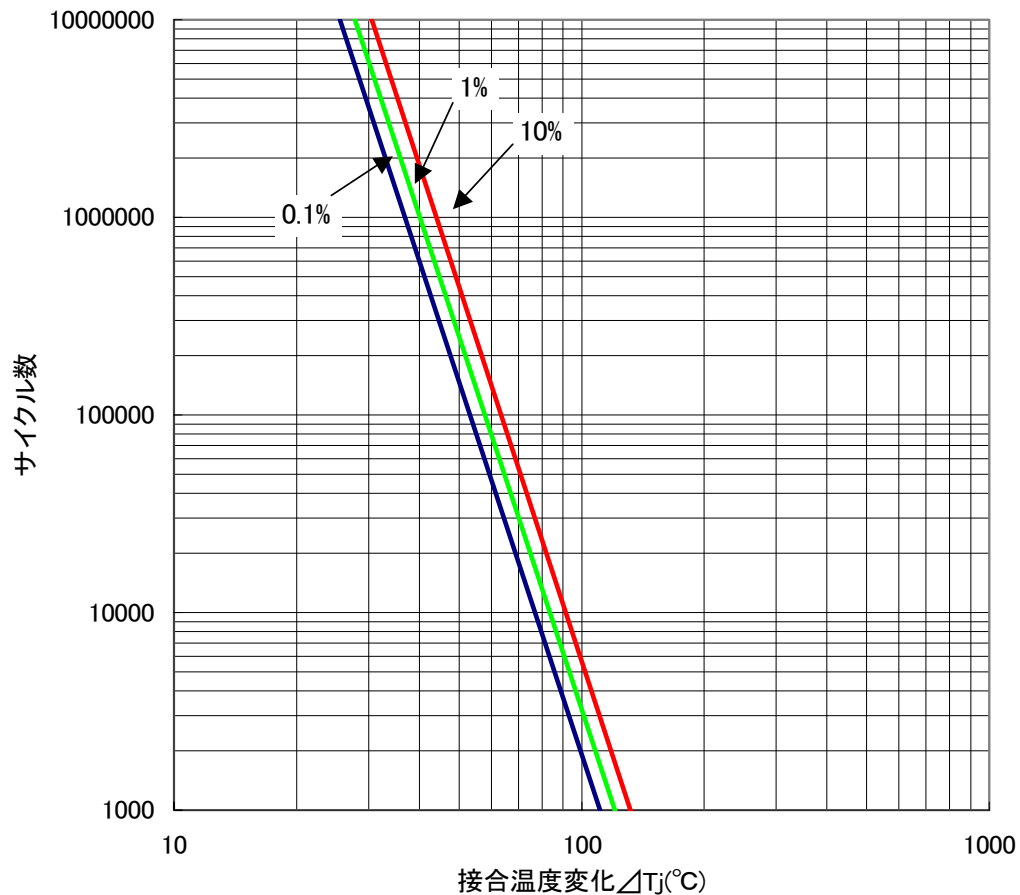


図 3-15: DIP-IPMの寿命カーブ

3.2 パワー・ロスと放熱設計

3.2.1 損失計算方法(例)

平均電力損失簡易計算式について

●適用範囲

VVVF インバータへの応用に際してパワー素子を選定(比較)するための、通常動作時の総合損失の算出が可能です。
装置の熱設計(限界設計)には適用できません。

●仮定条件

- ①正弦波電流出力 PWM 制御 VVVF インバータ
- ②正弦波・三角波比較による PWM 信号発生
- ③PWM 信号のデューティー振幅は $\frac{1-D}{2} \sim \frac{1+D}{2}$ (%/100) で変化 D:変調率
- ④出力電流にはリップルがなく $I_{cp} \cdot \sin x$ が流れる
- ⑤出力電流に対する負荷力率は $\cos\theta$ 、スイッチングに対する負荷は純インダクタンス

●式の算出

PWM 信号のデューティー変化は、位相 x に対して $\frac{1+D \times \sin x}{2}$ となり、これが出力電圧変化に相当しますから、出力電流と電圧の関係を示す力率 $\cos\theta$ により、出力電流の任意の位相 x での出力電流と PWM デューティーは、

$$\begin{aligned} \text{Output current} &= I_{cp} \times \sin x \\ \text{PWM Duty} &= \frac{1+D \times \sin(x+\theta)}{2} \end{aligned}$$

従って、位相 x での $V_{CE(sat)}$ と V_{EC} は

$$\begin{aligned} V_{ce(sat)} &= V_{ce(sat)}(@ I_{cp} \times \sin x) \\ V_{ec} &= (-1) \times V_{ec}(@ I_{cp}(= I_{cp}) \times \sin x) \end{aligned}$$

以上から、トランジスタの静損失は、

$$\frac{1}{2\pi} \int_0^{\pi} (I_{cp} \times \sin x) \times V_{ce(sat)}(@ I_{cp} \times \sin x) \times \frac{1+D \sin(x+\theta)}{2} \bullet dx$$

同様にフリーホイールダイオードの静損失は、

$$\frac{1}{2\pi} \int_{\pi}^{2\pi} ((-1) \times I_{cp} \times \sin x) ((-1) \times V_{ec}(@ I_{cp} \times \sin x)) \times \frac{1+D \sin(x+\theta)}{2} \bullet dx$$

一方、トランジスタの動損失は PWM デューティーに依りませんので

$$\frac{1}{2\pi} \int_0^{\pi} (P_{sw(on)}(@ I_{cp} \times \sin x) + P_{sw(off)}(@ I_{cp} \times \sin x)) \times fc \bullet dx$$

またフリーホイールダイオードの動損失は、図 3-16 のように理想化すると

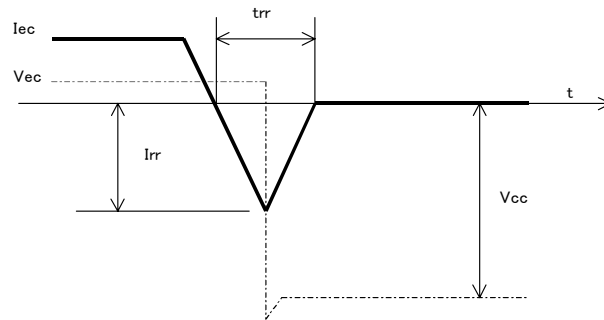


図 3-16: FWDi の動損失

$$P_{sw} = \frac{I_{rr} \times V_{cc} \times trr}{4}$$

リカバリーが発生するのは、出力電流周期の半分ですので、動損失は、

$$\begin{aligned} & \frac{1}{2} \int_{\pi}^{2\pi} \frac{I_{rr}(@ I_{cp} \times \sin x) \times V_{cc} \times trr(@ I_{cp} \times \sin x)}{4} \times fc \cdot dx \\ & = \frac{1}{8} \int_{\rho}^{2\pi} I_{rr}(@ I_{cp} \times \sin x) \times V_{cc} \times trr(@ I_{cp} \times \sin x) \times fc \cdot dx \end{aligned}$$

●インバータへの応用の際の一般的な注意点

- ・出力電流 1 周期分を多数分割し、各点における実際の「PWM デューティー」、「出力電流」、「その電流における $V_{CE(sat)}$ 、 V_{EC} 、 P_{sw} 」に基づいて計算し加算する必要があります。
- ・PWM デューティーは信号の発生方法に依存します。
- ・出力電流波形や出力電流と PWM デューティーの関係は信号の発生方法、負荷、その他の種々の要因に依存しますので、実波形を基にします。
- ・ $V_{CE(sat)}$ は $T_j=125^{\circ}\text{C}$ の値を使用します。
- ・ P_{sw} は $T_j=125^{\circ}\text{C}$ ハーフブリッジ動作時の値を使用します。

DIP-IPM Ver.4の使用方法

3. 2. 2 温度上昇の考え方と計算例

DIP-IPMの代表特性を基に損失計算を行った結果を、実効電流 I_o とキャリア周波数特性(代表例)として図3-17に示します。

条件: $V_{CC}=300V$, $V_D=V_{DB}=15V$, $P.F=0.8$, $V_{CE(sat)}=Typ.$, スイッチングロス=Typ.値, $T_j=125^{\circ}C$, $T_f=100^{\circ}C$
 $R_{th(j-c)}$ =規格 max., $R_{th(c-f)}=0.3^{\circ}C/W(1/6 \text{ モジュール})$, シミュレーションモデル 3相変調 正弦波出力 60Hz

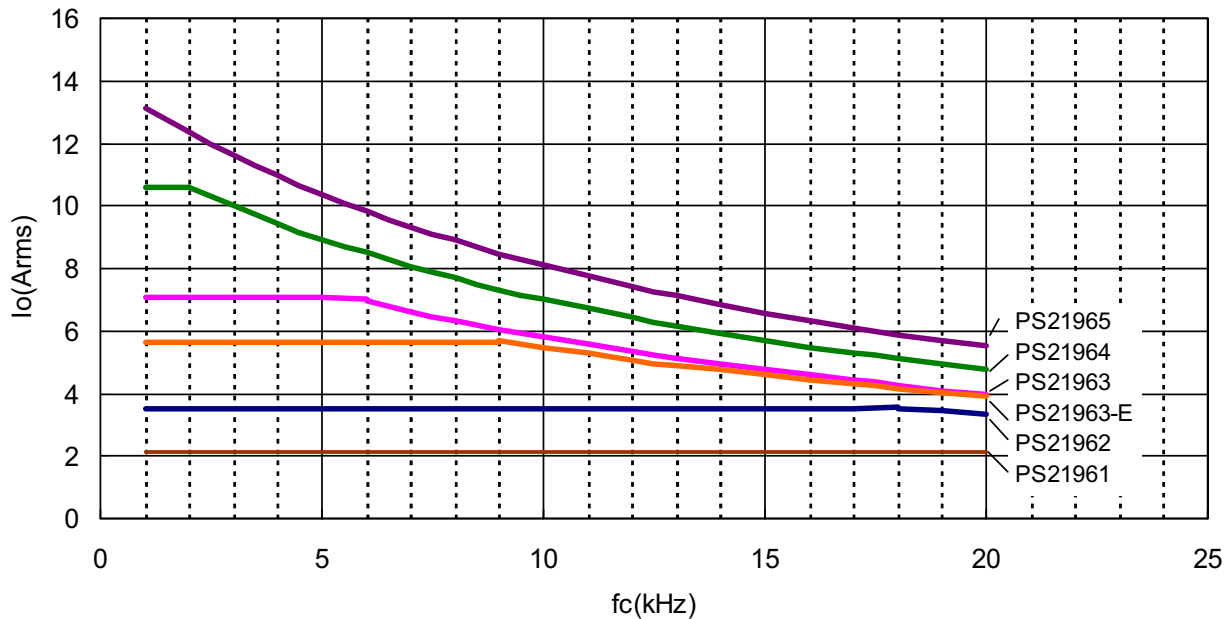


図 3-17: DIP-IPMキャリア周波数-実効電流特性(代表例)

図3-17の特性(計算値代表例)は、フィン温度 $T_f=100^{\circ}C$ でインバータ動作した場合に、IGBTのジャンクション温度 T_j が、安全動作させるための平均動作接合温度 $125^{\circ}C$ まで上昇する時に流し得ることのできる許容実効電流 I_o を表しています。この特性は、制御方式、モーター種等で変わります。又、定格以上の電流は、連続して流さないようにしてください。

許容電流は、三菱半導体ホームページ(URL <http://www.mitsubishielectric.co.jp/semiconductors/>)で公開の損失計算ソフトを使用して計算することができます。

DIP-IPM Ver.4の使用方法

3.3 ノイズ耐量について

3.3.1 測定回

DIP-IPMでのノイズ試験に関しては、図 3-18 の測定回、条件で±2.0kV以上の耐量を確認しています。ノイズ耐量は、ノイズ試験の環境、制御基板配線パターン、部品配置等に大きく依存しますのでシステムでの確認を行ってください。

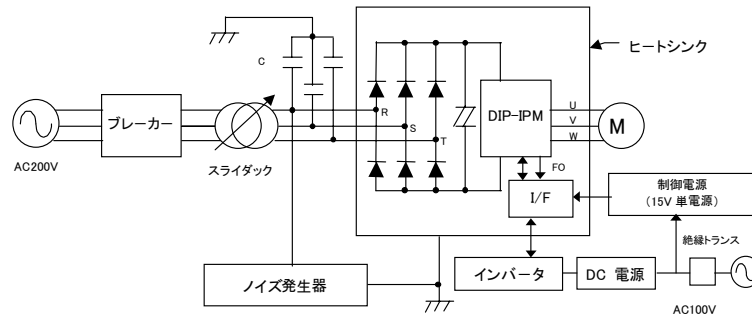
測定回

図 3-18: ノイズ試験回

C1: AC ラインコモンモードフィルター4700pF
 マイコンからのPWM信号は直接入力とフォトカプラ入力の両方で実施
 15V単電源方式
 モーターはIM, DCBLMの両方で実施

測定条件

$V_{CC}=300V$, $V_D=15V$, $T_a=25^\circ C$, 無負荷
 ノイズ印加方法: ACライン(R, S, T)より印加 周期 $T=16ms$, 時間幅 $tw=0.05\sim 1\mu s$, Random入力

3.3.2 対策と注意事項

DIP-IPMは、設計時に内部配線の最適化による低インダクタンス化、絶縁構造の最適化による漏れ電流の低減を行うことで、部品を削減しノイズ耐量を確保しています。

外部ノイズによる過電流での誤動作が発生した場合、DIP-IPM外でのノイズ対策として以下をご検討ください。

- ①電源部のフィルターの強化(DIP-IPM端子近傍)
- ②入力部の低インピーダンス化
- ③入カ-GND間へのフィルター挿入(ノイズのバイパス)

3.3.3 静電気耐量について

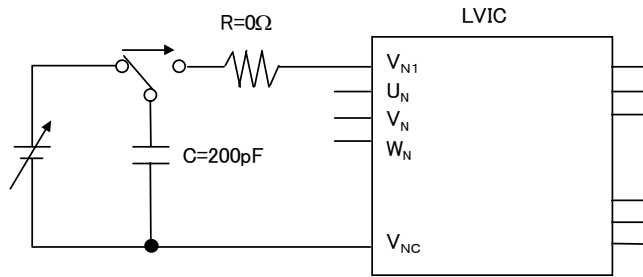
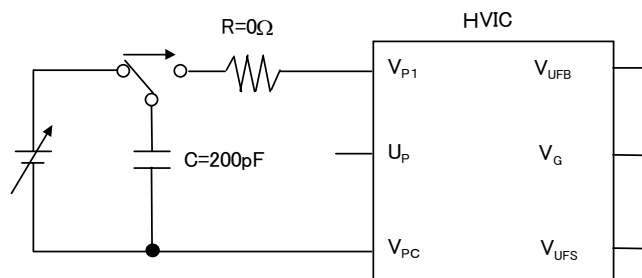
図 3-19: 静電気耐量評価回 (V_{N1} 端子評価時)図 3-20: 静電気耐量評価回 (V_{P1} 端子評価時)

図 3-19,20 の評価回 にて、DIP-IPM各制御端子に正・負の電圧を 1 回印加し、印加前後の端子の V-I 特性を確認しております。各端子とも±200V 以上の耐量を確認しております。

DIP-IPM Ver.4の外部定数設定方法

第4章 DIP-IPM Ver.4 の外部定数設定方法

4.1 短絡保護用外部シャント抵抗の設定方法

(1) シャント抵抗値の設定

DIP-IPM の短絡保護を行うためには、外部に電流検出用のシャント抵抗を接続する必要があります。外部シャント抵抗値は、短絡保護トリップ電圧 $V_{SC(ref)}$ と遮断すべき電流設定値 SC から次式で設定します。

$$\text{外部シャント抵抗値 } R_{SC} = V_{SC(ref)} / SC$$

SC レベルの max 値は、DIP-IPM の飽和電流 min 値以下となるように設定する必要があります。DIP-IPM の飽和電流最小値は定格電流の 1.7 倍ですので、それ以下になるように外部シャント抵抗値を設定してください。

例として PS21964-4 で SC レベルを 25.5A (定格 15AX1.7) とした場合の設定を下記に示します。

DIP-IPM の SC 基準電圧のバラツキを表 4-1 に示します。

表 4-1: $V_{SC(ref)}$ の規格

項目	記号	条件	最小値	標準値	最大値	単位
短絡保護トリップレベル	$V_{SC(ref)}$	$T_j=25^\circ\text{C}$, $V_D=15\text{V}$	0.43	0.48	0.53	V

シャント抵抗にもバラツキがありますので、これを考慮すると SC レベルは下記のようにになります。

$$SC_{max.} = V_{SC(ref)max.} / \text{外部シャント抵抗値 min.}$$

$$SC_{typ.} = V_{SC(ref)typ.} / \text{外部シャント抵抗値 typ.}$$

$$SC_{min.} = V_{SC(ref)min.} / \text{外部シャント抵抗値 max.}$$

シャント抵抗のバラツキを±5%とすると、SC レベルの動作範囲は表 4-2 となります。

表 4-2: SC の動作範囲 単位 A (シャント抵抗値 min. 20.8mΩ, typ. 21.9mΩ, max. 23.0mΩ)

	min.	typ.	max.
$T_j=25^\circ\text{C}$ での SC 動作範囲	18.7 A	21.9 A	25.5 A

外部配線の寄生インダクタンスや寄生容量に起因する共振波形により、設計値より低い電流で保護回路が動作することがあります。抵抗値の調整は最終的には実機で評価する必要があります。

(2) CR 時定数の設定

CR フィルター回路は、シャント抵抗に発生するノイズによる SC 保護回路の誤動作を防止と、過負荷時に十分な電流を流すことを目的としています。ノイズの印加時間と素子の耐量から CR 時定数を設定します。

外部シャント抵抗に SC レベルを超えると電圧が発生した後、CR フィルターを介し CIN 端子に電圧が印加される時間 t_1 は下記計算式により求められます。

$$\text{計算式 } V = R \cdot I \cdot (1 - e^{-t_1/\tau}) \text{ より}$$

$$t_1 = -\tau \cdot \ln(1 - (V / R \cdot I))$$

V : 短絡保護トリップ電圧 $V_{SC(ref)}$

R : シャント抵抗値

I : ピーク電流値

τ : CR 時定数

t_1 : 遮断時間

CIN 端子に電圧が印加されてから IGBT のゲートが遮断される時間 t_2 (IC 内部の遅れ時間)を表 4-3 に示します。

表 4-3: SC 回路遅れ時間

項目	min.	typ.	max.	単位
SC 遮断時間	0.3	0.5	1.0	μs

外部シャント抵抗に SC レベルを超える電圧が発生した後、IGBT のゲートを遮断するまでの時間 t_{TOTAL} は、下記となります。

$$t_{TOTAL} = t_1 + t_2$$

DIP-IPM Ver.4の外部定数設定方法

図 4-1 に PS21962,3,4 の短絡 SOA カーブ (代表例) を示します。本図は、内蔵される IGBT の ON しきい値電圧の min. (飽和電流が大となるもの) の場合の代表例で、図に示した条件時に定格の約 9.5 倍のコレクタ電流が流れ、この時の IGBT の ON 期間が $4.5\mu\text{s}$ 以下であれば、ターンオフできる実力があることを示しています。制御電源電圧 V_D 、主回路電圧 (V_{CC}) によって IGBT の短絡動作範囲は変わりますので、CR フィルタの設定は SOA にマージンを持って設定してください。

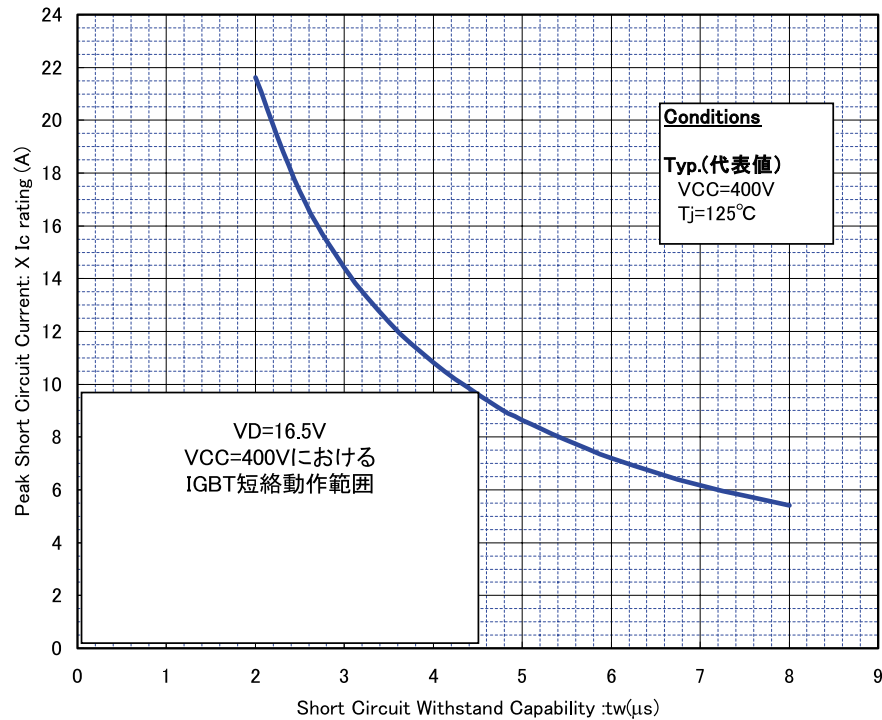


図 4-1: PS21962,3,4 の短絡 SOA カーブ (代表値)

DIP-IPM Ver.4の外部定数設定方法

4. 2 ブートストラップ回路の接続と設定方法

4. 2. 1 初期充電動作・原理

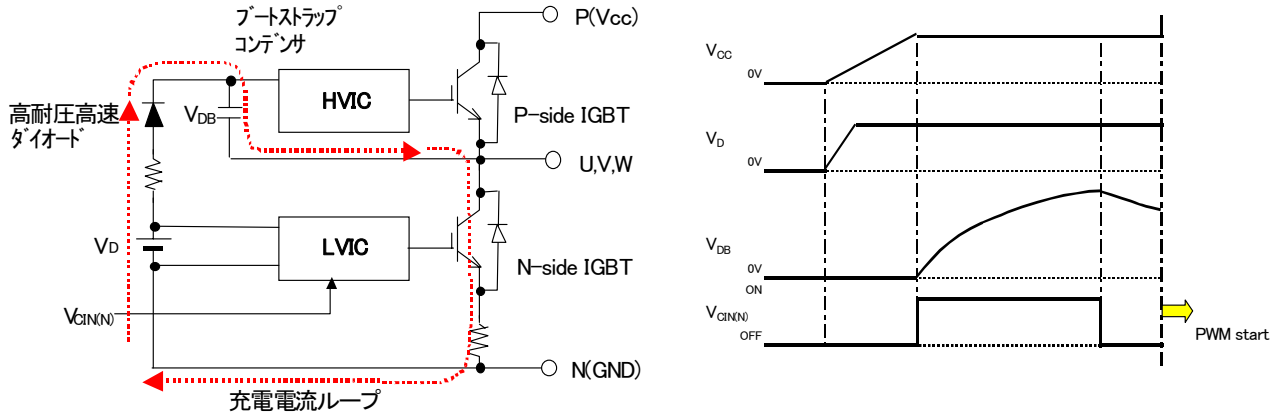


図 4-2: ブートストラップ充電電流ループと初期充電タイミングチャート

ブートストラップ回路を用いると、通常のインバータ回路構成に必要な、4つの電源をN側駆動用電源の1つで動作させることが出来ます。P側の駆動用電源は、ブートストラップ回路のコンデンサの電圧を使用しますので、始動時にブートストラップ電源の充電用信号を印加する必要があります。ブートストラップコンデンサの充電は図4-2の様に、N側IGBTをターンオンさせることで行います。

ブートストラップコンデンサを十分充電できる充電パルスを印加してください。

参考)コンデンサ容量 100 μ F、制限抵抗 50 Ω 程度での、初期充電時間は約 5msec です。

4. 2. 2 インバータ動作中のブートストラップ充放電動作

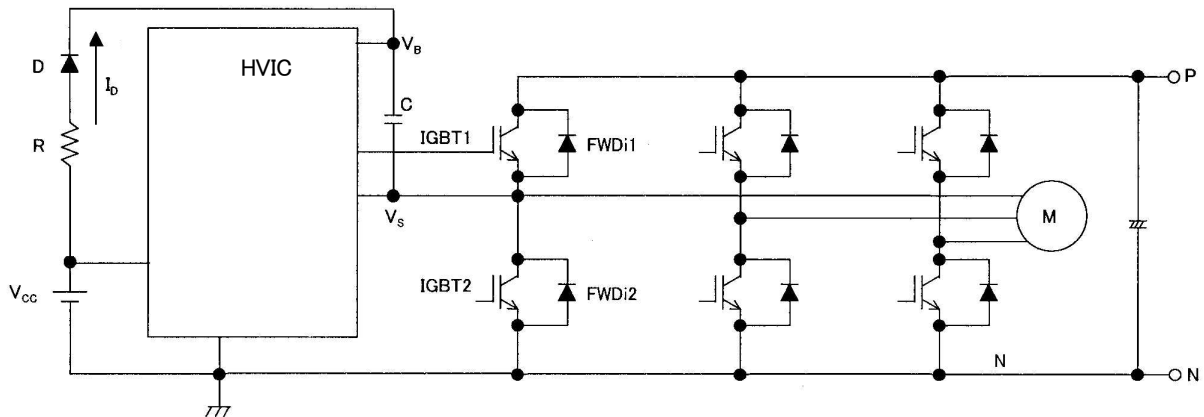
IGBT2の $V_{CE(sat)}$ は V_{sat2} 、FWDi2の V_{EC} は V_{EC2} 、D1の V_F は V_{F1} 。

図 4-3: インバータ回路図

(1) ブートストラップコンデンサ(C1)の充電動作

(1-1) IGBT2がON状態の時(図 4-4)

IGBT2がON状態の時、Cの充電電圧($V_{C(1)}$)は、次式ようになります。

$$V_{C(1)} = V_{CC} - V_{F1} - V_{sat2} - I_D \cdot R \text{ (過度状態)}$$

$$V_{C(1)} = V_{CC} \text{ (定常状態)}$$

この状態から、IGBT2がOFFし、上下アームOFFの期間(IGBT1, 2のデッドタイム期間)は、通常FWDi1が導通する再生モードとなり、 V_s の電位は、P電位近くまで上昇するため、Cは充電されません。

その後、IGBT1がONとなるとその駆動電圧は、 $V_{C(1)}$ の電位から駆動回路の消費電流により徐々に低下していきます。

DIP-IPM Ver.4の外部定数設定方法

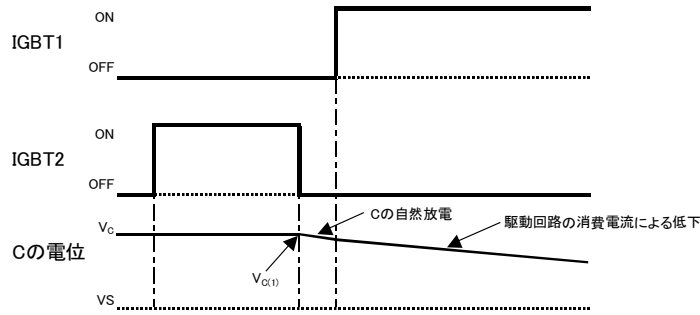


図 4-4: (1-1)のタイミングチャート

- (1-2) IGBT2がOFF状態でFWDiがON状態の時(図 4-5)
IGBT2がOFF状態でFWDi2がON状態時、Cの充電電圧($V_{C(2)}$)は、次式のようにになります。

$$V_{C(2)} = V_{CC} - V_{F1} + V_{EC2}$$

この状態において、IGBT2がOFFで、IGBT1がOFFの期間は、FWDi2が導通する回生モードを維持します。従って、 V_S の電位は V_{EC2} 低下し、この分Cへの充電が行われます。その後IGBTがONとなると、その駆動電圧は、 $V_{C(2)}$ の電位から駆動回路の消費電流により徐々に低下していきます。

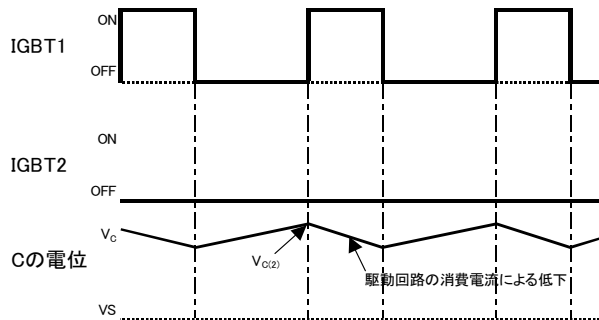


図 4-5: (1-2)のタイミングチャート

- (2) ブートストラップコンデンサ(C1)、抵抗(R)設定時の注意事項

ブートストラップコンデンサ(C)の容量は、IGBT1の最大ONパルス幅T1での、ICの駆動電流 I_{BS} (温度特性、周波数特性を考慮)によるCの放電許容電圧 ΔV から設定し、

$$C = I_{BS} \times T1 / \Delta V$$

となり、マージン分を付加します。

抵抗Rは、基本的には、IGBT2の最小ONパルス幅T2で、 ΔV だけCに充電できるC1・R2の時定数となるように設定します。ただし、IGBT1のみが、ON-OFF-ONとなる静止モードが存在する時(図 4-5)は、ON期間で消費された電流による電圧低下分を、OFF期間で充電するように時定数を設定する必要があります。

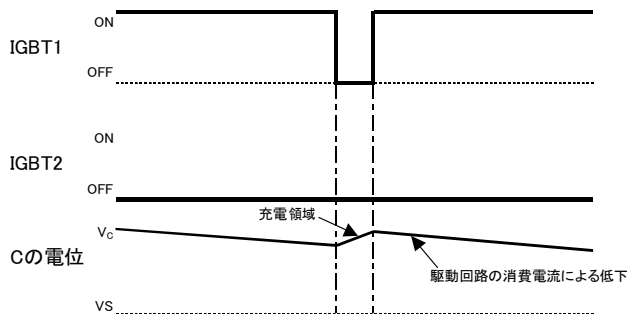


図 4-6: (2)のタイミングチャート

DIP-IPM Ver.4の外部定数設定方法

(設定例)

V_{DB} が 13.5V 以下にならないように、例えば $\Delta V_{DB}(I_{DB}$ による消費電圧)=1V とする。ハイサイド側 IGBT1 最大 ON パルス幅 T1 を 5ms とする。 I_{DB} は規格 max の 0.55mA とする。

$$C = I_{DB} \times T1 / \Delta V = 2.75 \times 10^{-6}$$

すなわち、ブートストラップコンデンサ C の容量は、2.75 μ F となり、これにマージン分を付加します。バラツキ、信頼性等を考慮し、C の容量は計算結果の 2~3 倍に選定するのが一般的ですので、ブートストラップコンデンサ C は 10 μ F を選定します。

次に、ハイサイド側 IGBT1 の最大 ON パルス幅 5ms で減衰した電圧 $\Delta V_{DB}(I_{DB}$ による消費電圧)=1V を、ローサイド側 IGBT2 の最小 ON 期間または、ハイサイド側 IGBT1 のみが ON-OFF-ON を繰り返すモードがある場合は、ハイサイド側 IGBT1 最大 ON パルス直後のハイサイド側 IGBT1 最小 OFF 期間(FWDi の還流期間)で充電する必要がありますので、その場合の制限抵抗 R の設定例を下記に示します。

例)

ブートストラップコンデンサ C の容量を、10 μ F、 $V_D=15V$ 、 $V_{DB}=14V$ と仮定する。ローサイド側 IGBT2 の最小 ON 期間または、ハイサイド側 IGBT1 最小 OFF 期間 t_0 を 20 μ s と仮定すると、この期間で $\Delta V_{DB}=1V$ 充電する必要があります。

$$R = [(V_D - V_{DB}) \times t_0] / (C \times \Delta V_{DB}) = 2$$

すなわち、制限抵抗は 2 Ω となります。

* : DCBLM 制御、IM 2 相変調を行う場合は、ハイサイド側 IGBT の ON 期間が長いモードが発生するため、上記に注意し設計してください。

注) 上記は計算による設定例です。御社での制御パターンを考慮し、評価にてご確認ください。また、最終的には部品の寿命も考慮し設定してください。

ブートストラップダイオード D の選定

ブートストラップダイオード D は、耐圧 600V 以上のものを使用してください。DIP-IPM は電源電圧の最大定格 $V_{CC}=450V$ を保証しています。ブートストラップダイオード D に印加される電圧は、サージ電圧を含めると 500V 印加されます。マージンを考慮し、耐圧 600V 以上を推奨します。また、特性に関し、高速リカバリーのものを使用してください。(リカバリー時間 $t_{rr}=100ns$ 以下のものを推奨します)

制御電源 V_D 、 V_{DB} 間ノイズフィルター

DIP-IPM の制御系電源端子($V_{P1}-V_{NC}$ 間、 $V_{N1}-V_{NC}$ 間、 $V_{UFB}-U$ 間、 $V_{VFB}-V$ 間、 $V_{WFB}-W$ 間)にノイズフィルターとして 0.22~2 μ F 程度のフィルムコンデンサまたはセラミックコンデンサの挿入を推奨します。電源ラインの配線インピーダンス低減により、ノイズフィルターコンデンサの値は小さく設計することができます。電源ノイズの変動成分が $\pm 1V/\mu s$ より緩やかになるように、また、リップル電圧が 2V より小さくなるように設計してください。

参考)

制御電源は AC 電圧よりトランスで降圧し、DC 電圧に変換した後、DC-DC コンバータ(3 端子レギュレータ)で作る場合、DC 電圧より直接 DC-DC コンバータ(スイッチングレギュレータ)で作る場合の 2 方式が一般的に使用されます。

注) ブートストラップコンデンサが十分に充電された後、PWM スタート前に P-Side にリセット用パルスを 1 パルス入力してください。

DIP-IPM Ver.4のI/F基板例

第5章 DIP-IPM Ver.4 の I/F 基板例

5.1 I/F 基板について

DIP-IPM Ver.4 標準仕様・長尺仕様の搭載が可能なインターフェイスボード(I/F基板)をご用意しています。
DIP-IPM Ver.4 を使用する上で、基板パターン設計の参考や評価にご使用ください。

(1) I/F基板の構成

三菱 DIP-IPM Ver.4 のI/F基板には、周辺回路として、スナバコンデンサ、ブートストラップ回路を搭載しています。

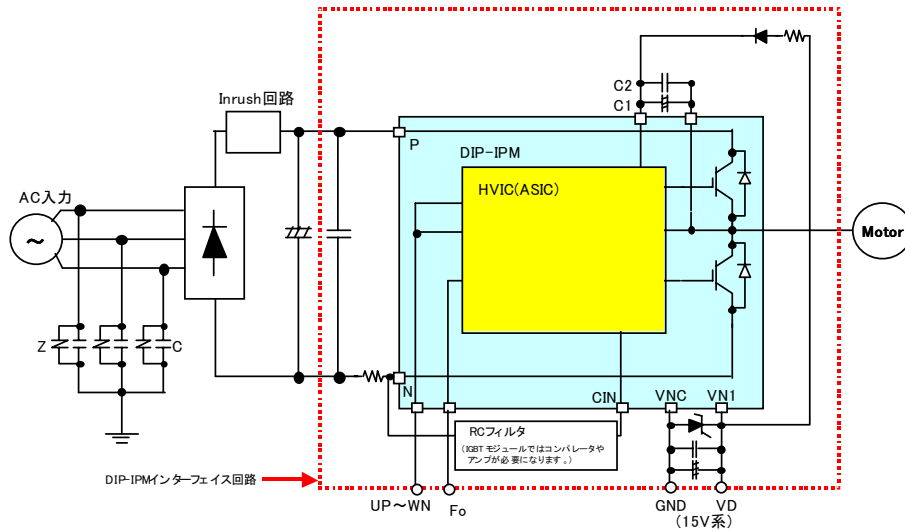
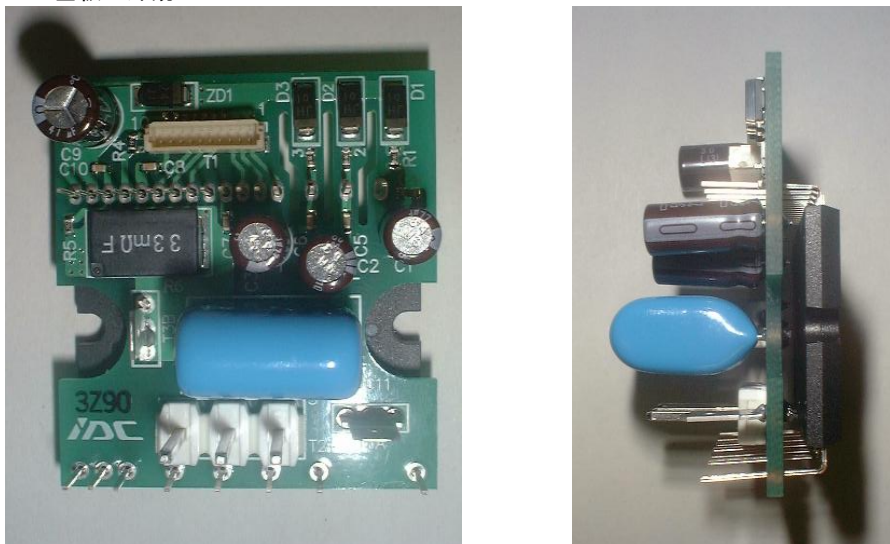


図 5-1: DIP-IPM Ver.4 I/F 基板の構成

(2) I/F基板の外観



基板サイズ: 43.5×40×27.1mm
(モジュール高さ含む)
周辺回路部品数: 21 個

図 5-2: DIP-IPM Ver.4 I/F 基板の外観

DIP-IPM Ver.4のI/F基板例

5.2 I/F 基板の配線パターン例(両面基板)

(1) インターフェイス基板部品配置図

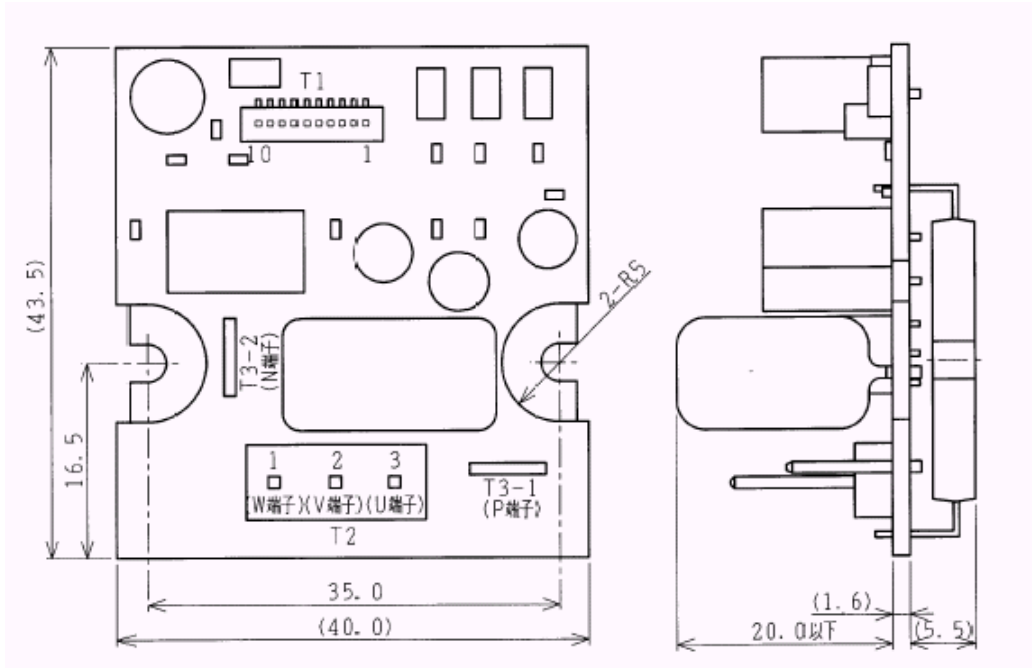


図 5-3: DIP-IPM Ver.4 I/F 基板の部品配置図

(2) 基板パターン図

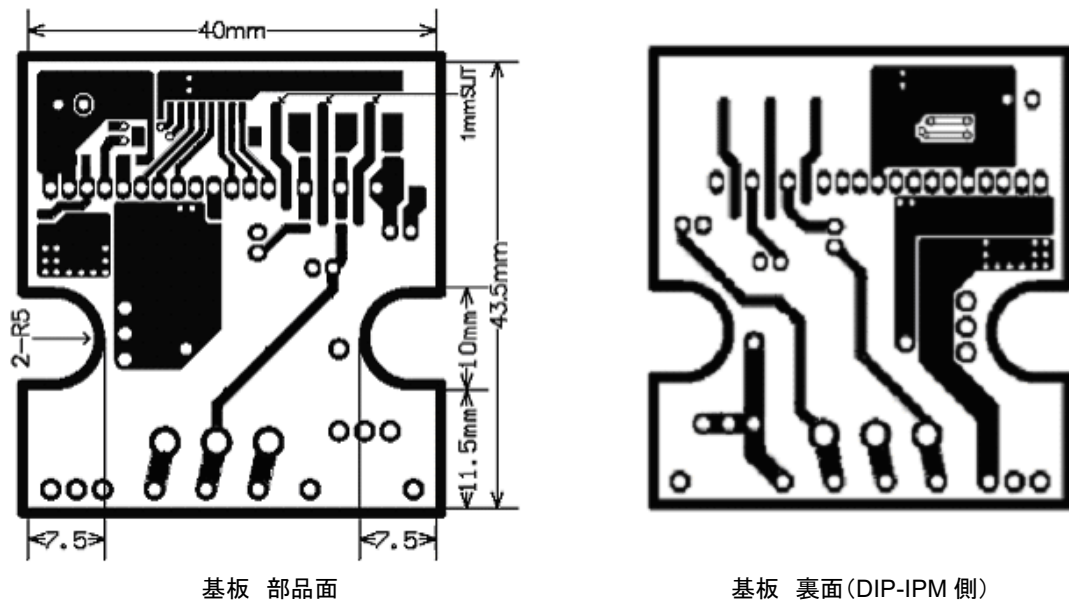


図 5-4: DIP-IPM Ver.4 I/F 基板の配線パターン図

DIP-IPM Ver.4のI/F基板例

5.3 回 図と部品図

(1)I/F基板回 図

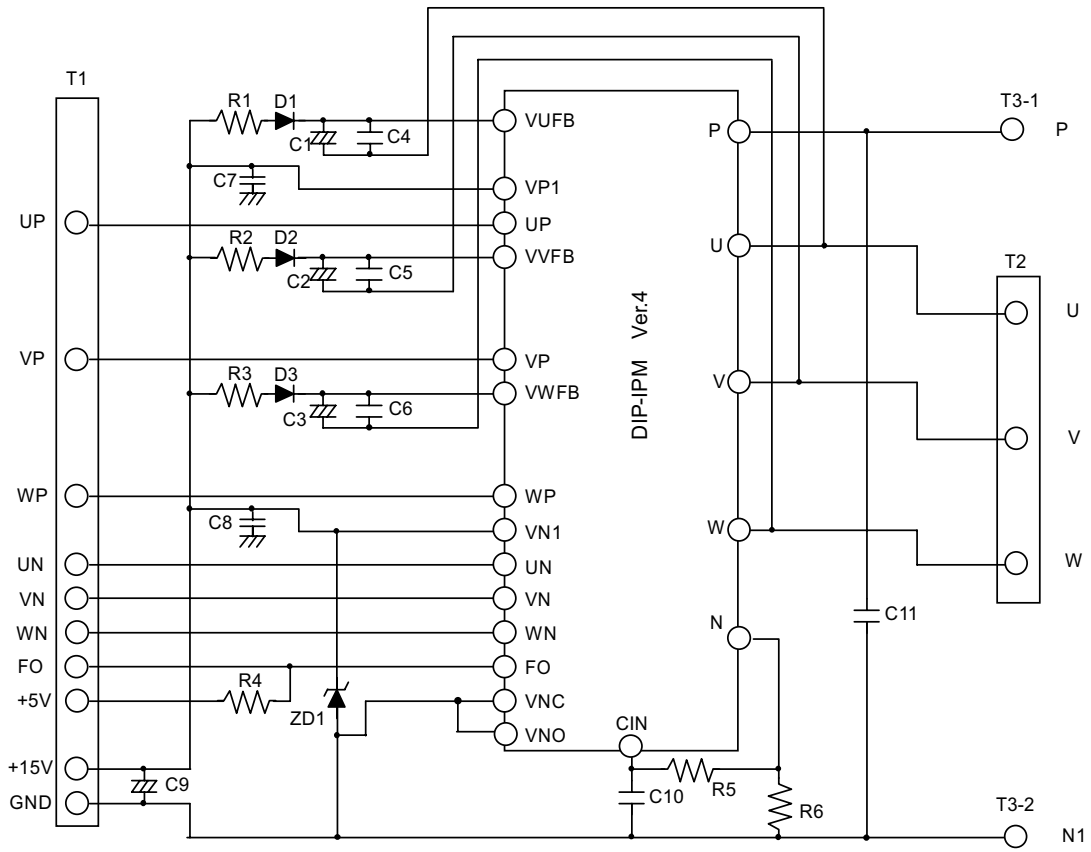


図 5-5: DIP-IPM Ver.4 I/F 基板の回 図

DIP-IPM Ver.4のI/F基板例

(2)I/F 基板部品リスト

表 5-1: 部品リスト

Symbol	Type Name	Description	pcs	Note
D1	U05JH44	0.5A 600V Diode	1	Toshiba, High speed type
D2	U05JH44	0.5A 600V Diode	1	Toshiba, High speed type
D3	U05JH44	0.5A 600V Diode	1	Toshiba, High speed type
ZD1	U1ZB24	24V 1W Zener Diode	1	Toshiba
C1	UFP1H220MEH	22 μ F 50V Al electrolytic capacitor	1	Nichicon
C2	UFP1H220MEH	22 μ F 50V Al electrolytic capacitor	1	Nichicon
C3	UFP1H220MEH	22 μ F 50V Al electrolytic capacitor	1	Nichicon
C4	GRM39R102M50PT	1000pF 50V ceramic capacitor	1	Murata
C5	GRM39R102M50PT	1000pF 50V ceramic capacitor	1	Murata
C6	GRM39R102M50PT	1000pF 50V ceramic capacitor	1	Murata
C7	GRM39R102M50PT	1000pF 50V ceramic capacitor	1	Murata
C8	GRM39R102M50PT	1000pF 50V ceramic capacitor	1	Murata
C9	UFP1H470MEH	47 μ F 50V Al electrolytic capacitor	1	Nichicon
C10	GRM39R102M50PT	1000pF 50V ceramic capacitor	1	Murata
C11	MDDSA	0.22 μ F 630V snubber capacitor	1	Hitachi AIC
R1	RK73H1JTD10F	1/16W 10 Ω F	1	KOA
R2	RK73H1JTD10F	1/16W 10 Ω F	1	KOA
R3	RK73H1JTD10F	1/16W 10 Ω F	1	KOA
R4	RK73H1JTD10kF	1/16W 10k Ω F	1	KOA
R5	RK73H1JTD2kF	1/16W 2k Ω F	1	KOA
R6	SL2TTE68LF	2W 0.021/0.033/0.068 Ω F \pm 5%	1	KOA, Current detecting resistor
T1	BS10B-SRSS	10pin Socket	1	
T2	B3P-VB-2	3-terminal connector	1	
T3-1	TP42097-21	Fasten tab	1	
T3-2	TP42097-21	Fasten tab	1	
IPM	PS21962/963/964	Mitsubishi 5A/10/15A DIP-IPM Ver.4	1	

(3)インターフェイス基板で評価される場合の注意事項

・DIP-IPM Ver.4 のインターフェイス基板には、入力信号/電源配線用(T1 部接続用)のコネクタとケーブルが付属します。実際に評価される場合は、マイコンなどの信号源とインターフェイス基板は極力短く接続してください。

・本パターンは参考例です。最終的には、貴社の設計基準・安全基準を満たすように基板設計をしてください。

第6章 その他

6.1 梱包仕様

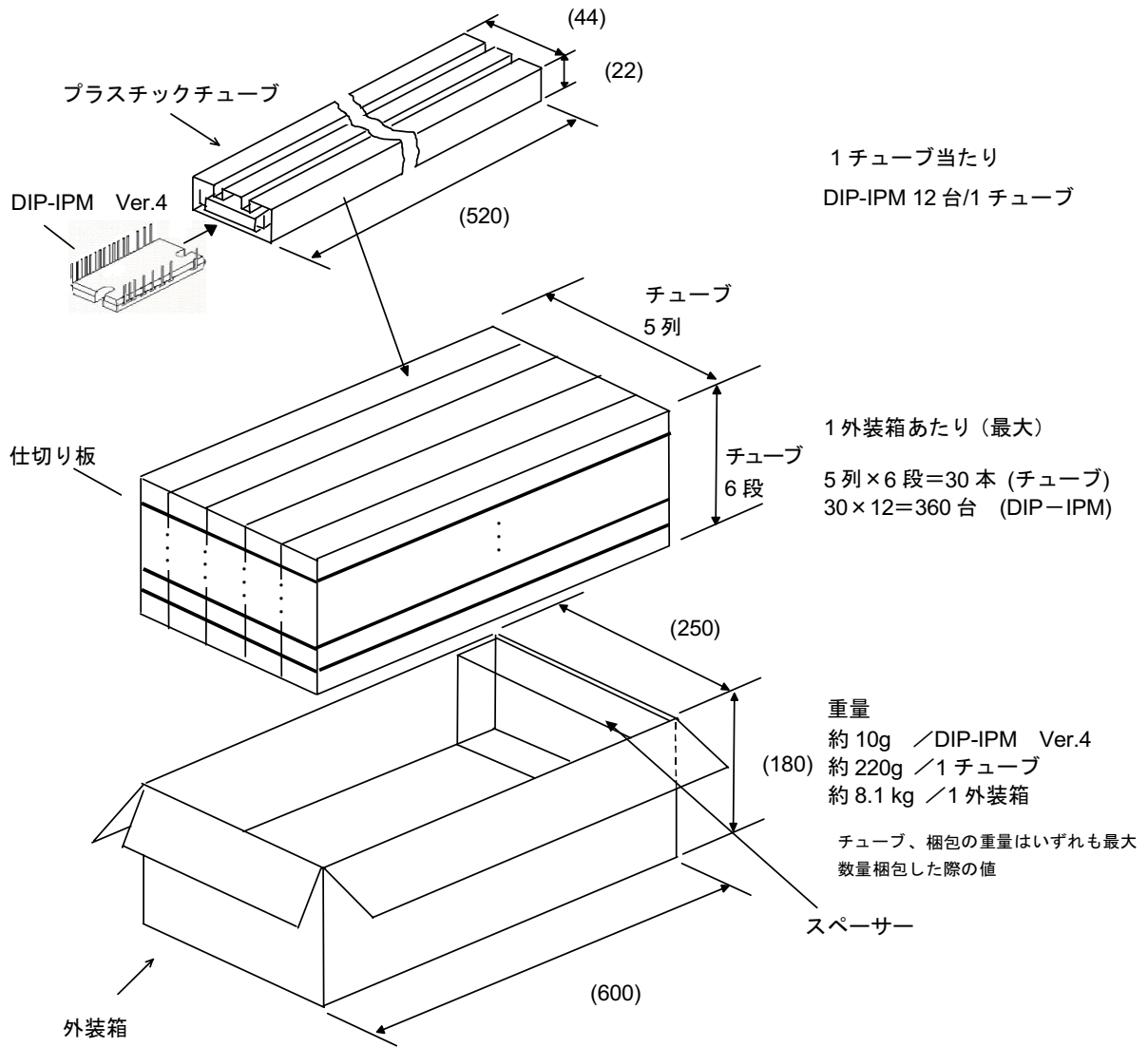



図 6-1: DIP-IPM Ver.4 の梱包仕様

6.2 取り扱いの注意

 <h1 style="display: inline; margin-left: 10px;">注 意</h1>	
運送・運搬方法	<ul style="list-style-type: none"> ・運送中は梱包箱を正しい向きに置いてください。逆さにしたり、立てかけたり不自然な力を加えると、電極端子が変形したり樹脂ケースが壊れる原因になります。 ・投げたり、落したりすると素子が壊れる原因になります。 ・水に濡れると使用時の故障原因になります。降雨、降雪時の運搬には濡らさないように注意してください。
保管方法	<ul style="list-style-type: none"> ・本製品を保管する場所の温度及び湿度は、5～35℃、45～75%の常温常湿範囲内が望ましく、この温度、湿度から極端にかけ離れた環境では素子の性能や信頼性を低下させることがあります。
長期保存	<ul style="list-style-type: none"> ・本製品を長期(1年以上)に保管する場合は、除湿対策をしてください。なお、長期保管後、ご使用の際は、外観に傷、汚れ、錆等がないことを確認してください。
使用環境	<ul style="list-style-type: none"> ・水や有機溶剤が直接付着する場所、腐蝕性ガスを発生する場所、また、爆発性ガス、粉塵、塩分などのあるところでの使用は重大な事故につながる可能性がありますので避けてください。
難燃性について	<ul style="list-style-type: none"> ・エポキシ充填樹脂およびケース材料には UL 規格の 94-V0 認定品を使用していますが、不燃性ではありません。
静電気対策	<ul style="list-style-type: none"> ・DIP-IPM は MOS ゲート構造を有する専用 IC を使用しています。静電気による破壊を防止するために下記事項を守ってください。 (1)静電気破壊に対する注意事項 <ul style="list-style-type: none"> 人体や梱包材料に帯電した静電気や各制御端子間に、規格値以上の過大な電圧(最大定格入力端子電圧範囲を超える電圧)が印加されると、素子が破壊することがあります。静電気対策の基本は、静電気の発生をできるだけ押さえることと、帯電した電荷をすばやく逃がすことが大切です。 * 運搬、保存に静電気を帯びやすい容器は使用しないでください。 * DIP-IPM は、使用する直前までチューブから出さないでください。また素手で端子を絶対に触らないようにしてください。 * 組立時、使用機器や人体を接地して作業を行ってください。 また、作業台表面および作業台周囲の床は導電性マットを敷き、接地することを推奨します。 * 素子を実装したプリント基板上で各制御端子間がオープンになっていると、プリント基板に帯電した静電気により破壊することがありますのでご注意ください。 * 半田ゴテを使用する場合は、コテ先をアースしてください。 (2)各制御端子間開放時の注意事項 <ul style="list-style-type: none"> * 各制御端子間がオープン状態で、コレクタ・エミッタ間に電圧を印加しないでください。 * 素子を取外す場合、各制御端子間を短絡してから取外してください。

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりますは、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ(www.MitsubishiElectric.co.jp/semiconductors)などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任は負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。