

## 高性能・低消費電力を実現したシングルチップ・マルチプロセッサを開発

- デジタル情報家電や携帯情報機器向け -

三菱電機株式会社（社長：野間口 有）は、携帯電話、デジタルカメラ、PDAなどのデジタル情報家電や携帯情報機器向けに、高性能、低消費電力のシングルチップ・マルチプロセッサを開発・試作しました。

本開発成果については、2003年2月11日に ISSCC (International Solid-State Circuits Conference、2月9日～13日に米国サンフランシスコ市で開催) で発表します。

### 開発の背景と概要

携帯電話やデジタルカメラ、PDAなど音声・画像データなどのデジタル情報を扱う携帯機器は、データ量の増大にともない、一層の高速処理が要求されています。また、ユビキタス・コンピューティング社会の実現に向けて、テレビ、冷蔵庫などの家電、さらには腕時計等のネットワーク対応も進みつつあり、高性能かつ低消費電力のマイクロコンピュータへの要求が高まっています。

当社がこのたび開発、試作したシングルチップ・マルチプロセッサは、マルチプロセッサに対応した32ビット RISC コア (M32R) を2個、512キロバイトのSRAM、および周辺回路をシングルチップに集積し、0.15 $\mu$ m プロセスで製造しています。内部電源電圧1.5V、周波数600MHzで動作し、最大消費電力は800mWと、デジタル情報家電や携帯機器で要求される高性能、低消費電力を実現しました。

### 主な特長

#### 1. 2個のCPUを1つのチップに搭載

2個のM32Rコアと512キロバイトの内蔵SRAMを4.8ギガバイト/秒の転送能力を持つパイプライン・アクセス可能な内部バスで直結することにより、共有メモリ型のマルチプロセッサシステムをシングルチップで構築することができます。

#### 2. 高性能・低消費電力

以下の機構を採用することにより、高性能と低消費電力を両立させました。

##### (1) 可変レイテンシ・キャッシュの採用

分岐の有無に応じて、キャッシュ・メモリへのアクセスを1クロック・アクセスと2クロック・アクセスに切り替える(可変レイテンシ)ことにより、実行命令のスループットを下げずに、キャッシュ・メモリの消費電力を40%削減することに成功しました。

##### (2) 分割マッチライン方式 TLB<sup>\*1</sup>の採用

TLBによるアドレス変換動作において、通常は全エントリに対して行われる比較動作を有効なエントリのみを比較動作させるようにしたため、低消費電力化と高速アクセスを実現できました。

これにより、通常のTLBと比較して41%の消費電力削減が可能です。

\*1: Translation Lookaside Buffer

## 開発された技術の詳細

### (1) 可変レイテンシ・キャッシュについて

通常のキャッシュ・メモリアクセスは1クロックでアクセスします（レイテンシは1）。この場合、TLB、タグメモリ、データメモリの両ウェイを同時に読み出し、キャッシュ・アクセスを1クロックで終了させています。このとき、タグメモリのヒット/ミス判定を待たずにデータメモリの両方のウェイを読み出していますので比較的大きな電力を消費することになります。可変レイテンシ・キャッシュでは、分岐命令後のキャッシュ・アクセスは通常の方式と同じですが、分岐命令後以外では、2クロック（レイテンシは2）でアクセスします。1クロック目に TLB とタグメモリを引き、命令キャッシュ内に所望の命令が含まれているかどうかをチェックし、含まれている場合には、該当するウェイのみ活性化させ、読み出しを行います。キャッシュミスの場合は、データメモリへのアクセスそのものを抑止します。そのため消費電力を削減することができます。また、このとき発生する命令プリフェッチのサイクルを利用し、2クロックでアクセスしても、1クロックでアクセスした時と同様のスループットを実現しています。

### (2) 分割マッチライン方式 TLB について

TLB の仮想アドレスタグを ASID<sup>\*2</sup>部と VPN<sup>\*3</sup>部とに分割して独立した CAM<sup>\*4</sup>アレイで構成しました。こうすることによって、TLB によるアドレス変換動作時に、従来は全エントリに対して比較動作を行っていたところを現在の ASID 値に対して有効なエントリの VPN 部のみを比較できるようにしました。

仮想アドレスの ASID 部は、OS によってタスクが切り替えられたときのみ変更されます。したがって、OS によるタスク・スイッチが発生した時のみ ASID 部の CAM を動作させ、各エントリの比較結果を ASID マッチレジスタに登録しておきます。そして、それ以外でのアドレス変換時には、ASID マッチレジスタの内容に応じて、有効なエントリの VPN 部の CAM のみ比較動作を行います。

このため、電力の削減と高速なアクセスを実現できます。

\*2 : Address Space Identifier

\*3 : Virtual Page Number

\*4 : Content Addressable Memory

## 今後の展開

技術開発のための試作品なので、サンプル出荷時期、価格、生産数量等は未定です。

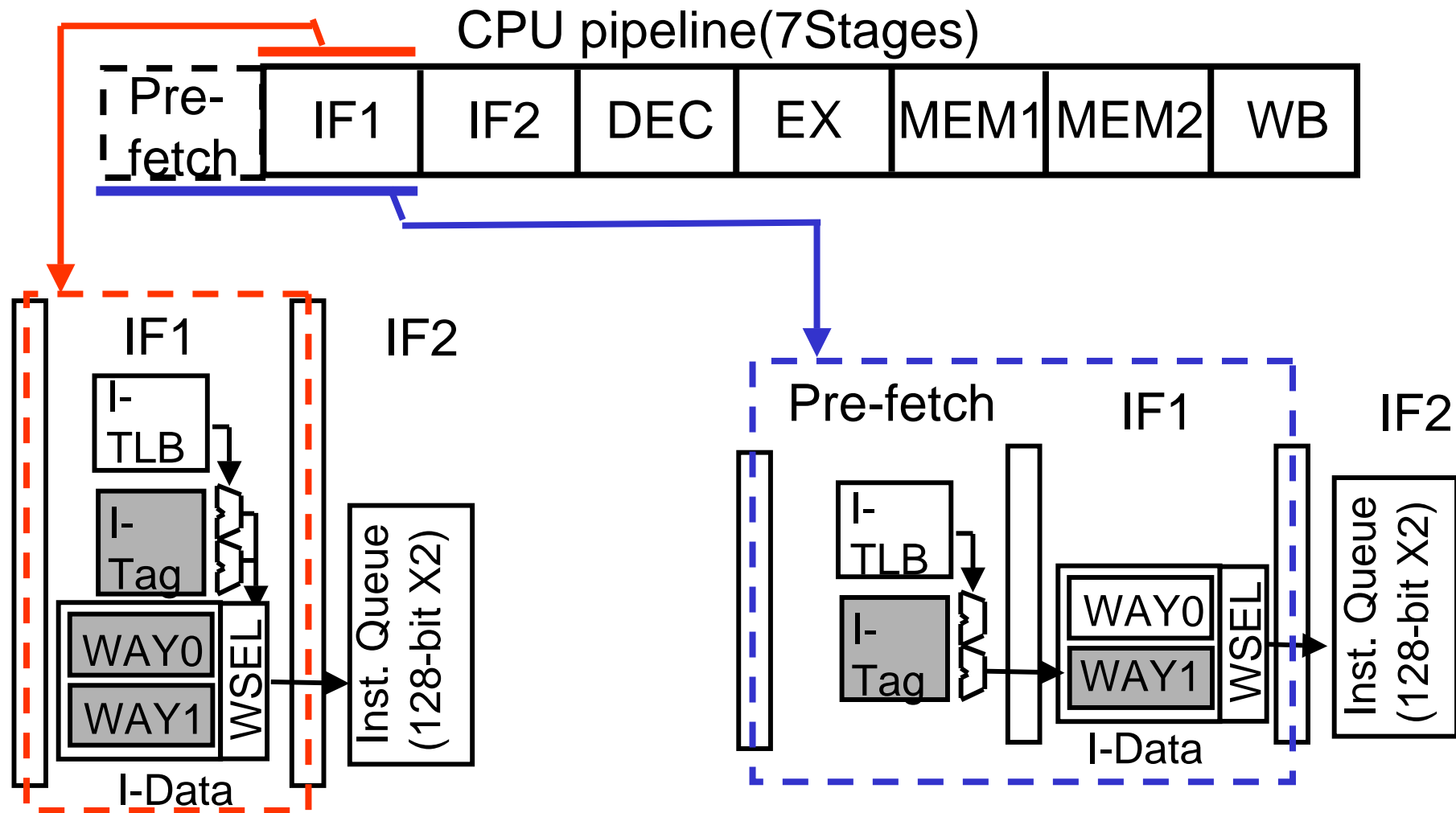
## 主な仕様

- ・ CPU コア : 三菱オリジナル 32 ビット RISC 「M32R CPU コア」 2 個搭載
- ・ 命令キャッシュ・メモリ : 8 キロバイト (2 ウエイセットアソシアティブ)
- ・ データキャッシュメモリ : 8 キロバイト (2 ウエイセットアソシアティブ)
- ・ メモリ管理ユニット : 命令 TLB (32 エントリ) 、 データ TLB (32 エントリ)
- ・ 内蔵 SRAM : 512 キロバイト
- ・ 外部データバス : 16 ビットまたは 32 ビット (ブロックごとに選択可能)
- ・ ブロックセレクトコントローラ : 8 ブロック
- ・ SDRAM コントローラ : 2 チャンネル
- ・ DMA コントローラ : 4 チャンネル
- ・ 割り込みコントローラ : 31 要因 (うち外部 8 要因入力)
- ・ マルチファンクションタイマ : 6 チャンネル
- ・ シリアル I/O : 2 チャンネル
- ・ 監視タイマ

## 担当部署

システム LSI 事業化推進センター

# Variable Latency I-Cache



1) Branch Condition

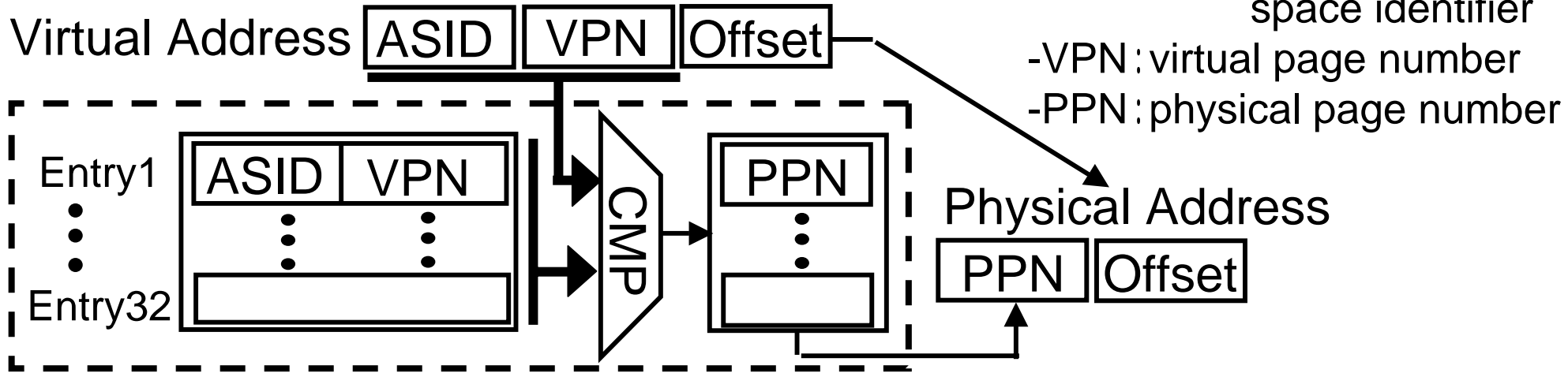
Latency : 1cycle

2) Except for Branch Condition

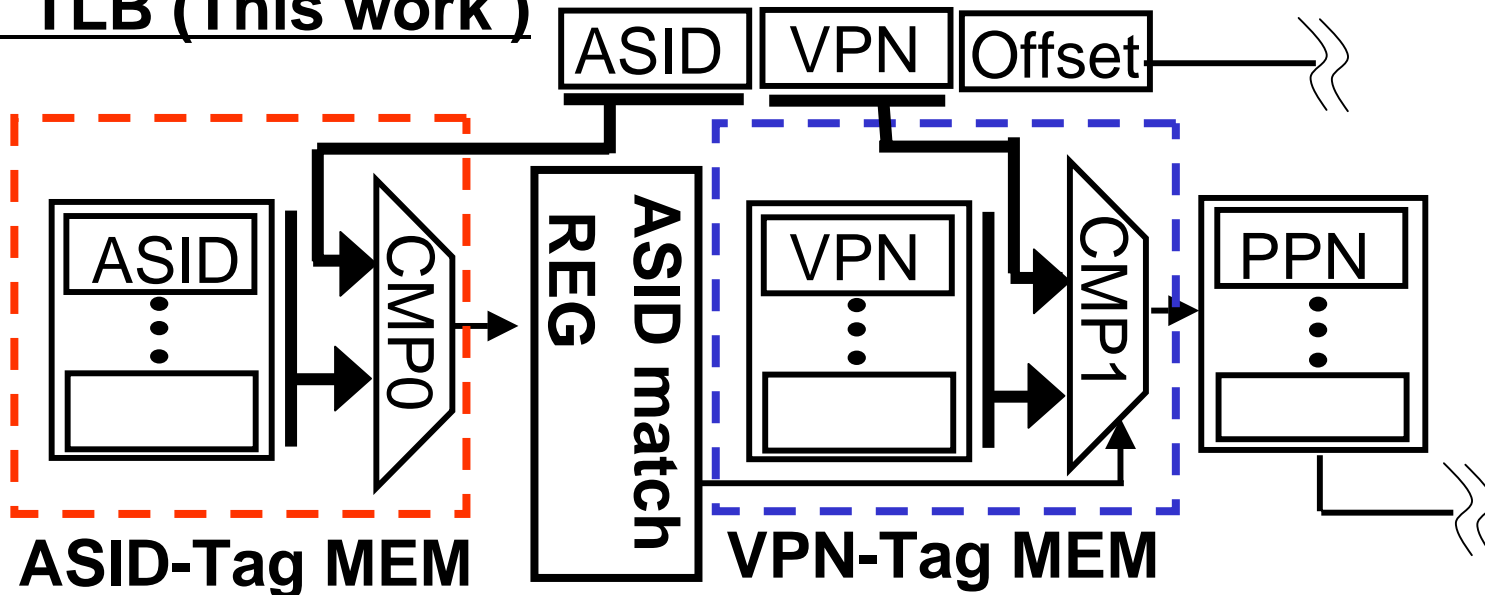
Latency : 2cycles

# TLB Design (1/2)

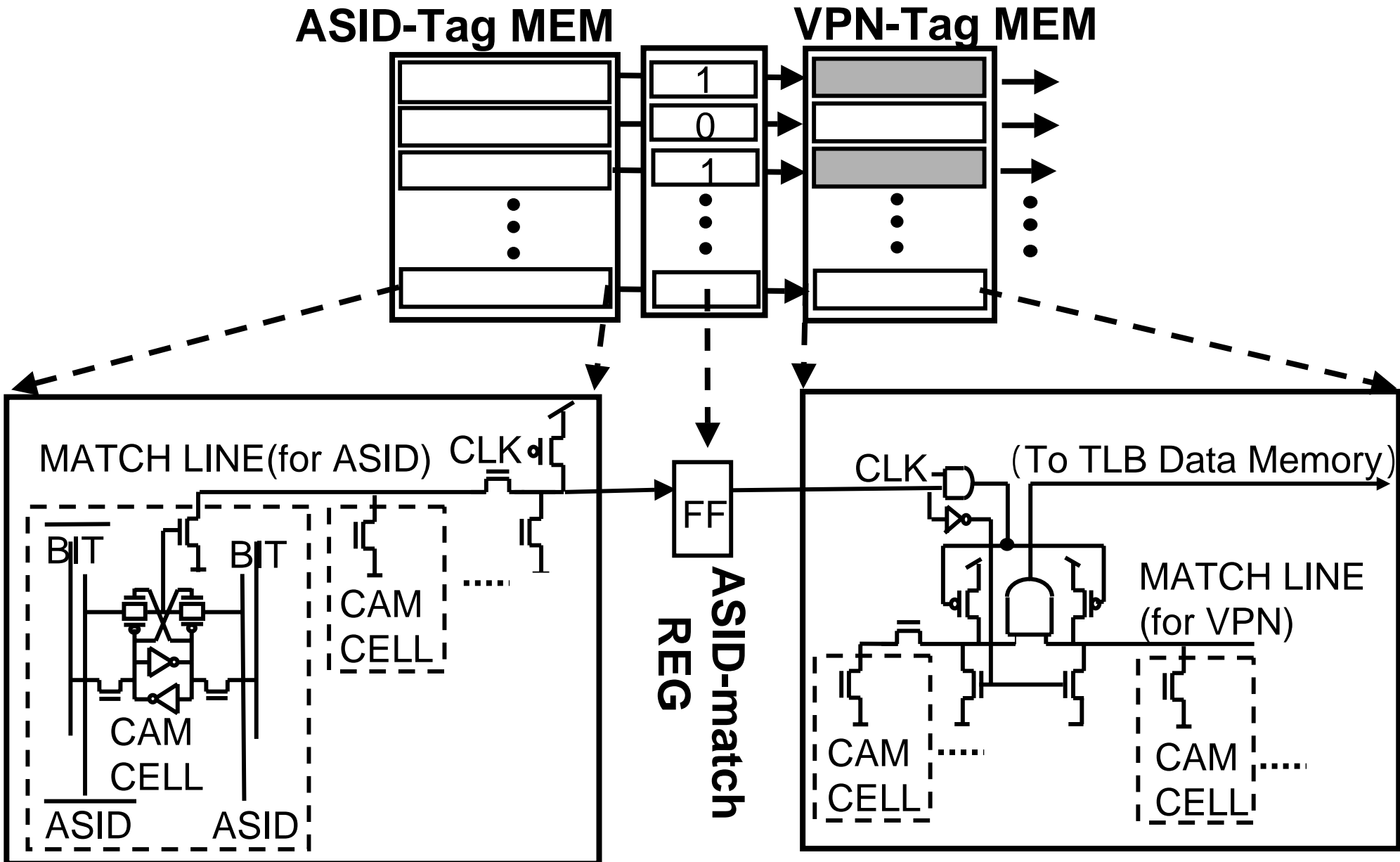
## TLB (Conventional)



## TLB (This work)



# TLB Design (2/2)



# Power Consumption(1/2)

---

Block	Low Power design	Power reduction ( Estimation )
CPU Data-path & Ctrl	61% of FF/Latch : Gated controlled	16.3%
Clock	4 Clock Meshes	14.1%
I-Cache	Variable Latency I-Cache	40.0% (All I-Cache Hit)
TLB	Divided into ASID-Tag MEM &VPN-Tag MEM	41.0%

# Power Consumption(2/2)

