

2004年12月16日
三菱電機株式会社

次世代パワー半導体実現に向けた基礎技術を確立
高耐圧 SiC-MOSFET で世界最高水準の低抵抗化を達成

三菱電機株式会社(執行役社長:野間口 有)は、次世代パワー半導体用材料として期待されている SiC(シリコンカーバイド)を用いた低抵抗のパワーMOSFET¹を開発しました。その性能値は耐圧 1.2kV、電流 1A 級でオン抵抗率² 12.9mΩcm²(ミリオーム平方センチメートル)で、SiC を用いた同容量クラスのパワーMOSFET では世界最高水準の低い抵抗値です。パワー半導体製品への応用を想定した場合、現在の代表的なパワートランジスタである Si(シリコン)を用いた IGBT³と比べると、インバーターの電力損失を 50%以上、低減できます。

なお、本研究の一部は独立行政法人新エネルギー・産業技術総合開発機構(NEDO 技術開発機構)との共同研究として実施したものです。

- 1 MOSFET(Metal Oxide Semiconductor Field Effect Transistor):金属/酸化膜/半導体電界効果トランジスタ
- 2 オン抵抗率は MOSFET を導通状態(オン状態)にしたときの抵抗値の指標で、値が小さいほど電力損失を小さくすることができます。パワー半導体の重要な性能値
- 3 IGBT(Insulated Gate Bipolar Transistor):絶縁ゲートバイポーラトランジスタ

開発の背景と概要

SiCには、代表的なパワー半導体材料である Si と比べ絶縁性能を表す絶縁破壊電界強度が約 10 倍の大きな値であるなどの特長があります。SiC を用いることで、より高耐圧で低損失な半導体素子を実現できることから、インバーターなどパワーエレクトロニクス機器のさらなる省エネ化・高性能化・小型化に貢献するものと期待されています。

各研究機関では、SiC を電力のスイッチ制御を行う MOSFET に応用する研究が進められてきましたが、素子を通る電流量を制御する領域である MOS チャネル部の抵抗が高いことなどから、これまで理論値と比較して非常に大きな電気抵抗値しか達成されていませんでした。

今回、当社は、MOS チャネル形成技術や、SiC 基板上的 MOSFET 構造の最適化など、SiC 本来の特性を発揮させるための技術開発をすすめ、それらを適用した SiC-MOSFET を試作しました。

主な開発成果

1. 「チャネルエピタキシャル成長層形成技術」を確立し、高品質 MOS チャネルを形成

MOSFET 作製時に行われる、導電性を変えるためのイオン注入過程、およびその後の活性化熱処理で発生する素子内の欠陥の影響を抑えるため、イオン注入面上に結晶品質に優れる MOS チャネル層を形成する「チャネルエピタキシャル成長層形成技術」を開発し、MOS チャネルの低抵抗化を図りました。

2. シミュレーションにより、MOSFET 構造を最適化

要素実験のデータをもとにデバイス構造のシミュレーションを行い、高耐圧、低抵抗化に適した MOSFET 構造を設計しました。今回、素子周囲の高電界部の終端は低濃度 p 型イオン注入による接合終端構造とし、素子の単位 MOSFET セルは千鳥配置としました。

3. 世界最高水準の低抵抗化(オン抵抗率 12.9 mΩcm²)を達成

SiC-MOSFET で、パワー半導体素子の主要な性能指数であるオン抵抗率が、同容量クラスのパワーMOSFET では世界最高水準となる 12.9 mΩcm²を達成しました。
(耐圧 1.2kV、1A 級ノーマリオフ型)

今後の展開

電流容量の増大、長期信頼性確保などにさらに改善を行い、応用システムでの評価をすすめて、早期の製品化を目指します。

特許件数 国内 6 件 海外 1 件

報道関係からの
お問い合わせ先

〒100-8310 東京都千代田区丸の内二丁目2番3号 電話 03-3218-2172 FAX 03-3218-2431
三菱電機株式会社 広報部

「チャンネルエピタキシャル成長層形成技術」について

MOSFETでは、高エネルギーのイオンを照射すること(イオン注入)によりp型領域を形成する必要があります。イオン注入によりSiC結晶中には高濃度の欠陥が発生します。また、イオン注入を行った後は高温での熱処理が必要ですが、この熱処理によりデバイスを形成する表面に激しい荒れが生じます。

当社ではこれらのダメージによる悪影響を回避するために基板面上に再度SiCの結晶をエピタキシャル成長させて、得られた高品質の結晶層をMOSチャンネルに用いています。これまでの基礎検討により、イオン注入により生成した結晶欠陥が影響を与えず、表面の平坦性の大幅な改善が可能なチャンネルエピタキシャル層の形成方法を見い出しました。さらに、チャンネルエピタキシャル層の層厚、ドーピング濃度の最適化を行い、高耐圧化が可能な低抵抗MOSチャンネルの形成に成功しました。

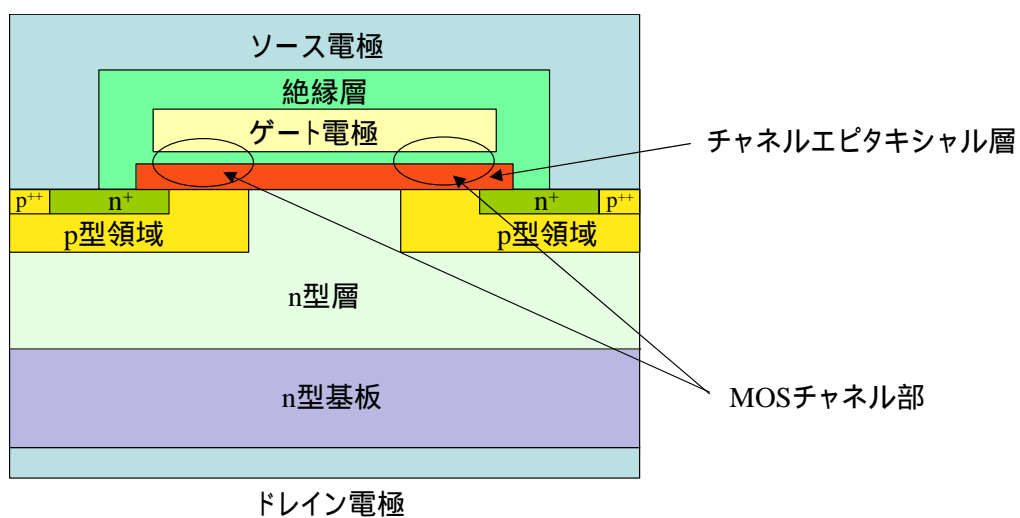


図1 試作したMOSFETの単位構造の断面模式図

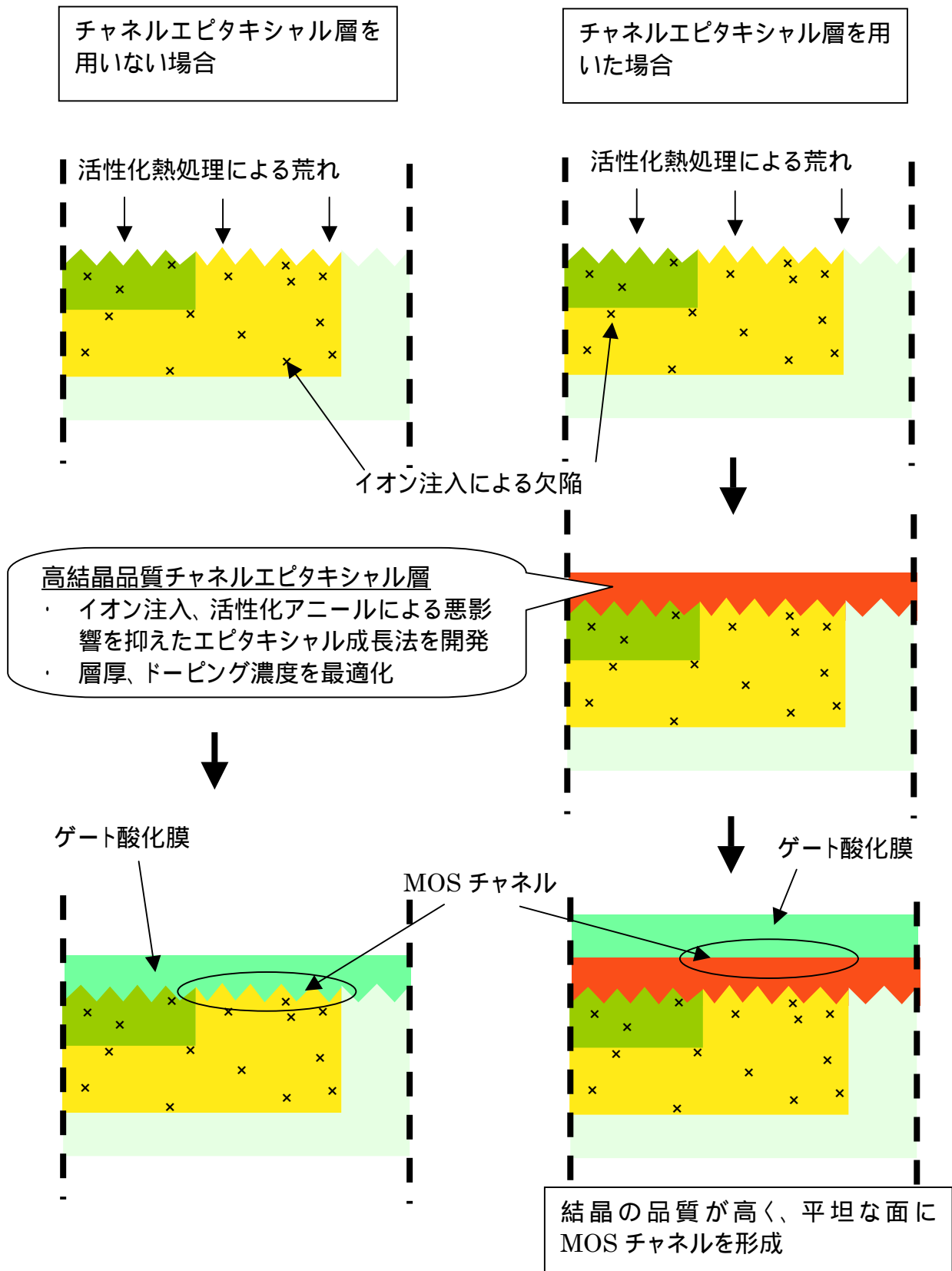
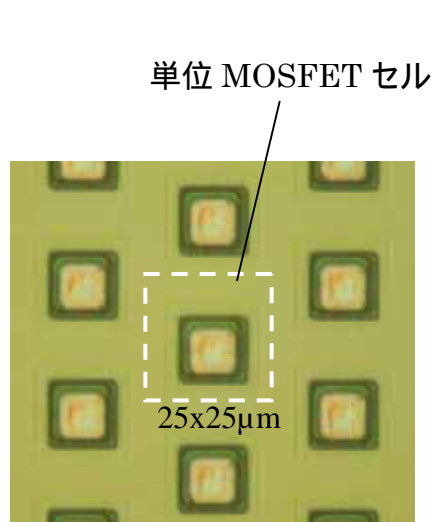


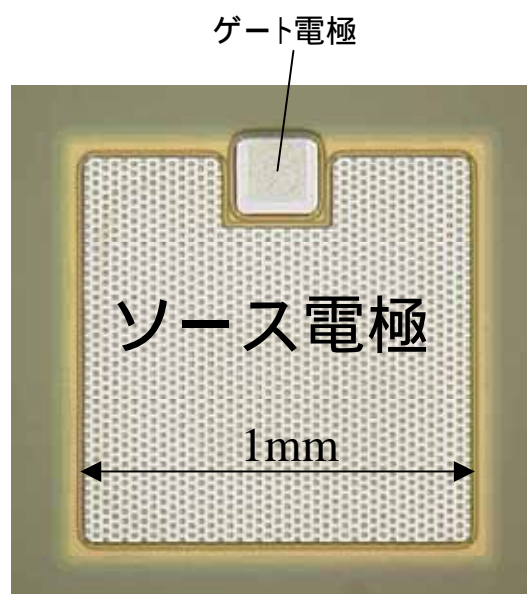
図2 チャンネルエピタキシャル層を用いた場合と、用いない場合の比較

MOSFET 構造の最適設計について

要素実験によるデータを活用することによりデバイスシミュレーションの精度を向上させ、高電圧を印加したときに絶縁破壊が生じやすいデバイス周辺の電界終端構造の最適化を行いました。また、MOS チャンネルを流れる電子を基板側のドレイン電極に流すための電流路における抵抗を低減し、かつ、高耐圧化に適した単位 MOSFET セルの構造および配置(各列の MOSFET セルを互い違いに配置する千鳥配置)を見い出しました。今回設計した MOSFET の単位セルの大きさは $25 \times 25 \mu\text{m}$ 、チャンネル長は $2 \mu\text{m}$ としました。



ソース電極形成前の表面拡大写真



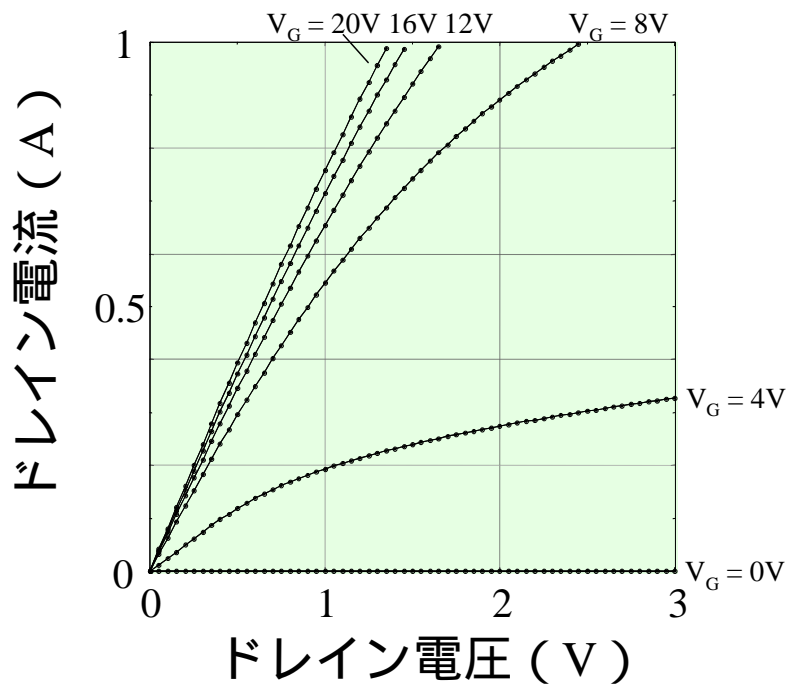
試作した MOSFET の表面写真
表面電極の周囲に耐圧終端を設けている

試作した SiC - MOSFET の特性

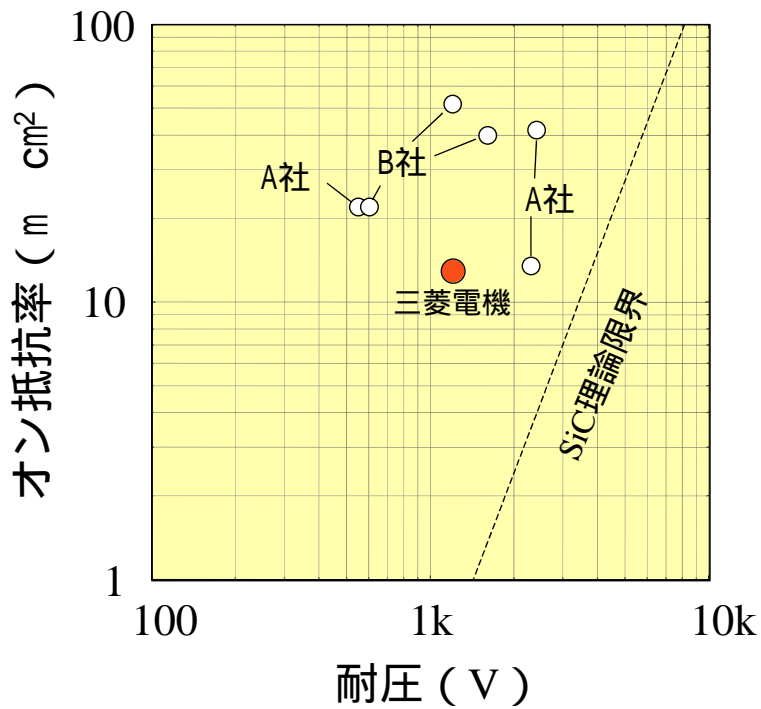
今回試作した MOSFET のドレイン電流、ドレイン電圧特性を以下のグラフに示します。この MOSFET は安全動作上好ましいノーマリオフ特性を示し(ゲート電圧 0V 、ドレイン電圧 1.2kV において、ドレイン電流 $10 \mu\text{A}$ 以下)、 1.3kV において可逆的で安定した絶縁破壊を起こします。ゲート電圧 12V (ゲート酸化膜中の電界強度 2.9MV/cm)、ドレイン電流 50A/cm^2 におけるオン抵抗率として $12.9\text{m}\Omega\text{cm}^2$ が得られました。このオン抵抗率は、現状の Si によるトランジスタ (IGBT) を用いたものと比較した場合、インバーターの電力損失を 50% 以上低減できる値です。

電流値アンペア級の SiC-MOSFET の報告値を図にプロットします (SiC-MOSFET では、SiC 基板の結晶品質が十分でないことなどの理由により、 10A 程度以下の電流容量の小さなものしか得られていません)。我々が得たオン抵抗率は、この容量クラスの MOSFET のなかで世界トップ水準の値です。

今回の構造では、単位 MOSFET セルの大きさを $25 \times 25 \mu\text{m}$ 、チャンネル長を $2 \mu\text{m}$ としていますが、これらのサイズを縮小することは可能です。サイズの縮小により、デバイスの性能に限らずコスト的にも、Si によるデバイスに対抗できるものが得られると考えています。今回の結果により、SiC-MOSFET の実用化に向けて大きく前進したと考えています。



試作した MOSFET のドレイン電流、ドレイン電圧特性
 V_G : ゲート電圧



電流値アンペア級の SiC-MOSFET のオン抵抗率の報告値