

NEWS RELEASE

パワーエレクトロニクス機器のさらなる省エネ化・小型化に貢献
独自の電界緩和構造を採用したトレンチ型SiC-MOSFETを開発

三菱電機株式会社は、1500V以上の耐圧性能と世界最高レベル^{※1}の素子抵抗率 1cm²あたり 1.84mΩ (ミリオーム) を両立するパワー半導体素子として、独自の電界緩和構造を採用したトレンチ型^{※2} SiC^{※3}-MOSFET^{※4}を開発しました。

本パワー半導体素子をパワー半導体モジュールに搭載することで、パワーエレクトロニクス機器のさらなる省エネ化や小型化に貢献します。

なお、本開発成果の詳細は、「ICSCRM^{※5} 2019 (9月29日~10月4日、於：国立京都国際会館)」で本日(9月30日)発表します。

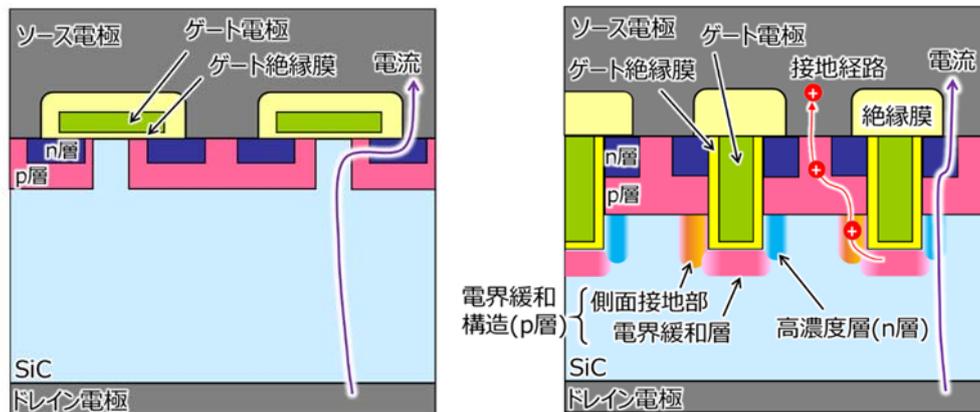
※1 2019年9月30日現在、当社調べ。耐圧性能 1500V以上の素子において

※2 電圧をかけ電流の流れを制御する「ゲート電極」を半導体基板に溝(トレンチ)の形で埋め込んだ構造

※3 Silicon Carbide: 炭化ケイ素

※4 Metal Oxide Semiconductor Field Effect Transistor: 金属酸化膜半導体電界効果トランジスタ

※5 International Conference on Silicon Carbide and Related Materials



p層 アルミニウムイオンが注入された SiC 層

n層 窒素イオンが注入された SiC 層

図1 従来のプレーナー型 SiC-MOSFET の断面構造図(左)と開発したトレンチ型 SiC-MOSFET の断面構造図(右)

開発の特長

1. 独自の電界緩和構造により、素子の信頼性を確保

- 独自の電界緩和構造により、トレンチ構造で、1500V以上の耐圧性能を保持しながら、電界強度を従来のプレーナー型構造並みに抑制し、素子の信頼性を確保
- 斜め方向からアルミニウムを注入することにより形成された側面接地部にて電界緩和層とソース電極を電氣的に接続し、高速スイッチング動作を実現

2. 局所的な高濃度層形成により、世界最高レベルの低抵抗化を実現

- 斜め方向から窒素を高濃度に注入することにより、より通電しやすい高濃度層を局所的に形成して電流経路の抵抗を低減
- 素子抵抗率を半減^{※6}し、世界最高レベルの 1cm²あたり 1.84mΩ (ミリオーム) を実現
- 発熱の抑制により、パワーエレクトロニクス機器の省エネ化・小型化に貢献

※6 当社のプレーナー型 SiC-MOSFET との室温での比較において

今後の展開

パワー半導体素子のさらなる特性向上を図るとともに、長期信頼性評価を進め、2021年度以降の実用化を目指します。

報道関係からの
お問い合わせ先

〒100-8310 東京都千代田区丸の内二丁目7番3号 TEL 03-3218-2359 FAX 03-3218-2431
三菱電機株式会社 広報部

開発の背景

家電製品から産業用機器、自動車、鉄道車両など幅広い分野で使用されるパワーエレクトロニクス機器では、さらなる省エネ化・小型化・高効率化が求められており、これらの機器の電力制御や電力変換を行うパワー半導体モジュールに搭載されるパワー半導体素子を、従来の Si-IGBT^{※7}から、電力損失がより少ない SiC-MOSFET へ切り替える動きが広がっています。

SiC-MOSFET は、多くのトランジスタセルから構成されるため、素子抵抗率を下げるためには、それぞれのセルの低抵抗化に加えてセルをより高密度に配置することが求められます。このため、従来のゲート電極を半導体基板上に配置するプレーナー型構造から、高密度なセルの配置が可能な、基板に溝（トレンチ）を形成してゲート電極を埋め込むトレンチ型構造へ変わりつつあります。しかし、トレンチ型は、プレーナー型と比べて高電圧時にゲート絶縁膜が破壊されやすいといった課題がありました。

当社は今回、素子の構造設計段階で高度なシミュレーションを行い、独自の電界緩和構造を採用したトレンチ型 SiC-MOSFET を開発しました。量産を想定した製造方法を考案し、ゲート絶縁膜にかかる電界を従来のプレーナー型並みに抑えることで、高電圧時のゲート絶縁膜の信頼性を高めるとともに、素子抵抗率を約 50%低減しました。また、素子抵抗率の低減により発熱が抑制されることから冷却機能の小型化にもつながり、パワーエレクトロニクス機器のさらなる省エネ化や小型化に貢献できます。

※7 Insulated Gate Bipolar Transistor：絶縁ゲート型バイポーラトランジスタ

特長の詳細

1. 独自の電界緩和構造により、素子の信頼性を確保

SiC-MOSFET は、導体であるゲート電極に電圧をかけることで、ドレイン電極とソース電極の間にある半導体層を流れる電流を制御します。小さな電圧で制御するためには、薄いゲート絶縁膜が求められる一方、トレンチ型のパワー半導体素子では、その構造上、高電圧がかかる際に強い電界が一部に集中し、ゲート絶縁膜が破壊されやすいという課題がありました。

当社は今回、トレンチ構造を活用して半導体層の電気性質を特徴付けるアルミニウムや窒素などの不純物を注入する製造方法を適用しました（図 2）。この手法により、トレンチ構造を採用しながらも高電圧時に発生する強い電界からゲート絶縁膜を守る独自の電界緩和構造を実現しました。

まず、アルミニウムを垂直に注入し、トレンチの底面に電界緩和層を形成（図 2-①）することで、1500V 以上の耐圧性能を保持しながら、ゲート絶縁膜にかかる電界を従来のプレーナー型並みに抑制し、半導体素子の信頼性を高めました。

次に、今回開発した斜め方向からアルミニウムを注入する方法により、電界緩和層とソース電極をつなぐ側面接地部を形成（図 2-②）しました。これにより、高速なスイッチング動作が可能になり、スイッチング損失を低減します。

2. 局所的な高濃度層形成により、世界最高レベルの低抵抗化を実現

トレンチ型 SiC-MOSFET は、プレーナー型に比べてトランジスタセルを小型化でき、パワー半導体素子全体として、セルをより多く配置できることが特長です。セルを高密度に配置することで多くの電流が流れますが、各ゲート電極の間にある「トランジスタ間隔」を小さくしすぎると電流が流れる経路が狭まるため、電流が流れにくくなり、素子抵抗率が増加する恐れがあります。

今回開発した斜め方向から窒素を注入する方法により、電流経路となる部分に、窒素が高濃度に注入された通電しやすい SiC の層（高濃度層）を局所的に形成（図 2-③）しました。これにより、セルを高密度に設置しても素子抵抗率の増加を抑制でき、高濃度層なしの場合と比較して、素子抵抗率を約 25%低減しました。

また、今回の製造方法では、側面接地部の配置間隔を変更できます（図 3 の奥行方向）。これらの間隔を適正化することで、1500V 以上の耐圧性能を保持しつつ、室温における素子抵抗率は 1cm^2 あたり $1.84\text{m}\Omega$ （ミリオーム）と、プレーナー型に比べて半減できました。

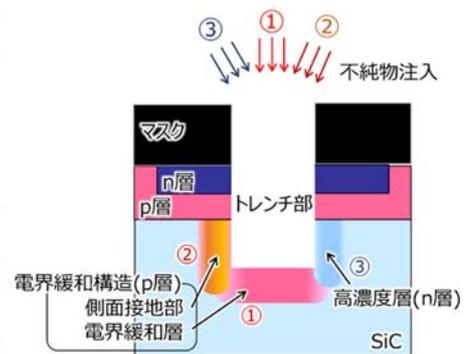


図 2 本開発における電界緩和構造などの製造方法

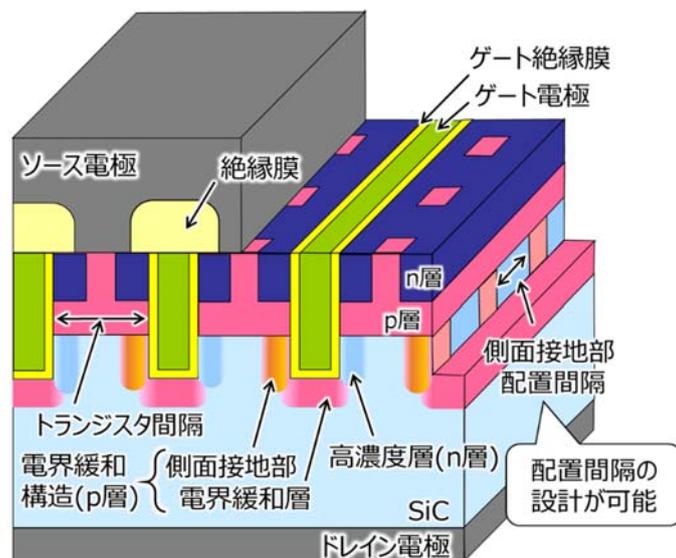


図3 開発したトレンチ型 SiC-MOSFET の断面構造俯瞰図

環境への貢献

独自の電界緩和構造を適用したトレンチ型の SiC-MOSFET で素子抵抗を低減することにより、パワーエレクトロニクス機器のさらなる省エネ化・小型化に大きく貢献できます。

開発担当研究所

三菱電機株式会社 先端技術総合研究所
 〒661-8661 兵庫県尼崎市塚口本町八丁目 1 番 1 号
 FAX 06-6497-7289
http://www.MitsubishiElectric.co.jp/corporate/randd/inquiry/index_at.html