

第2世代1.7kV SiC-MOSFET

2nd Generation SiC-MOSFETs with 1.7kV Rating

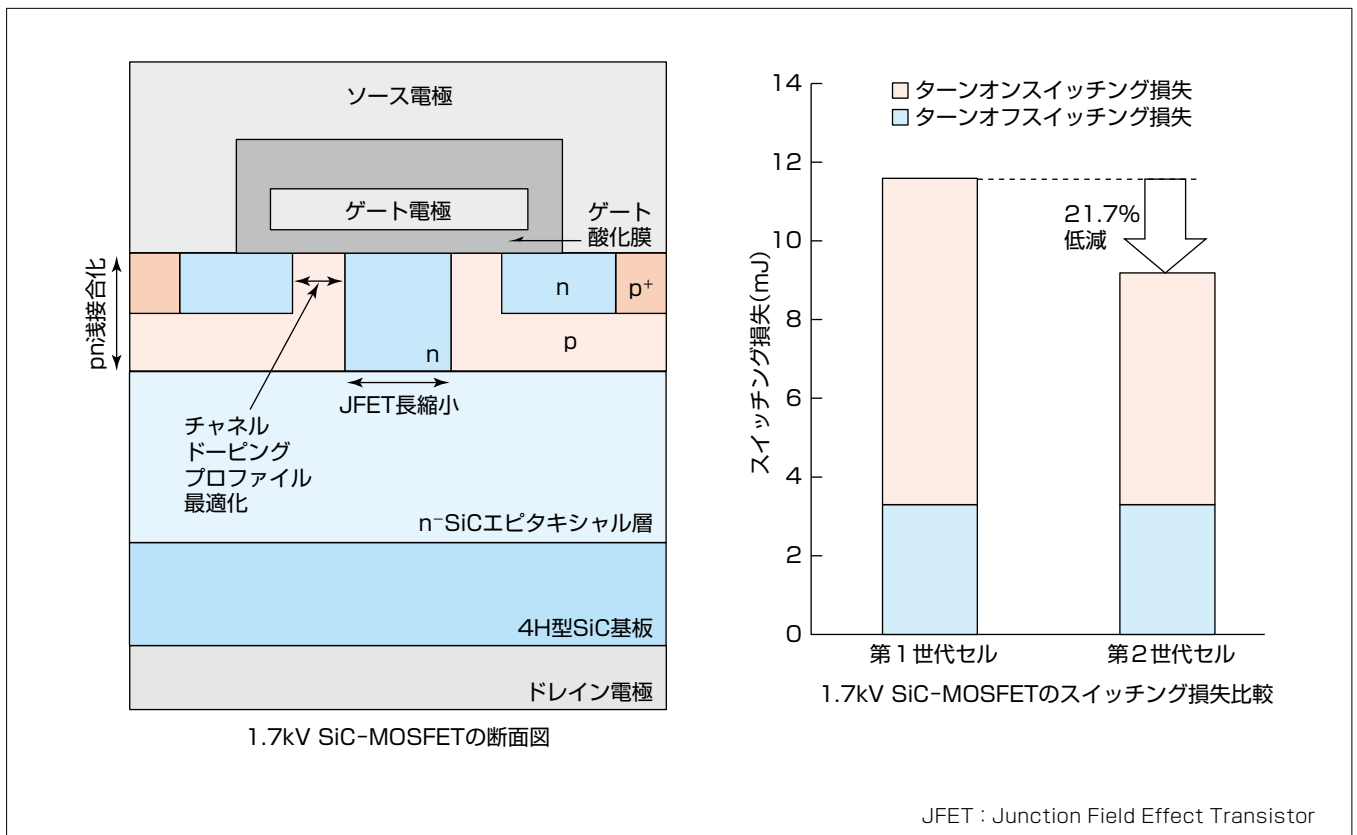
要旨

近年、環境問題などを背景に省エネルギー化のニーズが高まってきている。シリコンカーバイド(SiC)デバイスは大幅なエネルギー削減のための次世代デバイスとして、パワーエレクトロニクス機器への適用が始まっている。

三菱電機はSiC-MOSFET(Metal Oxide Semiconductor Field Effect Transistor)やSiC-SBD(Schottky Barrier Diode)の開発を進めており、これまで家電やFA機器、鉄道向けなど幅広い用途でその省エネルギー効果を確認し、製品化を進めてきた。

当社でのSiC-MOSFETの開発は600V、1,200V、3.3kVを中心に進んでおり、これまでの開発で培われた技術を適用し、1.7kV耐圧クラスSiC-MOSFETの開発を行った。

一般産業向けとしては100kHzまでのスイッチングを想定しており、従来のデバイスよりも高い周波数で使用される。そのためスイッチングロス低減を目的として、セルの平面レイアウトの見直しを行った。また今後のSiCデバイス市場の拡大を見据えて、6インチウェーハラインの立ち上げを完了しており、6インチSiCウェーハで試作・検証を実施した。その結果、第2世代セル構造を適用した1.7kV SiC-MOSFETの特性オン抵抗は $5.86\text{m}\Omega \cdot \text{cm}^2$ 、ターンオン及びターンオフのスイッチング損失の合計値は9.2mJを示し、第1世代セル構造と比べてそれぞれ7.9%、21.7%の低減を実現した。



1.7kV SiC-MOSFETの断面図とスイッチング損失

6インチSiCウェーハで試作した1.7kV SiC-MOSFETの断面図(左)と第1世代セルと第2世代セルのスイッチング損失比較(右)を示す。セル構造の変更によって21.7%のスイッチング損失低減を確認した。

1. ま え が き

SiCデバイスはパワーエレクトロニクス機器の省エネルギー化、小型化を実現するためのキーデバイスとして注目を集めている。

SiCは高い絶縁破壊電界強度を持つため、シリコン(Si)パワーデバイスと比較して、高耐圧かつオン抵抗の低いデバイスを実現できる。ユニポーラ素子でも低オン抵抗が実現できることから、Siバイポーラデバイスと比較して大幅なスイッチング損失の低減が可能になっている。

これまで当社はSiCデバイスを家電やFA機器、鉄道向けなど幅広い用途に適用することで、その省エネルギー効果を確認し、製品化を進めてきた⁽¹⁾。

本稿では1.7kV SiC-MOSFETの開発に当たり、6インチSiCラインで、低オン抵抗化技術を取り入れてデバイス試作を行った結果について述べる。

2. 1.7kV SiC-MOSFETの構造

2.1 セル構造

プレーナ型nチャネルSiC-MOSFETの断面構造を図1に示す。MOSFETの試作に当たり、次の3点の低オン抵抗化技術⁽²⁾を適用した。

- (1) チャネルドーピングプロファイルの最適化
- (2) pn接合の浅接合化
- (3) JFET領域へのドーピングとJFET長の縮小

図2に示すとおり、MOSFETのオン抵抗はチャネル領域の抵抗(R_{CH})、JFET領域の抵抗(R_{JFET})、SiCドリフト層の抵抗(R_{DRIFT})、SiC基板の抵抗(R_{SUB})に大別される。この比率は25℃での試算値である。25℃での比率としてはチャネル領域の抵抗、及びSiCドリフト層の抵抗が大きな割合を占めている。先に述べたチャネルドーピングプロファイルの最適化によって、チャネル領域の抵抗の低減を実現しており、pn接合の浅接合化によってJFET領域下部の広がり抵抗、及びJFET領域の抵抗を下けている。さらにJFET領域へのドーピング及びJFET長の縮小を行うことで、単位セルを縮小し、デバイス活性領域でのセル密度を向上させている。さらに6インチラインでは基板の裏面を研磨することでデバイスの薄板化を行っており、SiC基板の抵抗を低減することで、更なるオン抵抗低減を実現している。

またスイッチング損失低減を目的として、セルの平面レイアウトの見直しを行っており、第2世代1.7kV SiC-MOSFETに採用した。

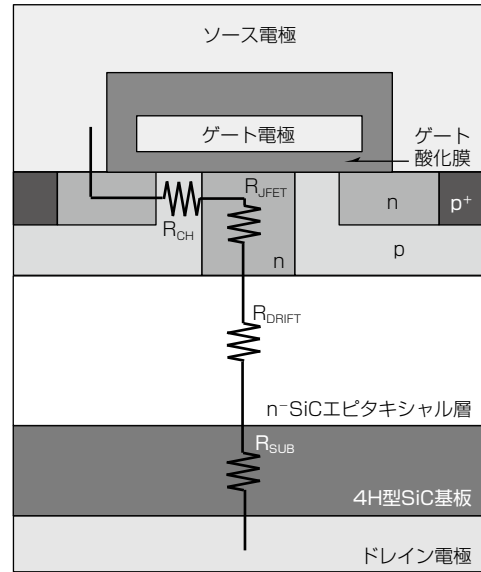


図1. プレーナ型SiC-MOSFETの断面構造

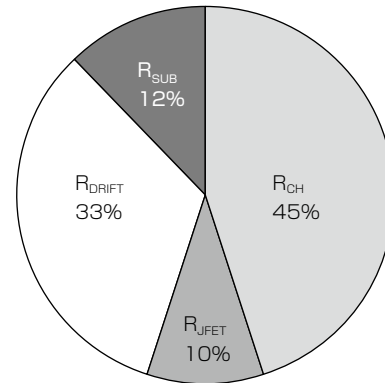


図2. 1.7kV SiC-MOSFETのオン抵抗に占める各抵抗の比率

2.2 電流センス機能

1.7kV SiC-MOSFETはチップ上に電流センス機能を備えている。SiC-MOSFETは物性上、低オン抵抗が可能であるが、それと引換えに短絡耐量がSi-IGBT(Insulated Gate Bipolar Transistor)と比較して低くなっている。モジュール搭載時に電流センス部で短絡電流を検知することで、短絡発生の際にSiC-MOSFETの迅速な保護を可能にしている。

3. 1.7kV SiC-MOSFETの電気特性評価

3.1 静特性評価

比較のため、第2世代、第1世代のセル構造の1.7kV SiC-MOSFETを試作し、評価を行った。図3に第2世代セル構造と第1世代セル構造のSiC-MOSFETの出力特性の典型例を示す。25℃での特性を示しており、ゲート電圧

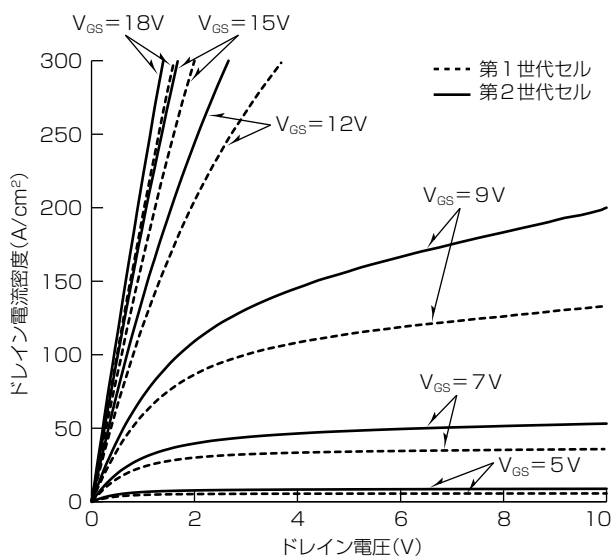


図3. 1.7kV SiC-MOSFETの出力特性

(V_{GS})15V時の特性オン抵抗は第2世代セルで $5.86\text{m}\Omega \cdot \text{cm}^2$ 、第1世代セルで $6.36\text{m}\Omega \cdot \text{cm}^2$ が得られている。第2世代セル構造を採用することで7.9%のオン抵抗が低減できることを確認した。

また25℃での相互コンダクタンス g_m は、ゲート電圧9V付近で第2世代、第1世代セル構造それぞれで135.4S、96.2Sで第2世代セル構造にすることで改善されていることを確認した。

図4にゲート電圧15V時の特性オン抵抗の温度依存性を示す。温度の上昇につれて特性オン抵抗の低減幅は小さくなる傾向がみられる。これは特性オン抵抗に占める抵抗成分の温度依存性の違いによるものと推察され、温度の上昇に伴って基板や耐圧保持のためのドリフト層の抵抗成分の占める割合が大きくなっていくためと考えられる。

図5にMOSFETのしきい値電圧の温度依存性を示す。この結果はゲート電圧+15V印加、ドレイン電流密度 $100\text{mA}/\text{cm}^2$ 時のグラフであり、25℃で2.6V程度、175℃でも1.8V程度のしきい値電圧を保っている。しきい値電圧は温度上昇に伴って単調減少し、第1世代と第2世代のセル構造間の差分は最も開きがある125℃でも2%程度であった。

図6にMOSFET容量のドレイン電圧依存性を示す。周波数は100kHzで測定を実施しており、出力容量は第1、第2世代セル構造を問わず、ほぼ同様の値を示している。帰還容量は第2世代セル構造/第1世代セル構造の比でドレイン電圧10V時に29.3%高くなっている。一方、入力容量は第2世代セル構造/第1世代セル構造の比でドレイン電圧10V時に24.0%低減する結果が得られた。デバイスの有効面積に占めるゲート酸化膜領域の割合を下げることで、入力容量の低減を図っており、設計上、第2世代セル構造

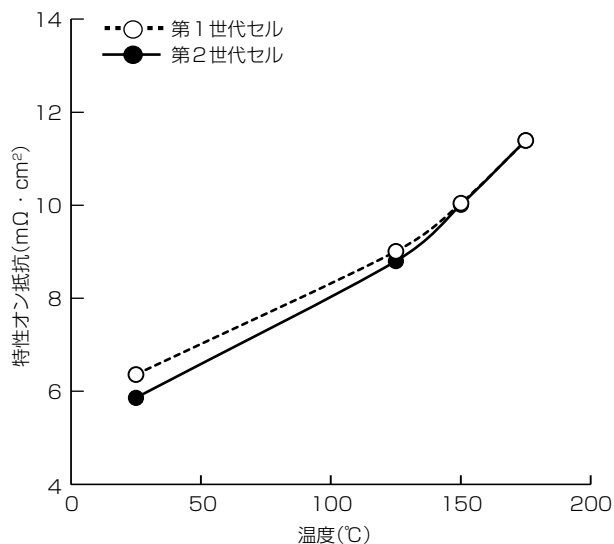


図4. 特性オン抵抗の温度依存性

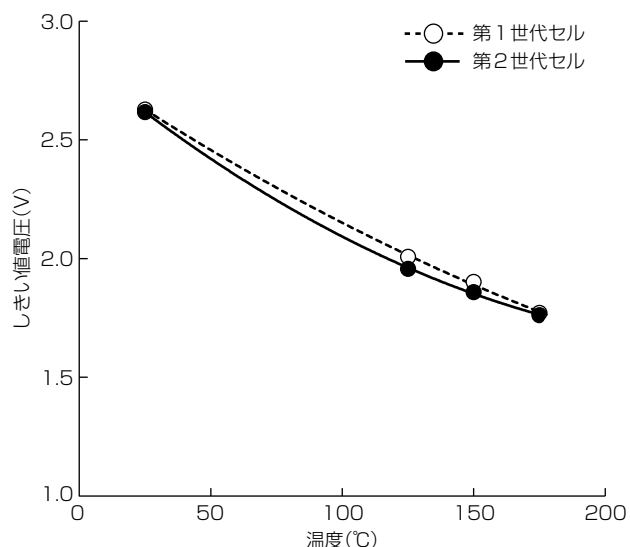


図5. しきい値電圧の温度依存性

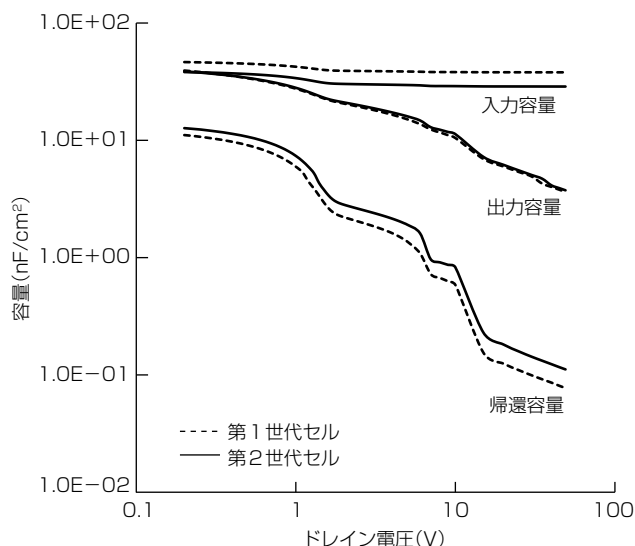


図6. MOSFET容量のドレイン電圧依存性

は第1世代セル構造比でゲート酸化膜領域の割合を20%程度低減している。この結果からおおむね設計値に沿ったデバイスが作製できていることが確認できた。

3.2 スイッチング特性評価

図7にスイッチング波形例と図8にスイッチング損失のドレイン電流依存性を示す。この結果でのゲート抵抗は 3.2Ω を使用している。ドレイン電流の増加に伴い、スイッチング損失は単調増加しており、ターンオフ時のスイッチング損失(Eoff)はドレイン電流100A時に3.3mJであり、第1世代、第2世代セル構造間で差はみられない。一方でターンオン時のスイッチング損失(Eon)は、ドレイン電流100A時に第1世代セル構造、第2世代セル構造でそれぞれ8.3mJ, 5.9mJとなっており、第2世代セルの採用によって29%程度の低減になることが確認できた。

スイッチング損失の低減については、第2世代セル構造にすることで、ターンオン時の di/dt に改善がみられて

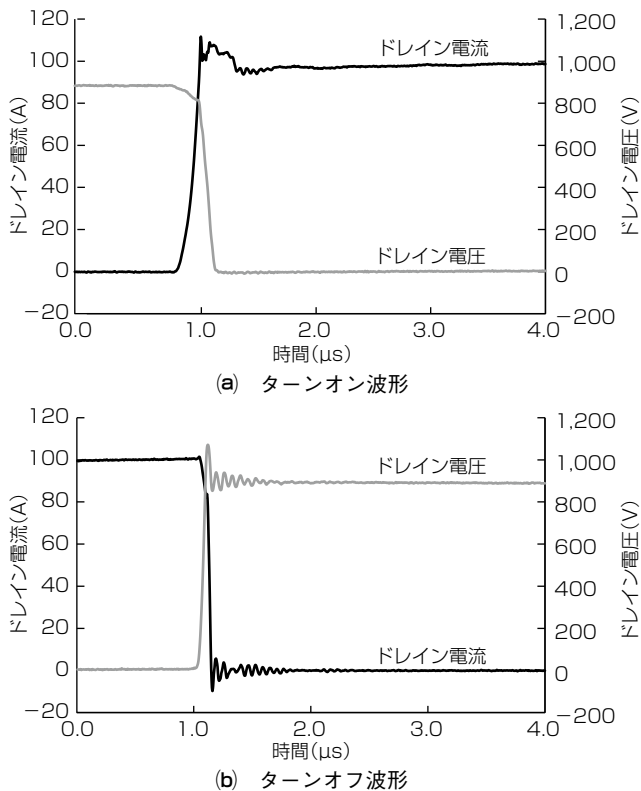


図7. 1.7kV SiC-MOSFETのスイッチング波形例

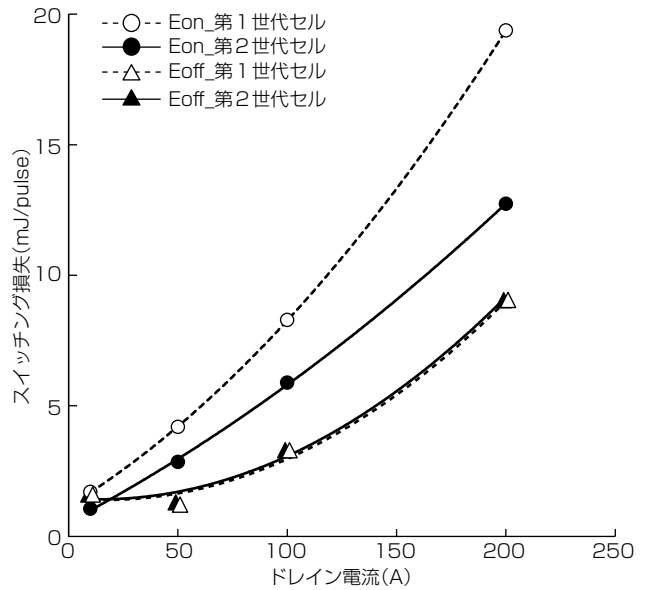


図8. スイッチング損失のドレイン電流依存性

いる。第1世代、第2世代セル構造で容量値の変化はあるものの、スイッチング特性に大きな影響は与えておらず、Eonの改善は相互コンダクタンス gm の改善による効果が大きいと推定している。

4. む す び

6インチSiCウェーハで1.7kV SiC-MOSFETの試作を行った。低オン抵抗化技術を適用し、高周波向けにセルのレイアウトを見直した結果、特性オン抵抗は $5.86m\Omega \cdot cm^2$ 、ターンオン/オフスイッチング損失の合計値は9.2mJを示し、第1世代セル構造比でそれぞれ7.9%、21.7%の特性改善を実現した。

今後はこのSiC-MOSFETをモジュールに搭載し、製品展開をしていくことで、パワーエレクトロニクス機器の省エネルギー化を実現し、環境問題の解決に貢献していく。

参考文献

- (1) Imaizumi, M., et al.: Characteristics of 600V, 1200V and 3300V planar SiC-MOSFETs for energy conversion applications, IEEE Trans. Electron Devices, **62**, No.2, 390~395 (2015)
- (2) Hamada, K., et al.: Investigation of Cell Structure and Doping for Low-On-Resistance SiC Metal-Oxide-Semiconductor Field Effect Transistors with Blocking Voltage of 3300V, Jpn. J. Appl. Phys., **52**, 04CP03 (2013)