

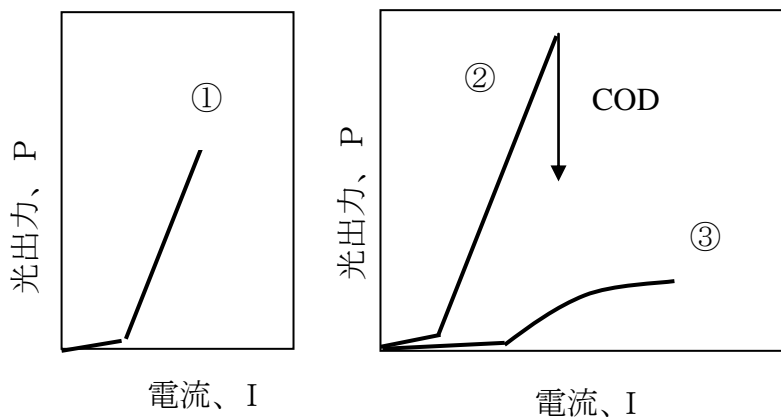
### Ⅲ. 半導体デバイスの故障メカニズム

1. 光素子の劣化メカニズム
  - 1.1 半導体レーザー(LD)の光学損傷
  - 2.2 受光素子の故障メカニズム
2. 高周波デバイスの劣化メカニズム
  - 2.1 実装後のクラック発生
  - 2.2 H/P FET の熱暴走
  - 2.3 L/N FET の静電気破壊
  - 2.4 AI 配線のエレクトロマイグレーション

## 1. 光素子の劣化メカニズム

### 1.1 半導体レーザー(LD)の光学損傷

光学損傷(Catastrophic Optical Damage (COD))は半導体レーザーに印加する電流を増して光出力を増していくと、突然光出力が低下し、非可逆な劣化が生じる場合に見られる。また静電破壊のように瞬時的であっても過電流が流れた場合には同様の現象が起きる。LDのP-I曲線として、一般的なものと光学損傷したものの例を図III-1に示す。このモードで劣化したものは、端面からのEL観察において光強度の低い領域が観察され、またストライプ方向のDLDも観察される(4項、光素子の故障解析参照)。



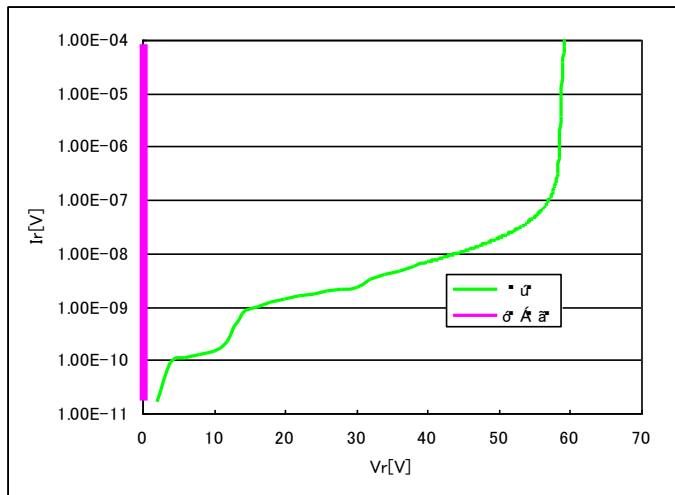
図III-1. 半導体レーザーのP-I曲線

①正常なもの ②過大電流でCOD劣化を起こした瞬間 ③COD劣化後

光学損傷の発生原因は、活性層の反射面近傍領域がレーザー光に対する吸収領域になっていることにある。GaAsやInPなどの結晶表面には表面準位が多く、これを介した非発光再結合が多い。反射面近傍の活性層のキャリアはこの非発光再結合によって失われるから、反射面近傍の活性層の注入キャリア密度は中央部に比べて少ない。その結果、中央部の高い注入キャリア密度によって作られる最大利得波長(レーザー光の波長)に対して、反射面近傍の活性層は吸収領域になる。光出力密度が高くなると吸収領域での局所的発熱が大きくなり、温度が上がってバンド・ギャップが縮小する。その結果、更に吸収係数が大きくなって温度が上昇する、という正帰還がかかる。反射面近傍の吸収領域の温度は遂に融点にまで達し、溶けてしまう。この過程で、溶融領域はレーザー光のくる方向に向かって進み、進んだ跡に固化した領域を残す。なお、光出力が急激に低下するのは溶融体による光吸収と、非発光再結合の増加に伴う閾電流密度の増加のためである。(Ref1)

### 1.2 受光素子の故障メカニズム

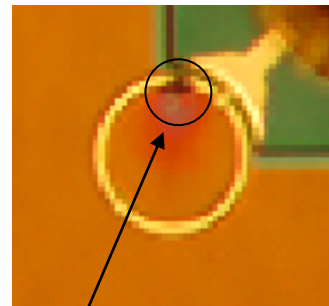
受光素子は発光素子である半導体レーザーに比べて、結晶中を流れる電流ははるかに小さくまた光密度もはるかに小さく、結晶転位の成長がほとんど起こらない。ただし静電破壊のように瞬時的であっても過電流が流れた場合には、素子はショート状態になり、電極リング部で結晶が溶融したような痕が見られる(図III-2)。



初期



印加後



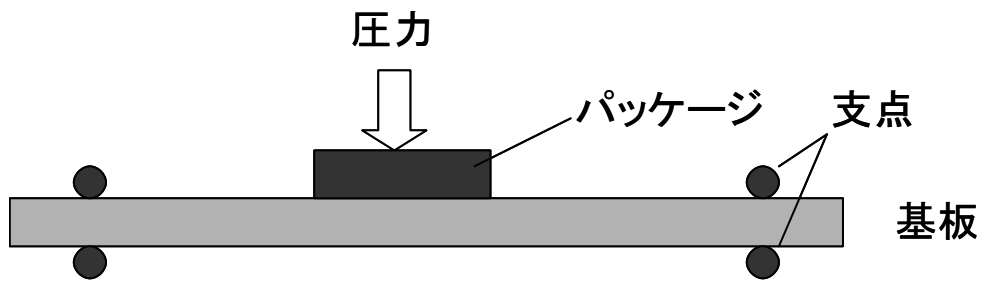
熔融痕

図III-2. 受光素子の静電破壊  
マシンモデルにて 500V 印加前後の I-V 曲線と外観

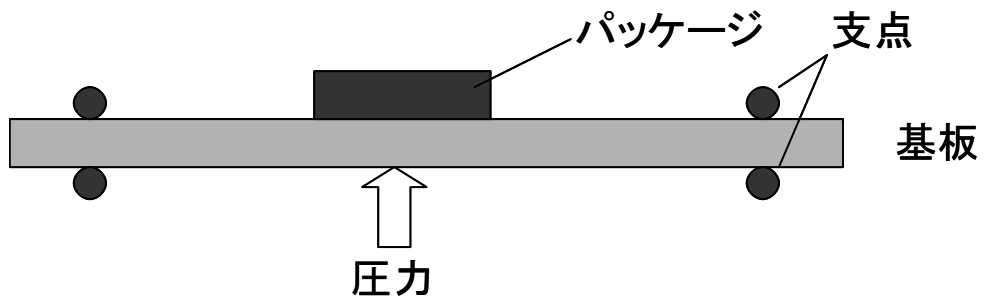
## 2. 高周波デバイスの劣化メカニズム

### 2.1 実装後のクラック発生

パッケージ単体で温度サイクル試験、熱衝撃試験、衝撃試験、定加速試験、可変周波振動試験、断続動作試験を実施し、合格したパッケージでも、基板に実装した段階で不具合が発生する可能性がある。図Ⅲ-3 にモデル図を示す。パッケージを基板に実装した後、パッケージの上または下から圧力が印加されると、基板が変形し、実装されているパッケージに反り応力がかかる。特に SMD(Surface Mount Device、表面実装型デバイス)の場合は、裏面が直接基板と半田付けされているため、基板の影響を受け易い。

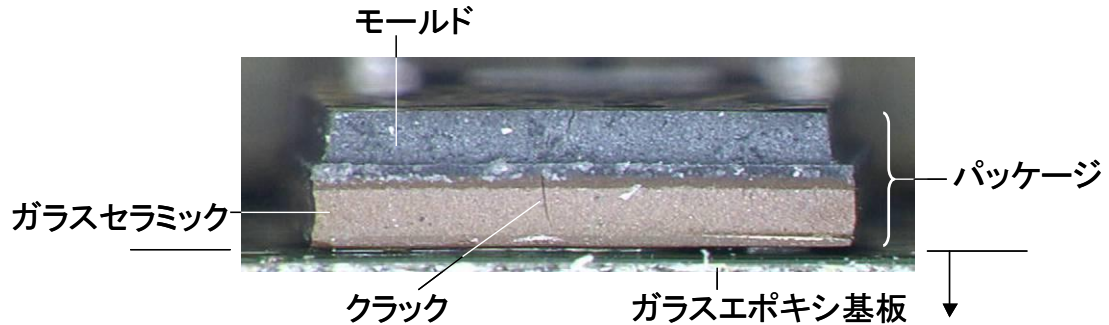


(a) パッケージ上面からの圧力



(b) パッケージ下面からの圧力

図Ⅲ-3 実装時の圧力によるクラック発生機構



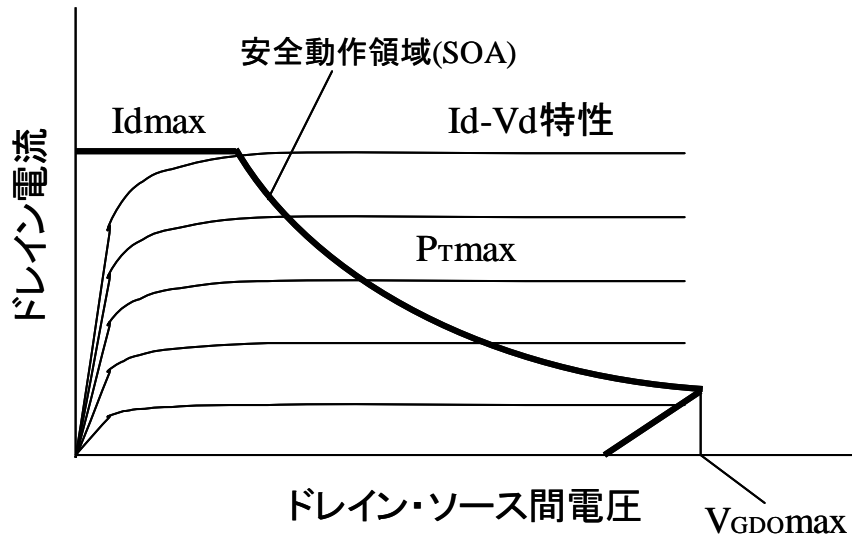
図III-4 実装時の圧力によるクラック発生例

図III-4 にクラックが発生した例を示す。パッケージはガラスセラミック(ガラセラ)を用いモールドでパッケージングしてある。このパッケージをガラスエポキシ(ガラエポ)基板に実装し、その後、パッケージの上面より圧力を印加した場合の図である。パッケージのほぼ中央付近にクラックが発生している。クラックは圧力印加時の曲率半径が小さくなる場合に起こりやすいため、基板の硬度が低いほど、基板厚が薄いほど、発生しやすくなる。通常は「耐基板曲げ性試験」(JIS C 0051: 支点間距離 90mm、3点曲げ、曲げ深さ 3mm、保持時間 5秒、1回)で、実装時のクラック発生の評価を行っている。クラックを防止するためには、基板の仕様を検討するとともに、周辺の部品が基板やデバイスに接触し圧力が加わらないように実装設計をする必要がある。

## 2.2. H/P FET の熱暴走

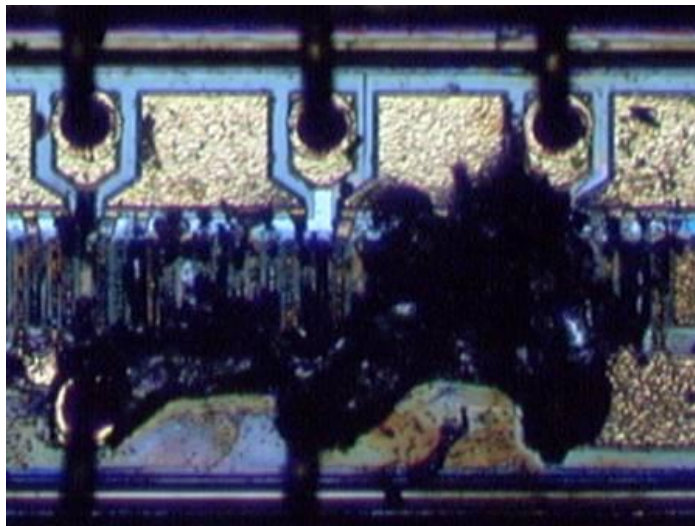
高出力デバイスの場合、消費電力が大きく、チャネル温度が上昇する場合が多い。図III-5 に高周波デバイスのドレイン電流・電圧特性と安全動作領域(SOA: Safe Operation Area)を示す。

ドレイン電圧が低い場合は、ドレイン電流の絶対最大定格( $I_{dmax}$ )で、ドレイン電圧が高い場合は、ゲート・ドレイン間電圧の絶対最大定格で規定されている。その間は消費電力で安全動作領域が決まるため図のような曲線になる。この安全動作領域を超えると、ドレイン電流により衝突イオン化が発生し、ドレイン電流が増加することにより、温度が上昇し、さらにドレイン電流が増加して、熱破壊に至る。また、ゲート抵抗を用いている回路構成では、衝突イオン化で発生した正孔が負のゲート電流となり、デバイスからゲート抵抗へ流れることにより、ゲート電圧が電圧降下し、ゲートバイアス電圧が浅くなり(+側にシフトし)、ドレイン電流が増加する。この増加したドレイン電流が更に衝突イオン化を促進し正帰還がかかることにより、デバイスが破壊する。



図III-5 高周波デバイスの安全動作領域

図III-6 に安全動作領域を超えて電圧・電流を印加し破壊させた高出力デバイスの熱暴走例を示す。デバイス全体に急激にドレイン電流が流れるため、図のようにデバイス全体が破壊(熱溶解)する。各電極間はショートするが、電源容量の大きい電源を用いている場合は、ドレインワイヤが溶断し、ドレインがオープンとなる場合もある。



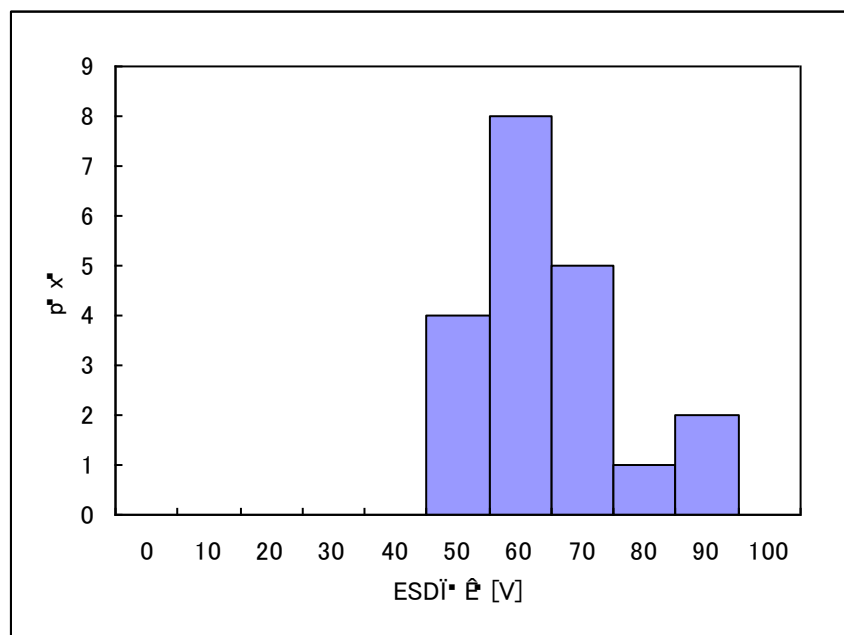
図III-6 高出力デバイスの熱暴走例

### 2.3 L/N FET の静電気破壊

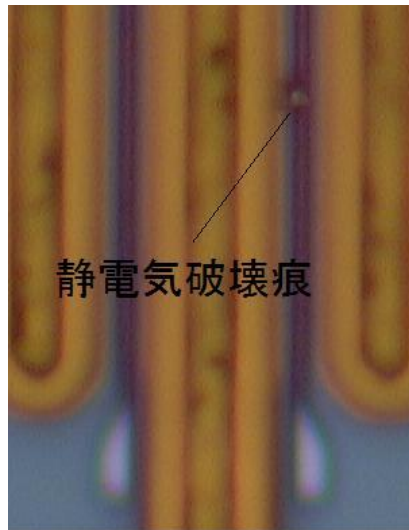
高周波デバイスは、高周波特性が低下するため、静電気保護回路を挿入することが出来ない。特に L/N FET は静電耐量が低いため取り扱いに注意が必要である。図Ⅲ-7 に L/N FET の静電耐量の測定例を示す。この例では ESD (Electro Static Discharge)法でよく用いられている人体モデル HBM: human body model (100pF, 1.5kΩ, 3 回: MIL-STD883C 方法 3015.1)を用いた。

図Ⅲ-8 には静電破壊例を示す。H/P FET の熱破壊モードと異なり、静電気破壊の場合、一部分が破壊するのが特徴である。これは、電圧は高いが、流れる電荷量が限られているため、最も電界が集中する部分のみに電流が流れて焼損するだけで、他の領域まで広がらないからである。

したがって、L/N FET は特に十分に静電対策を行って環境下で取り扱う必要がある。以下に推奨条件を示す。人体は抵抗入りリストストラップで接地する。機器本体は 2Ω 以下で接地する。作業環境は、20 秒以内に電荷を減衰することが可能なイオナイザを用い除電する。湿度を 40%以上に保つ。詳細は「静電気からの電子デバイスの保護」(IEC 61340-5-1、IEC 61340-5-2)に記述されている。



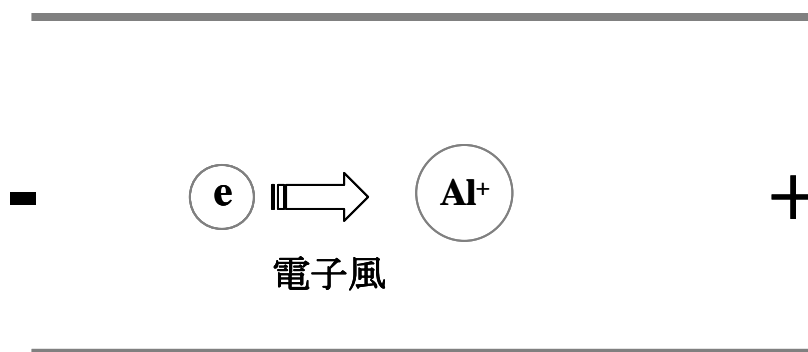
図Ⅲ-7 L/N FET の静電耐量(HBM)



図III-8 静電破壊例

#### 2.4 Al 配線のエレクトロマイグレーション

L/N FET には Al ゲートを用いることがある。Al 配線に電流を流すとエレクトロマイグレーションという原子の移動が発生する。図III-9 にメカニズムを示す。Al 配線に電圧を印加した場合、電子が正電極に向かって走り、Al 原子にぶつかって Al を正電極側へ押し出す効果がある。



図III-9 エレクトロマイグレーションのメカニズム



配線の電流密度が高い箇所では Al の移動が顕著となるため、配線の一部が断線する。この効果は電流密度と温度により加速され、寿命は以下の式で示される。

$$MTTF = A \cdot J^{-n} \cdot e^{\left(\frac{\Delta E}{kT}\right)}$$

MTTF: 平均故障時間

A: 定数

J: 電流密度

n: 定数 (通常 2~3)

E: 活性化エネルギー (通常 0.5~0.8eV)

図 III-10 に Al 配線のエレクトロマイグレーションの例を示す。FET のソース・ドレイン電極を共通にし、負電極とし、ゲート電極を正電極として順方向電流を流した結果である。Al 配線が断線しているのが分かる。

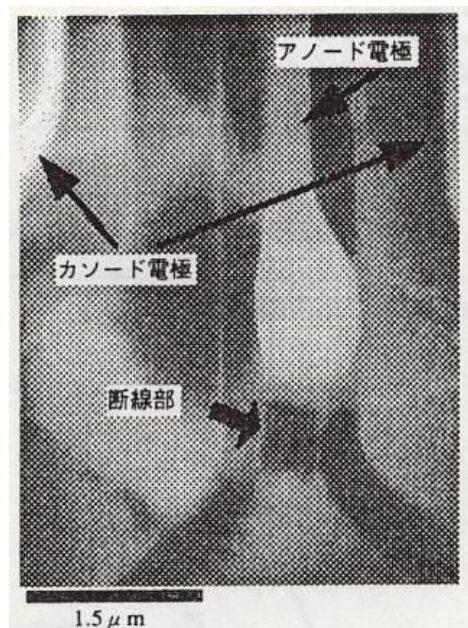


図 III-10 Al 配線のエレクトロマイグレーション例

高周波デバイスでは通常はゲート電流はほとんど流れないが、過入力状態になると大きなゲート電流が流れ、エレクトロマイグレーションが発生する。FET のゲートには過大な負荷をかけることが重要である。