

大電力半導体

活用の手引き

目次

第1章 文字記号の説明.....	2
第2章 形名のつけ方	7
第3章 大電力半導体の信頼性.....	8
第4章 冷却方法と冷却フィンへの取付け方.....	14
第5章 サイリスタのトリガ回路設計法.....	16
第6章 GTO サイリスタの特長と応用	20
第7章 GCT サイリスタの特長と応用.....	34
第8章 取扱い上のご注意	38
第9章 その他.....	39

< 大電力半導体 > 活用の手引き

第1章 文字記号の説明

1. 大電力半導体一般

記号	項目	定義又は説明
Rth	熱抵抗	接合の消費電力による熱流が平衡状態にあるとき、接合の温度が外部の指定点よりも単位電力あたり何度上昇するかを表す値。
Rth(j-a)	接合—周囲間熱抵抗	接合から周囲雰囲気までの熱抵抗。
Rth(j-c)	接合—ケース間熱抵抗	接合から外囲器表面までの熱抵抗。
Rth(j-f)	接合—フィン間熱抵抗	接合からフィンまでの熱抵抗。
Rth(c-f)	接触熱抵抗 (ケース—フィン間熱抵抗)	外囲器表面からフィンまでの熱抵抗。
Zth(t)	過渡熱インピーダンス	ケース温度(スタッド温度)又は周囲温度一定で、接合の電力損失がパルス状のとき、接合の温度が外部の指定点より単位電力あたり何度上昇するかを表す値。
Zth(j-a)	接合—周囲間過渡熱インピーダンス	接合から周囲雰囲気までの過渡熱インピーダンス。
Zth(j-c)	接合—ケース間過渡熱インピーダンス	接合から外囲器表面までの過渡熱インピーダンス。
Zth(j-f)	接合—フィン間過渡熱インピーダンス	接合からフィンまでの過渡熱インピーダンス。
Ta	周囲温度	自冷又は風冷で使用する場合、発熱体の影響を受けない点の空気の温度。
Tf	フィン温度	半導体素子用放熱フィン上の定められた1点の温度。
Tc	ケース温度	半導体素子のケース上の定められた1点の温度。
Tj	定格接合温度	定格の基準として定められた素子の接合温度で、素子動作上の最高許容温度と最低許容温度で示される。
Tstg	定格保存温度	電力を印加しない状態で半導体素子を保存しうる温度で、最高許容温度と最低許容温度で示される。
—	定格締付トルク強度	スタッド形素子を冷却体に取り付ける場合の最大許容締付トルク。
—	定格圧接力強度	平形素子を冷却体に取り付ける場合の最大許容圧接力。

2. 整流ダイオード

記号	項目	定義又は説明
VRRM	定格ピーク繰返し逆電圧	定格接合温度範囲内において、毎サイクル加えうるピーク繰返し逆電圧。ピーク繰返し逆電圧は素子に加わる逆電圧のうち、繰返し過渡電圧を含み、非繰返し過渡電圧を除外した逆電圧の瞬間最大値をいう。
VRSM	定格ピーク非繰返し逆電圧	定格接合温度範囲内において、加えうる商用周波数正弦半波に相当する時間幅以下のピーク非繰返し逆電圧。ピーク非繰返し逆電圧は素子に加わる逆電圧のうち、非繰返し過渡電圧の瞬間最大値をいう。
VR(DC)	定格直流逆電圧	定格接合温度範囲内において、素子の逆方向に加えうる直流電圧の最大値。
VFM	順電圧	指定のケース(あるいは指定の点)温度及び指定の振幅を有する商用周波数の正弦波順電流を流したとき生ずる電圧降下のピーク値。
IF(RMS)	定格実効順電流	指定のケース(あるいは指定の点)温度のもとで、素子に連続して流しうる順電流の実効値
IF(AV)	定格平均順電流	指定のケース(あるいは指定の点)温度、抵抗負荷あるいは誘導負荷のもとで、順方向に連続して流しうる商用周波数正弦半波順電流の平均値。
IFSM	定格サージ順電流	定格接合温度範囲内から流しうる非繰返し性の商用周波数正弦半波順電流のピーク値。この値は1サイクルの値あるいはサイクル数の関数として示される。
I ² t	定格電流二乗時間積	定格サージ順電流をピーク値とする正弦半波電流の二乗を半サイクル期間にわたり時間積分した値。 $I^2t = \int_0^{\pi} I_{FSM}^2 \sin^2 \omega t dt$
IRRM	逆電流	定格最高接合温度にて、定格ピーク繰返し逆電圧に等しいピーク値を有する商用周波数の正弦半波電圧を逆方向に加えたとき流れる逆電流のピーク値。
QRR	逆回復電荷	指定の接合温度にて指定の順電流を流した後、指定の電流減少率にて順方向から逆方向に切り換えるとき、素子内部に蓄積された電荷で、このとき逆方向に流れる逆回復電流の時間積分値。

< 大電力半導体 > 活用の手引き

3. サイリスタ

記号	項目	定義又は説明
VRRM	定格ピーク繰返し逆電圧	定格接合温度範囲内で、ゲート・陰極間に信号を与えない状態において、毎サイクル加えうるピーク繰返し逆電圧。
VRSM	定格ピーク非繰返し逆電圧	定格接合温度範囲内で、ゲート・陰極間に信号を与えない状態において、加えうる商用周波数正弦半波に相当する時間幅以下のピーク非繰返し逆電圧。
VR(DC)	定格直流逆電圧	定格接合温度範囲内において、ゲート・陰極間に信号を与えないで、素子の逆方向に加えうる直流電圧の最大値。
VDRM	定格ピーク繰返しオフ電圧	定格接合温度範囲内で、ゲート・陰極間に信号を与えない状態において、毎サイクル加えうるピーク繰返しオフ電圧。ピーク繰返しオフ電圧は素子に加わるオフ電圧のうち、繰返し過渡電圧を含み、非繰返し過渡電圧を除外したオフ電圧の瞬時最大値をいう。
VDSM	定格ピーク非繰返しオフ電圧	定格接合温度範囲内で、ゲート・陰極間に信号を与えない状態において、加えうる商用周波数正弦半波に相当する時間幅以下のピーク非繰返しオフ電圧。ピーク非繰返しオフ電圧は素子に加わるオフ電圧のうち、非繰返し過渡電圧の瞬時最大値をいう。
VD(DC)	定格直流オフ電圧	定格接合温度範囲内において、ゲート・陰極間に信号を与えないで素子の順方向に加えうる直流電圧の最大値。
dv/dt	臨界オフ電圧上昇率	<p>定格最高接合温度で、ゲート・陰極間に信号を与えない状態において、指定の振幅を有する指数関数状のオフ電圧を加え、オフ状態からオン状態に移行しない最大のオフ電圧上昇率。</p> $\frac{dv}{dt} = \frac{0.632V_D}{\tau}$ <p>ここで V_D : 指定のオフ電圧 τ : 指数関数波形における時定数</p>
V _{TM}	オン電圧	指定のケース(あるいは指定の点)温度で指定の振幅を有する商用周波数の正弦半波オン電流を流したとき生ずる電圧降下のピーク値。
I _{T(RMS)}	定格実効オン電流	指定のケース(あるいは指定の点)温度のもとで、素子に連続して流しうるオン電流の実効値。
I _{T(AV)}	定格平均オン電流	指定のケース(あるいは指定の点)温度、抵抗負荷あるいは誘導負荷のもとで、順方向に連続して流しうる商用周波数正弦半波(180度通電)電流の平均値。
I _{TSM}	定格サージオン電流	定格接合温度範囲内から流しうる非繰返し性の商用周波数正弦半波オン電流のピーク値。この値は1サイクルの値あるいはサイクル数の関数として示される。
I ² _t	定格電流二乗時間積	<p>定格サージオン電流をピーク値とする正弦半波電流の二乗を半サイクル期間にわたり時間積分した値。</p> $I^2_t = \int_0^{\pi} I_{TSM}^2 \sin^2 \omega t dt$
I _{TM(OV)}	定格平均過負荷オン電流	指定の冷却条件において、定格平均オン電流未滿の指定のオン電流を連続通電後、直ちに引き続いて指定の時間だけ流しうる商用周波数正弦半波オン電流の平均値であり、このオン電流通電後熱的平衡が回復すれば、正規の動作電圧が印加されている状態において再び通電しうる電流。
di _T /dt	定格臨界オン電流上昇率	指定のケース(あるいは指定の点)温度、指定のオフ電圧、指定のゲート条件及び60Hz以下の周波数にて、サイリスタをオフ状態からオン状態に切り換えるとき、サイリスタが耐えることのできる最大のオン電流上昇率。
I _H	保持電流	指定の接合温度、ゲート条件、及びオフ電圧において、サイリスタをオン状態に維持するために必要な最小の陽極電流。
I _L	ラッチング電流	指定の接合温度、オフ電圧、及びゲート条件において、オフ状態からオン状態にスイッチした直後にゲートトリガ電流を取り去り、その後、サイリスタがオン状態を保つに必要な最小の陽極電流。
I _{RRM}	逆電流	定格最高接合温度にて、定格ピーク繰返し逆電圧に等しいピーク値を有する商用周波数の正弦半波電圧を逆方向に加えたとき流れる逆電流のピーク値。
I _{DRM}	オフ電流	定格最高接合温度にて、定格ピーク繰返しオフ電圧に等しいピーク値を有する商用周波数の正弦半波電圧を順方向に加えたとき流れるオフ電流のピーク値。小電力素子ではゲート・陰極間に指定の抵抗が接続される。
P _{FGM}	定格ピークゲート損失	定格接合温度範囲内において、ゲート・陰極間の順方向で消費しうる指定時間幅の最大許容電力損失のピーク値。
P _{FG(AV)}	定格平均ゲート損失	定格接合温度範囲内において、ゲート・陰極間の順方向で消費しうる最大許容電力損失の平均値。

< 大電力半導体 >
活用の手引き

記号	項目	定義又は説明
IFGM VRGM VFGM IGT	定格ピークゲート順電流 定格ピークゲート逆電圧 定格ピークゲート順電圧 ゲートトリガ電流	定格接合温度範囲内において、ゲート・陰極間の順方向に流しうる電流のピーク値。 定格接合温度範囲内において、ゲート・陰極間に逆方向に加える電圧のピーク値。 定格接合温度範囲内において、ゲート・陰極間に順方向に加える電圧のピーク値。 指定の接合温度で、6Vのオフ電圧と指定の負荷抵抗において、サイリスタをオフ状態からオン状態へ移行するのに必要な最小のゲート直流電流。小電力素子に接続したゲート抵抗へ流れる電流は含まない。
VGT	ゲートトリガ電圧	指定の接合温度で、6Vのオフ電圧と指定の負荷抵抗において、サイリスタをオフ状態からオン状態へ移行するのに必要な最小のゲート直流電圧。
VGD	ゲート非トリガ電圧	定格最高接合温度で、指定のオフ電圧を印加した状態において、オフ状態からオン状態への移行を起こさない最大のゲート直流電圧。
PT	オン損失	指定の通電角及び電流波形のオン電流を流したとき、サイリスタ内部に生ずる電力損失を1サイクルにわたって平均した値。
tgt	ターンオン時間	指定の接合温度にて、1/2 定格ピーク繰返しオフ電圧を印加した後、指定のゲート電流を与えてオン状態にし、指定の di/dt にて指定のオン電流を流したとき、ゲート電流の印加後、印加オフ電圧が初期値の10%に低下するまでの時間。またゲート電流印加後、印加電圧が初期値の90%に低下するに要する時間を遅れ時間といい、90%から10%に低下するまでの時間を立上がり時間という。両者の和がターンオン時間である。
tq	ターンオフ時間	定格最高接合温度にて、指定のオン電流を流した後、指定の逆電圧を加えてオン電流をしゃ断し、ついで指定の電圧上昇率で高め、指定のオフ電圧に到達させる回路条件においてオン電流が零を切る瞬間から再び順電圧を印加後、オンしないで耐えることのできる最小の時間。
QRR	逆回復電荷	指定の接合温度にて指定のオン電流を流した後、指定の電流減少率にてオン状態からオフ状態に切り換えるとき、素子内部に蓄積された電荷で、このとき逆方向に流れる逆回復電流の時間積分値。

4. GTO サイリスタ、GCT サイリスタ

記号	項目	定義又は説明
VRRM	定格ピーク繰返し逆電圧	定格接合温度範囲内で、ゲート・陰極間に信号を与えない状態において、毎サイクル加えるピーク繰返し逆電圧。
VRSM	定格ピーク非繰返し逆電圧	定格接合温度範囲内で、ゲート・陰極間に信号を与えない状態において、加える商用周波数正弦半波に相当する時間幅以下のピーク非繰返し逆電圧。
VR(DC)	定格直流逆電圧	定格接合温度範囲内において、ゲート・陰極間に信号を与えないで、素子の逆方向に加える直流電圧の最大値。
VDRM	定格ピーク繰返しオフ電圧	定格接合温度範囲内で、ゲート・陰極間に指定の逆バイアス電圧を印加、又は指定の抵抗を並列接続した状態において、毎サイクル加えるピーク繰返しオフ電圧。ピーク繰返しオフ電圧は素子に加わるオフ電圧のうち、繰返し過渡電圧を含み、非繰返し過渡電圧を除外したオフ電圧の瞬時最大値をいう。
VDSM	定格ピーク非繰返しオフ電圧	定格接合温度範囲内で、ゲート・陰極間に指定の逆バイアス電圧を印加、又は指定の抵抗を並列接続した状態において、加える商用周波数正弦半波に相当する時間幅以下のピーク非繰返しオフ電圧。ピーク非繰返しオフ電圧は素子に加わるオフ電圧のうち、非繰返し過渡電圧の瞬時最大値をいう。
VD(DC)	定格直流オフ電圧	定格接合温度範囲内において、ゲート・陰極間に指定の逆バイアス電圧を印加、又は指定の抵抗を並列接続した状態で素子の順方向に加える直流電圧の最大値。
dv/dt	臨界オフ電圧上昇率	定格最高接合温度で、ゲート・陰極間に指定の逆バイアス電圧を印加、又は指定の抵抗を並列接続した状態において、指定の振幅を有する指数関数状のオフ電圧を加え、オフ状態からオン状態に移行しない最大のオフ電圧上昇率。 $\frac{dv}{dt} = \frac{0.632V_D}{\tau}$ <p>ここで V_D：指定のオフ電圧 τ：指数関数波形における時定数</p>

< 大電力半導体 >
活用の手引き

記号	項目	定義又は説明
V _{TM}	オン電圧	指定のケース(あるいは指定の点)温度で指定の振幅を有する商用周波数の正弦半波オン電流を流したとき生ずる電圧降下のピーク値。
I _{T(RMS)}	定格実効オン電流	指定のケース(あるいは指定の点)温度のもとで、素子に連続して流しうるオン電流の実効値。
I _{T(AV)}	定格平均オン電流	指定のケース(あるいは指定の点)温度、抵抗負荷あるいは誘導負荷のもとで、順方向に連続して流しうる商用周波数正弦半波(180度通電)電流の平均値。
I _{TSM}	定格サージオン電流	定格接合温度範囲内から流しうる非繰返し性の商用周波数正弦半波オン電流のピーク値。
I ² _t	定格電流二乗時間積	この値は1サイクルの値あるいはサイクル数の関数として示される。 定格サージオン電流をピーク値とする正弦半波電流の二乗を半サイクル期間にわたり時間積分した値。 $I^2_t = \int_0^{\frac{\pi}{\omega}} I_{TSM}^2 \sin^2 \omega t dt$
I _{TM(OV)}	定格平均過負荷オン電流	指定の冷却条件において、定格平均オン電流未滿の指定のオン電流を連続通電後、直ちに引き続いて指定の時間だけ流しうる商用周波数正弦半波オン電流の平均値であり、このオン電流通電後熱的平衡が回復すれば、正規の動作電圧が印加されている状態において再び通電しうる電流。
di _T /dt	定格臨界オン電流上昇率	指定のケース(あるいは指定の点)温度、指定のオフ電圧、指定のゲート条件にて、サイリスタをオフ状態からオン状態に切り換えるとき、サイリスタが耐えることのできる最大のオン電流上昇率。
I _H	保持電流	指定の接合温度、ゲート条件、及びオフ電圧において、サイリスタをオン状態に維持するために必要な最小の陽極電流。
I _L	ラッチング電流	指定の接合温度、ゲート条件、及びオフ電圧において、オフ状態からオン状態にスイッチした直後にゲートトリガ電流を取り去り、その後、サイリスタがオン状態を保つに必要な最小の陽極電流。
I _{RRM}	逆電流	定格最高接合温度にて、定格ピーク繰返し逆電圧に等しいピーク値を有する商用周波数の正弦半波電圧を逆方向に加えたとき流れる逆電流のピーク値。
I _{DRM}	オフ電流	定格最高接合温度にて、ゲート・陰極間に指定の逆バイアス電圧を印加、又は指定の抵抗を並列に接続した状態において、定格ピーク繰返しオフ電圧に等しいピーク値を有する商用周波数の正弦半波電圧を順方向に加えたとき流れるオフ電流のピーク値。
P _{FGM}	定格ピークゲート順損失	定格接合温度範囲内において、ゲート・陰極間の順方向で消費しうる指定時間幅の最大許容電力損失のピーク値。
P _{FG(AV)}	定格平均ゲート順損失	定格接合温度範囲内において、ゲート・陰極間の順方向で消費しうる最大許容電力損失の平均値。
I _{FGM}	定格ピークゲート順電流	定格接合温度範囲内において、ゲート・陰極間の順方向に流しうる電流のピーク値。
I _{RGM}	定格ピークゲート逆電流	定格接合温度範囲内において、ゲート・陰極間の逆方向に流しうる電流のピーク値。
V _{FGM}	定格ピークゲート順電圧	定格接合温度範囲内において、ゲート・陰極間に順方向に加える電圧のピーク値。
V _{RGM}	定格ピークゲート逆電圧	定格接合温度範囲内において、ゲート・陰極間に逆方向に加える電圧のピーク値。
I _{GT}	ゲートトリガ電流	指定の接合温度、指定のオフ電圧及び指定の負荷抵抗において、サイリスタをオフ状態からオン状態へ移行するのに必要な最小のゲート直流電流。
V _{GT}	ゲートトリガ電圧	指定の接合温度、指定のオフ電圧及び指定の負荷抵抗において、サイリスタをオフ状態からオン状態へ移行するのに必要な最小のゲート直流電圧。
V _{GD}	ゲート非トリガ電圧	定格最高接合温度で、指定のオフ電圧を印加した状態において、オフ状態からオン状態への移行を起こさない最大のゲート直流電圧。
P _T	オン損失	指定の通電角及び電流波形のオン電流を流したとき、サイリスタ内部に生ずる電力損失を1サイクルにわたって平均した値。
P _{PRGM}	定格ピークゲート逆損失	定格接合温度範囲内において、ゲート・陰極間の逆方向で消費しうる指定時間幅の最大許容電力損失のピーク値。
P _{PRG(AV)}	定格平均ゲート逆損失	定格接合温度範囲内において、ゲート・陰極間の逆方向で消費しうる最大許容電力損失の平均値。
I _{RG}	ゲート逆電流	指定の接合温度及びゲート逆電圧において流れるゲート逆電流のピーク値。
I _{TQRM}	繰返し可制御オン電流	指定の条件のもとで、ゲート制御により繰返しターンオフ可能なターンオフ直前のオン電流の瞬時値。
I _{GQM}	ピークゲートターンオフ電流	オン状態からオフ状態に切替えるのに要する瞬時最大ゲート逆電流の最小値。
t _{gt}	ターンオン時間	ゲート順電流を加えサイリスタをオフ状態からオン状態に切替えるに要する時間。
t _{gq}	ターンオフ時間	ゲート逆電流を加えサイリスタをオン状態からオフ状態に切替えるに要する時間。
Q _{GQ}	ゲートターンオフ電荷	サイリスタをオン状態からオフ状態へ切替えるに要するゲート逆電流の時間積分値として算出される電荷。

< 大電力半導体 >

活用の手引き

記号	項目	定義又は説明
G _{off}	ターンオフゲイン	可制御オン電流とゲートターンオフに必要なゲート逆電流との比。
E _{on}	ターンオンスイッチング損失	ターンオン期間に陽極電流と陽極電圧とで発生する損失。
E _{off}	ターンオフスイッチング損失	ターンオフ期間(テール期間を含む)に陽極電流と陽極電圧とで発生する損失。

第2章 形名のつけ方

整流ダイオード、サイリスタ、GTO サイリスタ、GCT サイリスタ、SGCT サイリスタユニット

FG 4000 G X - 90 D A

パッケージ区分

- A：デアロイ標準形パッケージ
(GTO サイリスタの場合のみ用います。)
- S：デアロイスPECIALパッケージ
(GCT サイリスタの場合のみ用います。)

デアロイ形及びアロイ形の区分

- D：デアロイ形(注1)
- ブランク：アロイ形

耐圧クラス(注2)

耐圧クラス × 50 = (VDRM 又は VRRM)
 (例) 90 × 50 = 4500V

耐圧クラス又はターンオフ時間を示します。

アルファベットの記号を付ける場合と付けない場合があります。
 記号の意味を以下に示します。

表1. 記号一覧

分類と適用	記号	記号の意味
耐圧(*1) (70Aクラス以上の整流ダイオード、一般用サイリスタ及びGTOサイリスタに適用します。)	P	超低下用 (耐圧400V以下)
	L	低下用 (耐圧1600V以下)
	M	中圧用 (耐圧1400~2000V程度)
	H	高圧用 (耐圧1600~2500V程度)
	V	超高圧用 (耐圧3000~4500V程度)
ターンオフ時間の最大値(*2) (70Aクラス以上の高速スイッチングサイリスタに適用します。)	W	50µs
	X	30µs
	Y	15µs (20µs)
	Z	6µs (8µs)

*1 ここに示す耐圧の範囲は、分類の目安を与えるものであり、各機種により若干の違いがあります。

*2 GTOサイリスタ及びGCTサイリスタの高速タイプに「X」の記号を付けます。

副番(外形及び製法の違いを示します。)

定格電流クラス

ただし1000A未満のサイリスタ及びダイオードの定格電流クラス末尾に付与している2は電流クラスに含みません。
 (例) FT802AV-90の電流クラスは800Aです。

種類

表2. 種類一覧表

種類	記号	外形	
		スタッド形 フラットベース形	平形
一般用整流ダイオード 高速スイッチング用整流ダイオード		SR	FD
一般用サイリスタ 高速スイッチングサイリスタ		CR	FT
GTOサイリスタ		—	FG
GCTサイリスタ		—	FGC
SGCT サイリスタユニット		—	GCU

注1) デアロイ形とはシリコンと熱緩衝用金属板とを合金しない構造を示します。

第3章 大電力半導体の信頼性

1. はじめに

整流ダイオード、サイリスタなどの電力用半導体デバイスが、昭和40年代前半より産業機器や民生機器に広く使われはじめ現在にいたっておりますが、この間に半導体デバイスの信頼度は急速に向上してきています。高信頼度を要求される機器では、半導体デバイスの故障率は10~100FIT(1FIT = 109/時間)程度が必要ですが、このような信頼度を実現するためには、半導体デバイス固有の信頼度の向上はもちろんのこと、半導体デバイスの特質と使用方法の調和ということが非常に重要な問題となってきます。実際に同じ製法で作られた半導体デバイスが使用方法の違いにより、フィールドにおける故障率が1桁以上異なることもしばしば見られます。ここでは半導体デバイスの信頼性について、使用上考慮しておく必要のある問題点、品質保証活動及び信頼度試験データ例などを紹介いたします。

2. 半導体デバイスの信頼性概説

一般に電子機器、電子部品の故障率は、図1の曲線(a)のように初期故障期、偶発故障期を経て摩耗故障期に至る、いわゆるバスタブカーブ形の変遷をたどりますので、初期故障期、偶発故障期の故障率と摩耗故障期にはいるまでの有用寿命の2点を考慮せねばなりません。ところが、半導体デバイスの故障率の経時変化は、一般に図1の曲線(b)のように故障率が時間の経過とともに徐々に減少していく傾向を示す点に特長があります。このことは見方を変えますと、偶発故障期において故障率が低くなり安定化していても、故障分布の形からは初期故障形が引き続いているともいえます。実際の半導体デバイスの故障率の経時変化例は図2に示すように、製造直後は高い故障率を示していますが、これをエージングやデバギングすることにより、故障率は次第に低下していきます。次に、機器メーカーで、組立調整及びエージングにはいりますが、この期間中に故障率はさらに減少していきます。通常、この期間中の故障率は重欠点で0.1%以下です。もし、この値を大幅に越えるようなら、回路設計か組立工程か、又はデバイスに問題がありますので、原因の究明は急を要します。放置しておきますと、フィールドでの故障の多発につながる可能性があります。この期間の重欠点の故障率とフィールドの故障率は相関のある場合が多く、故障率の高い場合には注意を要します。さて、機器がフィールドに出ますと、さらにストレスレベルは低下しますので故障率は一段と低下し、通常、数FIT~数100FITになります。

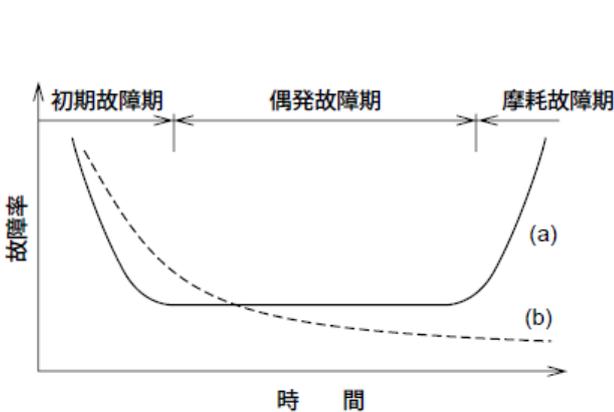


図 1. 故障率の経時変化

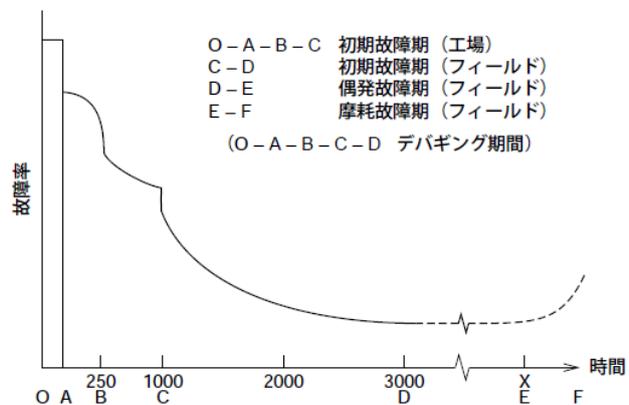


図 2. 半導体デバイスの故障率経時変化

また、半導体デバイスのもう1つの特長は有用寿命が長いことです。図2に示すように、半導体デバイスの故障率曲線は、数1000時間以上の期間にわたって故障率が漸次減少する傾向を示し、ワイブル分布の尺度パラメータ m の値は0.3~0.6程度です。このような半導体デバイスの故障分布の特長をとらえて、半導体デバイスの信頼性評価としては、各種の加速試験と、1000 時間程度の寿命試験を行うのが普通です。前者は、おもに摩耗故障モードのチェックのために行うもので、後者は、初期、偶発故障領域における劣化故障と突発故障の発生の有無を調査するものです。ところで、機器の組立調整段階及びフィールドから、故障として返却された半導体デバイスについて故障解析を行いますと、良品である場合や使用上に問題のある場合、又はデバイスに欠陥のある場合などがあります。これらの良品と判定されるデバイスが返却された理由は、規格上、良品でもセットに組むと使えないという場合もありますが、ユーザの誤判定と思われるのが大部分です。

また、使用条件に問題のあったと思われる故障デバイスについて故障解析を行うと、サージ電流、サージ電圧が加わったもの、及び最大定格以上の di/dt など、過度の電氣的ストレスによるものがほとんどで、過激な振動、衝撃など機械的ストレスにより生じたと思われる故障素子はほとんど発見されません。次に故障のうち使用上問題がなく、デバイスに原因があったと判定されるものについて、故障原因の分析を行いますと、故障は表面処理の欠陥に起因するものと、構造的欠陥に起因するものがあり、前者は製造工程の不備により、シリコンの接合近傍に不純物イオンが存在することにより、特性の劣化に結びつくものであり、後者はデバイスを構成する部品、材料の不備、各部品間の結合部における不具合等が考えられます。

大電力用サイリスタ、ダイオードは、その用途の大半が各種産業機器の心臓部として使用されるものであり、使用部品、材料及び製造段階において、特に厳重な品質管理と正確丁寧な作業管理を実施し、これら欠陥の発生をおさえるとともに、有効適切なデバギングを実施し、その除去を徹底しております。さて、半導体デバイスの故障率曲線は、漸次減少形の分布を示しますので、機器の信頼度を上げるためには、初期故障率の低いものを使うことに考慮を払う必要があります。一方、使用面からも余裕ある設計が必要で、一般に電圧は最大定格の50~80%以下、接合温度は最大定格の70~80%以下にディレーティングして使用するのが望ましい条件です。さらに、使用する半導体デバイスと使用回路との強調も信頼度向上のため忘れてはならない重要な要素です。なお、機器の信頼度設計上、素子の選択で考慮しておかなければならない問題に、性能及び信頼性と経済性との問題があります。高性能・高信頼度化と経済性の両方を達成することは容易ではないためこの両者のバランスをとって、実用価値の大きいものを設計していく必要があります。一方、ユーザも機器の目標とする性能、信頼度と調和のとれたデバイスを選択することが重要な課題です。

3. 品質保証活動について

製品の品質、価格、納期及びサービスは、いずれも重要な要素として、それぞれ最善をつくさなければなりません。品質はその製品が存在する限りたえずその使用者とともにあり、使用者に奉仕を続ける、切り離すことのできない大切なものです。半導体工業では、製品に要求される品質水準が非常に高く、一方、その製造は「ウエハ工程」に見られるきわめて精密なプロセス制御能力や、「アセンブリ工程」に見られる微細な作業など非常に高度な技術を要する大量生産方式ですので、それだけに、高い品質管理を必要とします。以下に、その品質保証活動の概要を説明いたします。

3-1 量産を行うための手順

開発試作から量産試作を経て、量産に至るまでの各段階ごとに、性能、信頼性確認のため一連の形式試験を実施し、あわせて図面標準類の検討も行います。開発から量産までの品質保障系統図を図3に示します。また、形式試験のうち、信頼性確認のための信頼性試験については次節で述べます。

< 大電力半導体 >
 活用の手引き

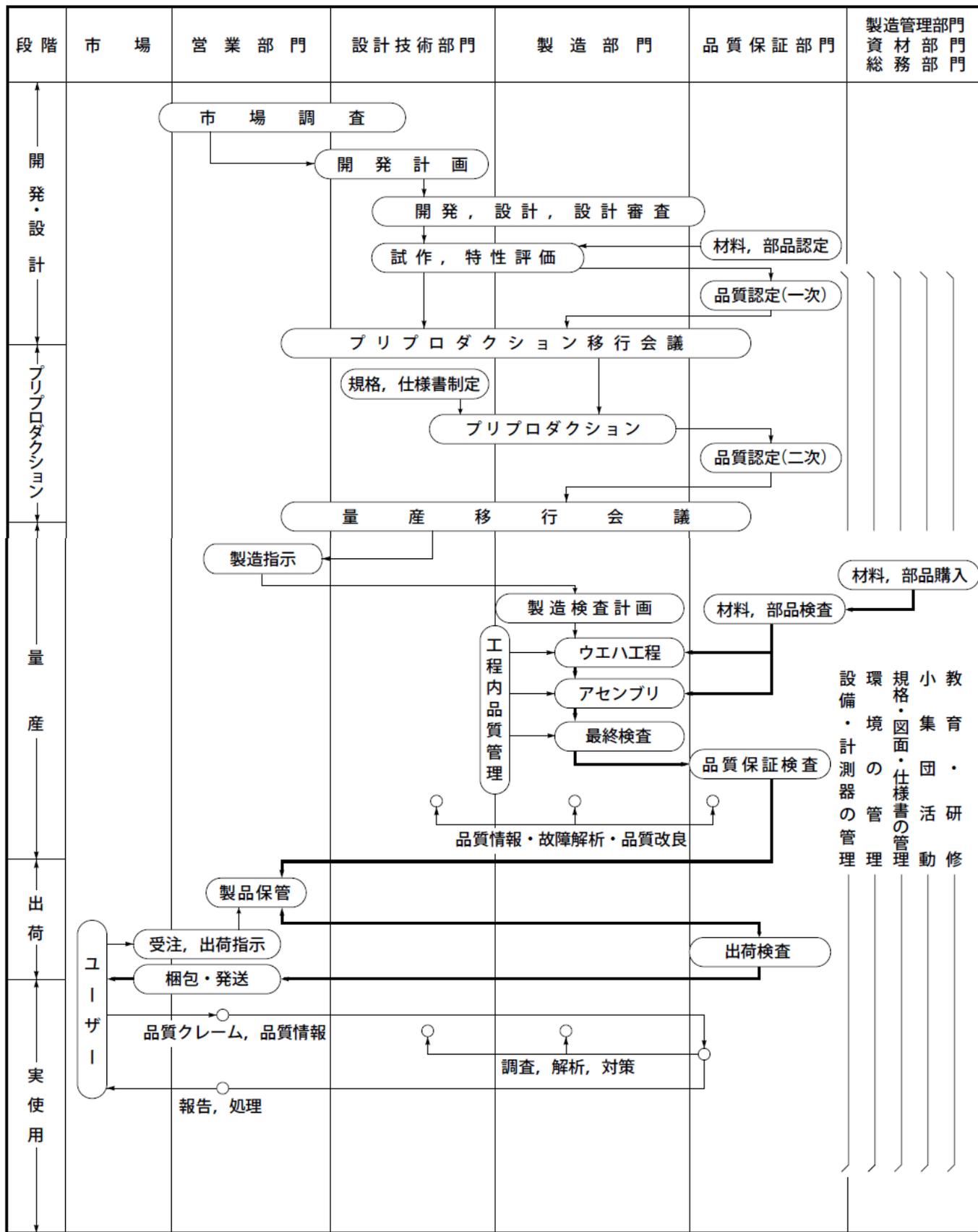


図3. 品質保障系統図

3-2 環境の管理

半導体工業では、環境が製品の品質に影響を与えることがとくに大きく、防塵、防湿、恒温を保つため、管理基準が定められ、厳密な管理が実施されています。工場で使用するガス類及び水についても同様の処置がとられています。

3-3 製造装置、計測機器等の定期点検及び保守管理

半導体工業は装置工業ともいわれ、製造装置、計測機器等の管理は、デバイスの製作上、重要な要素です。装置の精度低下、故障等を未然に防ぐため、定期的な点検、保全が実施されています。

3-4 購入資材の管理

受入検査基準に基づき、分光分析器などを使用し、厳密な分析、検査を行います。発注に際しては、品質上の留意点を確認するとともに、十分なサンプル検討を行い、問題点を解決してから正式納品が開始されます。また、納入者の製造工程の品質管理にも十分配慮をしています。

3-5 製造工程の管理

品質に重要な影響を与える要因となる純水の純度、雰囲気、炉関係の温度、ガス流量などの条件値については、それぞれ計測器を取り付け、作業者のチェックシートによる点検、又は自動記録を行います。さらに、拡散など特性にとくに大きく影響を与える作業については、拡散深さ、表面濃度などを記録し、作業条件の管理データとして活用しています。

3-6 中間検査及び最終検査

中間検査及び最終検査の実施についての考え方は、製品の品質特性、すなわち、外観、寸法、構造、機械的及び電気的特性などの良否の判定を行うとともに、それにより得られた品質情報を前工程にフィードバックし、品質の維持向上、ばらつきの減少を計ることを目的としています。中間検査としては、ウエハテスト及びアセンブリ工程の検査があり、いずれも「品質は製造工程で作り込む」という基本的な考え方に基づく作業部門の自主チェックと品質管理部門の検査の2本立てで実施しています。自主チェックは自主的確認による品質の是正はもとより、完成品では発見しにくい事項の確認に重点をおいています。製品完成後は、完成品検査として最終検査を行います。最終検査としては電気的特性、外観検査を行います。品質保証部門は、最終的にユーザが使用する観点に立って総合的な性能、品質を確認し保証するために、製品を倉入する前に、外観、電気的特性及び信頼性について抜取りによる品質保証検査を実施します。以上に述べました品質保証活動の系統図は前述の図3に示す通りであります。

3-7 品質情報

検査結果記録及び客先情報などの各種品質情報は、主として品質保証部門で作成され、品質の維持改善のため製造部門をはじめ関係部門へ迅速にフィードバックされます。さらに、情報管理の近代化を図るため、コンピュータによる合理的かつ効果的な品質管理システムを採用しています。

4. 信頼性試験

4-1 信頼性試験法

三菱半導体デバイスは、高信頼度を保証できる設計、製造工程における厳重な品質管理、製品ロットごとの品質保証検査を行っていますので、十分満足して使用できる信頼度水準に達しています。この信頼度水準を確認するために、種々の信頼性試験を実施しています。本節では、サイリスタの信頼性試験例を紹介しますが、ここで行われている試験内容について表1に示します。なお、三菱半導体デバイスの信頼性試験は、日本工業規格(JIS)に準拠して実施しております。

5. 故障解析

品質水準及び信頼性の維持・向上に必要な情報を得る手段の一つとして故障解析があります。故障解析は、開発、製造段階での半製品、製品の故障品、信頼性試験で生じた故障品、ユーザでの試験や使用中で生じた故障品などに対して実施しております。故障解析は、外部検査、電気的検査、内部検査、チップ解析に大別されます。故障解析の手順を図4に、その内容を表2に示します。信頼性試験結果及び故障解析結果により故障モードや故障メカニズムが明確になり、プロセス技術部門や製造部門にフィードバックして必要な是正措置をとることによって製品の信頼性を絶えず改善するように努めております。

< 大電力半導体 > 活用の手引き

6. ディレーティングと信頼度予測

半導体デバイスの信頼度は、使用条件、環境条件によって同一品種でも大きく異なってきます。また、半導体デバイスの設計基準、製造方法及び製造管理の水準などに基づく固有の信頼度によっても大きく左右されます。ディレーティングと信頼度予測についての詳細は「三菱半導体信頼性ハンドブック」をご参照ください。

表1. 三菱半導体デバイス信頼性試験(大電力用サイリスタの場合の例)

試験項目	試験方法		試験条件	備考		
環境試験	熱衝撃	JIS C 7021 *	A-3	100°C ; 15分, 0°C ; 15分, 5サイクル		
	温度サイクル	"	A-4	T _{stg(max)} ; 30分, T _{stg(min)} ; 30分, 5サイクル	但し時間はデバイスの重量によって決定する。	
	気密性	"	A-6	方法Ⅰ	ヘリウムガスによる微少リーク試験	ヘリウムガスを使用
				方法Ⅲ	気泡によるグロスリーク試験	フロロカーボンを使用
	衝撃	"	A-7	100~500G, 各方向3回		
	振動	"	A-10	10~55Hz, 1.5mm, X・Y・Z方向各2時間		
端子強度	"	A-11	方法Ⅰ 引張, 規定の荷重印加30秒			
耐久性試験	高温保存	"	B-10	T _a = T _{stg(max)} , 1000時間		
	低温保存	"	B-12	T _a = T _{stg(min)} , 500時間		
	断続通電	"	B-18	I _T = I _{T(AV)max} , T _j = 50°C以下~T _{j(max)} , 5000サイクル		
	高温電圧印加	"	B-20	T _j ≤ T _{j(max)} , V _{AK} = V _{DRM} , V _{RRM} 又は80%, 1000時間		

* : 日本工業規格 JIS C 7021 個別半導体デバイスの環境試験及び耐久試験方法

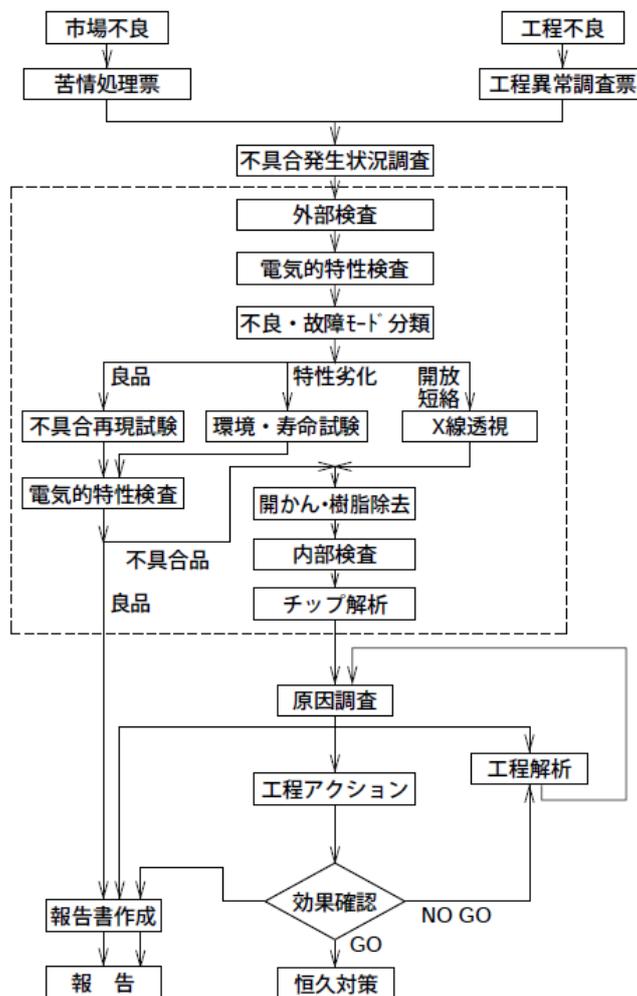


図4. 故障解析手順

< 大電力半導体 > 活用の手引き

表 2. 故障解析の内容と設備

検査項目	検査内容	設備
外部検査	<ul style="list-style-type: none"> ○リード、めっき、はんだ付、溶接部分の状態 ○マーキング ○パッケージの欠陥 ○はんだ付け性 ○気密性 	実体顕微鏡 金属顕微鏡 リークディテクタ
電気的特性検査	<ul style="list-style-type: none"> ○電気的静特性、電圧・温度マージン、動作特性の検査による開放・短絡及び特性劣化の調査 ○内部配線 	シンクロスコープ カーブトレーサ 特性試験器 X線透過装置
内部検査	<ul style="list-style-type: none"> ○デバイスのパッケージを取り除き、内部構造を観察するチップの表面観察 ○マイクロプローバによる電気的特性のチェック ○ホットスポット、異常など 	金属顕微鏡 マイクロプローバ 走査電子顕微鏡 X線マイクロアナライザ
チップ解析	<ul style="list-style-type: none"> ○内部検査でのチップ観察を補足するための解析 ○チップ断面解析により、酸化膜、拡散、メタライズの解析 	赤外線マイクロキャナ 分光分析装置

7. むすび

電力用半導体デバイスの一般的な信頼性の考え方、信頼性試験及びデレレーティングと信頼度予測などについて簡単ですが紹介しました。本文で述べましたように、半導体デバイスの実用上での信頼度を高めるためには、半導体デバイスのもつ特質をよく把握するとともに、機器、セットに調和した半導体デバイスの選択を行うこと、また使用条件、環境条件面からデレレーティングを十分考慮した余裕ある信頼度設計を行うことなどが、重要なキーポイントとなります。機器、セットとしてのデバッグの実施や工程中あるいはフィールドのデータを解析し、それを設計、製造にフィードバックすることも見のがしてはならない大切な要因です。このように、信頼度設計を行う上で検討すべき事項が多い現状ですが、品質、信頼性ならびに経済性も含めた総合的観点より細心の注意をもってうまく半導体デバイスを使用されることをおすすめします。

第4章 冷却方法と冷却フィンへの取付け方

1. まえがき

電力半導体素子は素子内で発生した電力損失により生ずる熱は何らかの冷却方法で外部に放散させねばなりません。それは素子の外装からの熱放散だけでは放散が不十分であり、素子の接合温度がその許容値以上に上がるからです。熱の放散手段としては自冷、風冷、水冷、油冷などがありますが、以下に風冷の場合について冷却フィンの選定方法と素子の取付け方について記載します。放熱の問題は電気回路と類似しており、表1のような対応が考えられ、熱抵抗という熱の流れに対する抵抗を考えます。そして、放熱問題を考えるのに電気回路と対応させて、図1のような放熱回路を考えます。すなわち、図1は素子の接合で発生した熱が接合—ケース間、ケース—フィン間及びフィン—周囲間の熱抵抗を通して周囲へ放散する様子を等価的に示したものです。接合でP(W)の熱が発生しているとなれば次式が成立します。なお、当社カタログにおいてフラットベース形、スタッド形及びモジュール形素子の場合、熱抵抗は $R_{th(j-c)}$ で示し、平形素子の場合は $R_{th(j-f)}$ で示しています。

次に設計手順を説明しますと、まず電気的条件から整流回路と使用素子を決めます。これで最高接合温度、接合—ケース間熱抵抗、素子内での電力損失が決まり、ケース—フィン間の熱抵抗もほぼ決まります。一方、最高周囲温度($T_{a(max)}$)も決まりますから、自由に選べるものはフィン—周囲間の熱抵抗だけとなります。これにより冷却方式の選定を行いますが、選定にあたっては冷却性能、環境条件、機械的条件、電気的条件を考慮し、さらに経済的な観点から最適な冷却方式を選択する必要があります。

表1. 電気回路と放熱回路の比較

電気回路	放熱回路
電圧 (V)	温度 (°C)
電流 (A)	電力損失 (W)
抵抗 (Ω)	熱抵抗 (°C/W)

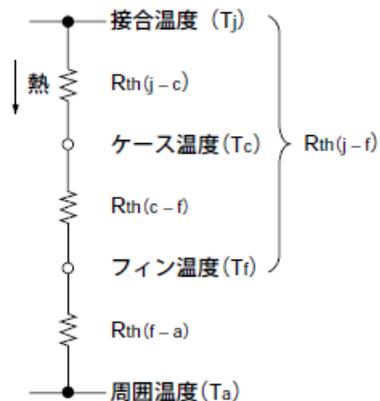


図1. 放熱等価回路

$$T_j - T_a = P(R_{th(j-c)} + R_{th(c-f)} + R_{th(f-a)})$$

T_j : 接合温度 (°C)

T_a : 周囲温度 (°C)

P : 素子内部の電力損失 (W)

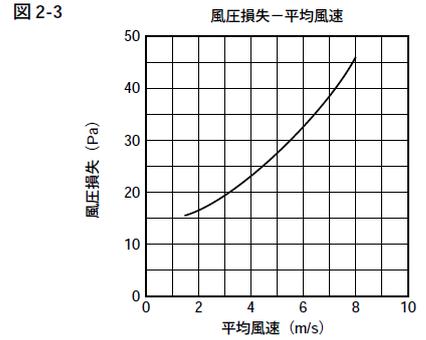
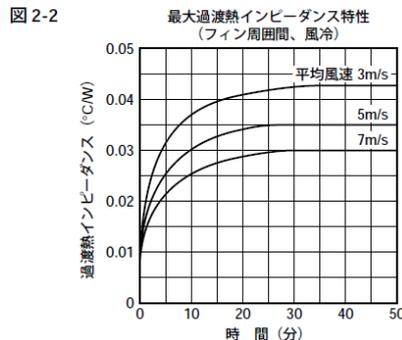
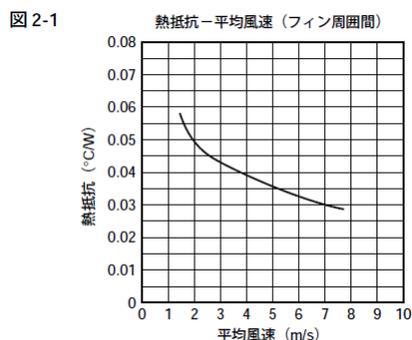
$R_{th(j-c)}$: 接合ケース間熱抵抗 (K/W)

$R_{th(c-f)}$: ケースフィン間熱抵抗 (K/W)

$R_{th(f-a)}$: フィン周囲間熱抵抗 (K/W)

2. 冷却フィンの熱抵抗

冷却フィンの熱抵抗は、その大きさだけでなく、形状、材質、表面の状態(表面の粗さ、塗装)、保持方向、冷却フィンの温度及び周囲温度との差、冷却フィン表面の風速、気流の状態、近傍にある物体の温度などに影響されます。当社の大電力半導体スタックに用いる代表的な平形素子用の放熱フィンの熱抵抗データの一例を図2-1に示しますのでご参照ください。このデータは、例えばフィン—周囲間の熱抵抗 $R_{th(f-a)}$ として0.035KWが必要な場合平均風速5m/Sの風冷条件で使用すればよいことを意味しています。また、図2-2 は最大過渡熱インピーダンス特性を、図2-3 は平均風速と風圧損失の関係を表しています。



< 大電力半導体 >
活用の手引き

3. 素子の取付け方

平形素子は通常両面に冷却フィンを圧接組み立てて使用しますが、この場合には次のような設計上の配慮が必要です。これらの条件が満足されない場合は素子の性能を十分に発揮させることができないばかりか、破壊に至る場合もありますのでご注意ください。

- (1) 素子の圧接力が必ず規定の範囲内となるよう圧接機構の設計をしてください。
- (2) 素子の電極面には偏荷重がかからず均一に圧接されるようご配慮ください。このためには冷却フィンの接触面の平面度は通常10μm以下、平行度は50μm以下とし、圧接軸にはボール等による調心機構をつける必要があります。
- (3) 冷却フィンの圧接面の面粗さは3μm以下とし、圧接面には熱伝導性の良好なコンパウンド(グリース)を薄く均一に塗布してください。コンパウンドは接触熱抵抗の低減と接触面の腐食防止や安定化に役立ちます。当社スタックに使用しているコンパウンドの一例を表2に示します。コンパウンドご使用の際はメーカーカタログなどの説明書に従ってください。

図3に素子の取付け例を紹介します。

表 2. 大電力半導体用熱伝導性コンパウンド

メーカー	製品名
ALCAN	Universal Jointing-compound

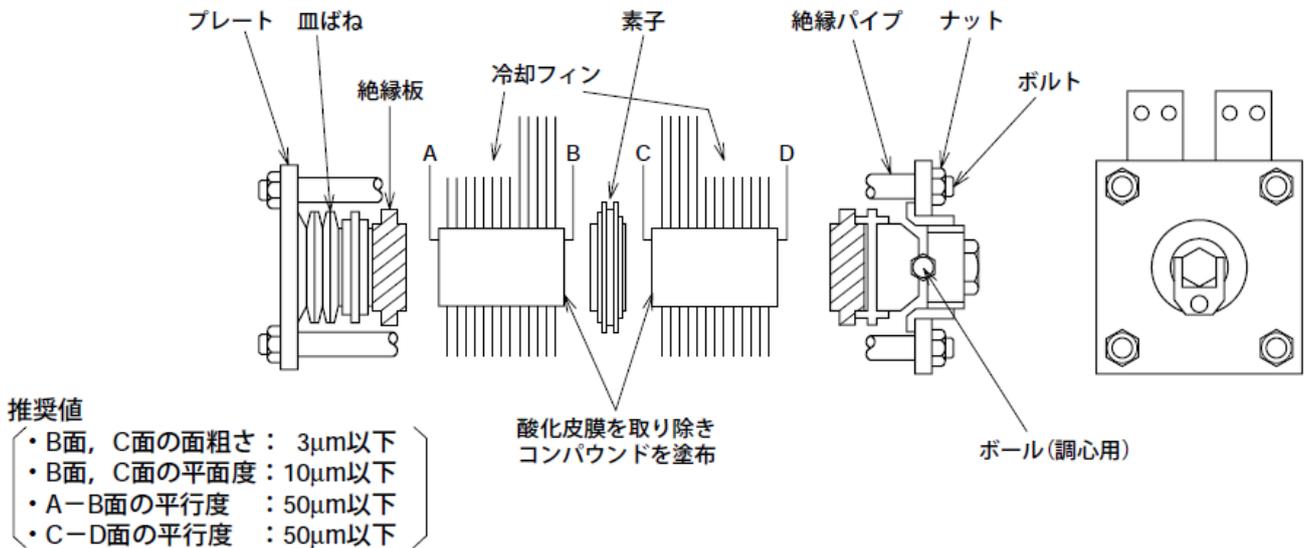


図 3. 大電力半導体の取付け方(例)

第5章 サイリスタのトリガ回路設計法

1. まえがき

サイリスタのゲート回路について、その回路定数の決め方、誤動作防止法及びオン電流上昇率 di/dt の高い場合の注意事項について説明します。

2. ゲート回路定数の決め方

サイリスタのトリガ回路を設計するにあたり、考慮しなければならないことは、当然のことながらトリガさせようとする素子を確実に全部トリガさせるということです。しかし、サイリスタのゲート損失(ピーク値、平均値)、ピークゲート順電流・ピークゲート順電圧には制約があり、しかもゲート入力抵抗(ゲート・陰極間の抵抗)は、数十Ω から数kΩ にばらついていますので、回路定数設計には慎重な検討が必要です。この回路定数を決めるために図1のような、横軸にゲート順電流を、縦軸にゲート順電圧をとったグラフを用い、そのグラフの中に素子のトリガ特性範囲及びゲート責務期間に対する許容ゲート損失の双曲線カーブを書き込みます。このグラフの斜線をほどこした範囲の上部及び右側では、素子は必ずトリガします。その境界線は、使用温度範囲(最低接合温度)における最大のゲートトリガ電流、ゲートトリガ電圧です。一方、斜線をほどこした範囲の下部及び左側では、素子がトリガしない範囲であって、その境界線は使用温度範囲(最高接合温度)における最小のゲート非トリガ電流・電圧です。図1は、三菱サイリスタ FT1000Aのグラフであって、その最大ゲートトリガ電流は250mA($T_j = 25^\circ\text{C}$)、最大ゲートトリガ電圧は2.5V($T_j = 25^\circ\text{C}$)、最小ゲート非トリガ電圧は0.20V($T_j = 125^\circ\text{C}$)です。

次にトリガ回路ですが、ゲート回路を図2のような定電圧電源に、電流制限抵抗、及びゲートが直列にはいった回路とみなします。トリガ回路の主要設計は電源電圧値及び電源内部抵抗と電流制限抵抗の値を決めることになりませんが、これを決めるために図1の縦軸に出力端開放時のトリガ電源電圧値を、横軸に出力端短絡時の短絡電流値をとってこれを結びます。この直線をゲート負荷直線と呼んでいます。ゲート入力抵抗がいかにならなくてもゲートに印加される電圧と流れる電流は、このゲート負荷直線上の組合せになっています。ですから、このゲート負荷直線が斜線部を横切らず、さらに定格ゲート損失曲線以下にあれば全部の素子が確実に、かつ安全にトリガするわけです。もし斜線部を横切っておれば、一部の素子ではトリガしない場合があることを示し、定格ゲート損失曲線を横切っていれば、一部の素子では定格値以上の電力がゲートで消費されていることを示しております。

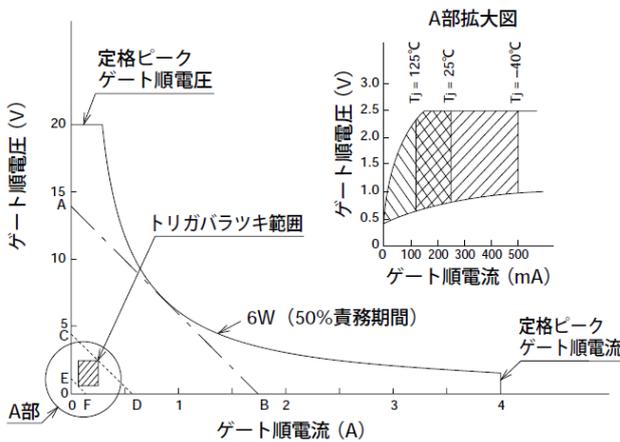


図1. ゲート負荷直線図

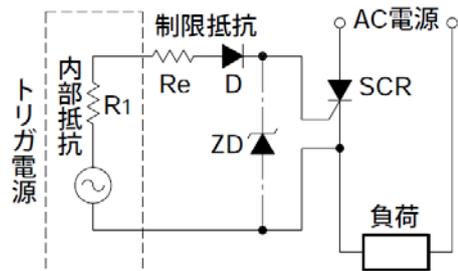


図2. 基本トリガ回路図

< 大電力半導体 > 活用の手引き

3. 誤動作防止法

サイリスタはゲート制御利得が大きく、微小電流(たかだか数百mA)で、数A~数千Aを制御できるものですが、その反面、ゲートが敏感すぎて雑音電圧(ノイズ)で誤動作することがしばしばあります。この誤動作の原因はゲート回路近傍を流れる大電流の電磁作用によってゲートリード線に電圧が誘起し、その雑音電圧によってサイリスタが誤トリガ、通電することになり、多相回路ではとくに注意を要します。誤動作防止法としては次のような方法があります。

- (1)ゲートリード線に電圧が誘起しないよう、ゲートリード線を主回路電線からなるべく離す。
- (2)ゲートリード線にシールド線を用いるか、平行2心線を用い電磁誘導が生じないか、あるいは打ち消されるように配慮する。
- (3)ゲート回路配線において、主回路陰極側導線と、ゲート回路陰極側導線との共用を避け、面倒でも素子の陰極端子へ直接接続する。
- (4)ゲート・陰極間にコンデンサ(0.01~0.1 μ Fくらい)を挿入し、雑音電圧を吸収させる。
- (5)ゲートと直列にシリコンダイオードを接続し、その立ち上がり電圧(約0.7V)を利用して雑音電圧を阻止する。
- (6)ゲートを陰極に対し負バイアスし雑音電圧を阻止する。

以上を図によって示すと図3のとおりです。

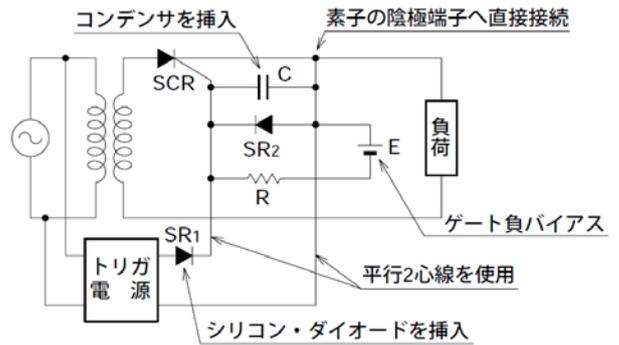


図3. トリガ回路結線図

4. ゲート回路の設計例

図4のような主回路電圧と同期した電圧でサイリスタFT1000Aのトリガ回路を設計する例を説明します。トリガ電源の負のサイクルはシリコン・ダイオード(SR)で阻止させます。なお、このダイオードは、シリコン・ダイオードで、立上り電圧が0.7Vあり、誤動作防止に役立ちます。トリガ電源電圧はシリコン・ダイオード(SR)で半波に整流されますので、ゲートの責務期間は50%となります。図1のゲート負荷直線図に責務期間50%時の許容電力損失曲線を書き込みます。三菱サイリスタFT1000Aではゲート平均入力に3Wですから、例えば責務期間50%の場合は6Wのラインとなります。すなわち

$$\text{ゲート平均入力} \times 100 / \text{責務期間}(\%)$$

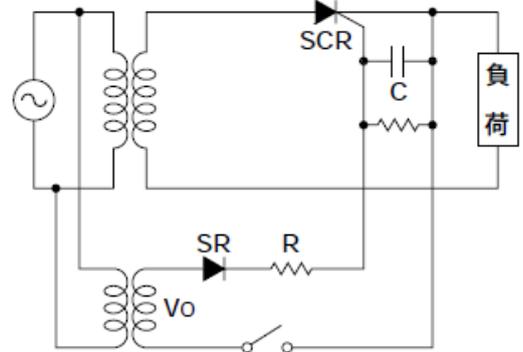


図4. トリガ回路結線図

の値を用います。この値がピークゲート損失(FT1000Aでは10W)を越した場合は10Wを用います。

たとえば、トリガ電源電圧のピーク値を14Vとしますと、ゲート負荷直線ABは14Vから50%責務期間時の許容電力損失曲線に接するように引き、短絡電流1.75Aを得ます。この直線の勾配(14V/1.75A)より抵抗値は8 Ω 以上でなくてはならぬことがわかります。ここで、抵抗値を8 Ω として、他のトリガ電源電圧に対するゲート負荷直線をABラインに平行に引きます。トリガ電源電圧が零から上昇するに従い、ABラインに平行な一連のゲート負荷直線をとって、斜線部を横切らぬようになったとき、すべての素子がトリガします。CDラインはこれを示し、トリガ電源電圧が4.5V必要であることを示します。一方EFラインより、トリガ電源電圧が0.5Vになったとき、ある素子はトリガすることがわかります。正弦波によるこのトリガ方式では、素子の特性により、トリガ電角は2.0°から19°の間にばらつきます。このバラツキを小さくするには、電圧を立上りを急峻にすればよく、もっと高いトリガ電源電圧を用いて、ツェナーダイオードで20V以下にクリップします。

一方、マグアンプなどをトリガ電源とする場合、ゲートに印加される電圧波形は方形波に近く、トリガ電角のバラツキは小さくなります。なお、トリガ電源電圧波形が方形波のときは、そのピーク値を用いてゲート負荷直線を引きます。以上で回路定数は決まりましたが、誤動作防止のためゲート・陰極間にコンデンサ(例えば0.047mF)を挿入します。この回路では、トリガ電源電圧の半波整流のためにシリコン・ダイオードを使用しておりますから、雑音電圧による誤動作防止に役立っております。なおゲートリード線は、平行2心線又はシールド線を用い、素子のゲート及び陰極端子に直接接続して電磁誘導を受けぬように配置、結線を考慮します。

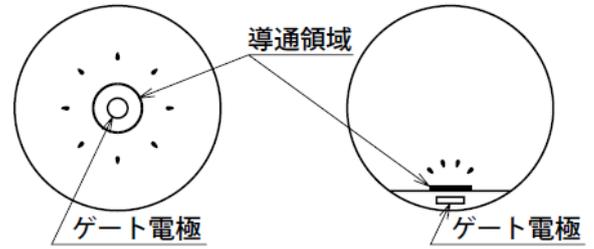
< 大電力半導体 >
活用の手引き

5. オン電流上昇率 di/dt の高い場合のゲート回路設計法
 次にサイリスタをモータ制御、インバータ、DC チョッパなどサイリスタのトリガ時にオン電流上昇率 di/dt の高い、大きな瞬時電流が流れる用途に使用される場合のゲートトリガ法について説明します。サイリスタのターンオン時間はゲートに流す電流の大きさ、幅、オン電流、サイリスタの陽極・陰極間の電圧の大きさ、負荷の性質などの影響を受けます。しかし、サイリスタはトリガ電流、電圧以上の電流、電圧を印加しますと必ずトリガします。またモータ制御、インバータ、DCチョッパなどのように、サイリスタがトリガした瞬間に大きな、しかもオン電流上昇率 di/dt の高い電流が流れる用途では、ターンオン時に局所的な温度上昇が起こり、特性が不安定となったり、場合によっては劣化を生ずることがあります。このような現象もトリガ回路の設計法によって解消され、より高信頼度で運転することが可能です。

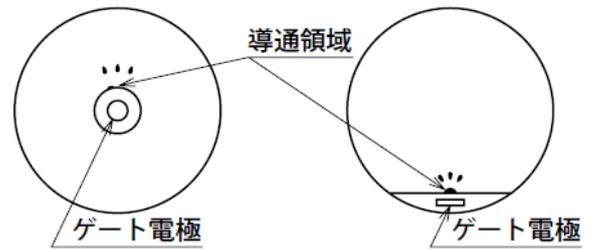
6. ターンオン時の電流集中
 サイリスタのターンオンの現象を考えてみますと、ゲートに信号がはいつてから、その導通領域が接合全面に広がってしまうには、ターンオン時間よりかなり長い時間を要します。ターンオン領域が広がっていく過程は、ゲートに最も近い領域からキャリアの注入が起って、ゲート近傍の局部からターンオンが始まり、ここに電流が集中しこの局部を加熱します。この局部への電流集中による温度上昇は素子の特性を劣化させることがあります。したがって局部に電流集中が起らないよう、素子に流れるオン電流の上昇率をある値以下に抑えなければなりません。これが di/dt の限界値です。しかし、オン電流上昇率 di/dt の低い用途に対しては、このような局所的な温度上昇は問題になりません。

しかし、モータ制御、インバータ、DC チョッパなどサイリスタのトリガ時にとくに di/dt の高い電流が流れる用途ではこれが問題となります。すなわち、ターンオン時の大きな di/dt に対する配慮は、とくにスイッチング電流の大きい大電流用素子について必要です。

7. ゲート構造とターンオン領域の広がり
 一般にターンオン領域の広がりの速さは約0.1mm/ms程度と言われてはいますが、ターンオン領域が有効導通領域の全面に広がるに要する時間はゲート電極の構造、ゲート駆動電流の大きさによって変わります。サイリスタのゲート構造は大きく分けて、図5に示すようにセンタゲート構造(ゲート電極がシリコン基体の中央に位置する構造)と、コーナゲート構造(ゲート電極がシリコン基体のすみに位置する構造)とがあり、いずれの構造においてもサイリスタのターンオンは接合内の最もトリガしやすい部分より開始します。ゲート駆動電流が小さい場合には、両構造ともその初期ターンオン面積に著しい差は生じませんが、ゲート駆動電流が大きくなると図5に示すようにその差は歴然と現れてきます。すなわち、センタゲート構造では十分なゲート駆動電流を流してやれば、その導通領域はリング状となるため、コーナゲート構造に比べて初期導通領域を著しく増加させるばかりでなく、導通領域の広がり時間を短縮し、接合内の局部加熱をより軽減することができます。したがって、センタゲート構造を採用し、十分なゲート駆動電流を流す(High Gate Drive)ことにより、 di/dt の問題及びターンオン領域の広がりを著しく改善することができます。



ゲート電流大の場合

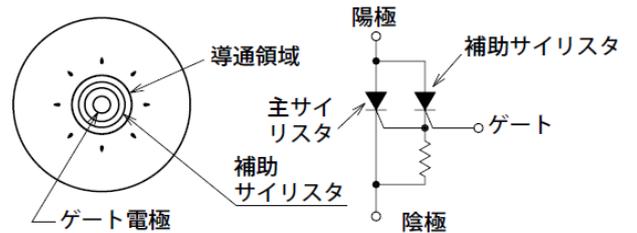


ゲート電流小の場合

センタゲート構造

コーナゲート構造

図 5. センターゲートとコーナーゲートのターンオン領域の広がり



ダイナミックゲート構造

等価回路

図 6. ダイナミックゲート構造のターンオン領域の広がり

< 大電力半導体 > 活用の手引き

前述のように、センタゲート構造を採用し、High Gate Driveを行えば di/dt の問題は解消しますが、大電力用のサイリスタではHigh Gate Driveを行うためのゲート駆動電流が非常に大きな値となってきます。この改善策として、センタゲート構造を一步進めた図6に示すようなダイナミックゲート構造(増幅ゲート構造)があります。このゲート構造では図6の等価回路に示すように、補助サイリスタがターンオンすると主回路電流がゲート駆動電流として主サイリスタのゲートに流入するため、高い di/dt が加わるとそれに比例してゲート駆動電流も大きくなり、常に必要に応じたHigh Gate Driveが行えるようになっています。

三菱サイリスタでは、 di/dt が問題となる40Aクラス以上のサイリスタのゲート構造は主にセンタゲート構造とし、さらに300Aクラス以上の大電力サイリスタのゲート構造は主にダイナミックゲート構造とすることにより、とくに di/dt の高い電流が流れる用途とか高周波用途において、高信頼度で動作するように設計・製作しております。図7にゲート構造の例を示します。一般に、サイリスタはゲートにゲートトリガ電流、電圧以上の電流、電圧を印加すればターンオンし、とくに di/dt が高い用途でなければこれでも安定に動作します。しかしゲートの温度依存性、ターンオン時の電流集中などを考慮しますと、サイリスタがターンオンするぎりぎりのゲート電流、電圧で駆動するより、若干大きな電流で駆動する方がターンオンの遅れ時間も短くなって装置としてより信頼度が高まります。

a. センタゲート構造 b. ダイナミックゲート構造



図7. ゲート構造の例

8. ゲートトリガ波形

5項で述べましたように、ターンオン時に di/dt が非常に高いと、素子を劣化させることがあります。これに対し三菱サイリスタではHigh Gate Driveを行うことにより di/dt の限界値が高まり、きわめて高い信頼性が得られます。とくに、センタゲート構造においてはこの効果は著しいものとなります。次に実際に印加するゲート波形について述べます。図8の波形は、100A以上の三菱サイリスタを di/dt の大きな用途にご使用になる場合の推奨ゲート電流波形の一例です。波形の立ち上がり、ピーク値は必ずしも図8の数値どおりでなくてもサイリスタは正常に動作しますが、できるだけ立ち上がりが速く、しかも定格値以下で大きな電流ピークの波形が適当です。ただし、パルス幅は用途により適した値を選定してください。他の電流容量を有するサイリスタのHigh Gate Driveの波形は電流ピーク I_p として、ゲートトリガ電流(I_{GT})の8~10倍程度、最終値としてその素子のゲートトリガ電流値程度を推奨します。このようなHigh Gate Driveによりターンオンでのトラブルの90%が解決された実績があり、大きな効果を発揮しています。

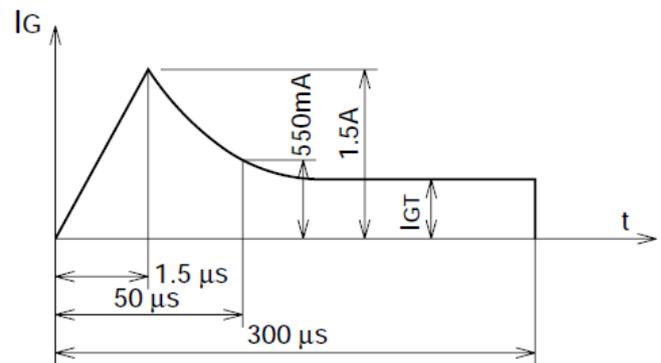


図8. High Gate Drive 時のゲート電流波形

第6章 GTO サイリスタの特長と応用

ゲートターンオフサイリスタ(以下GTOサイリスタと称す)は、自己ターンオフ能力を有し、ゲートドライブ回路により、主電流をオン、オフさせることができます。この為、一般のサイリスタが必要とする転流回路を省くことができ、装置の小形化、高効率化が図られ、インバータやチョップ回路などの大電流高速スイッチング用途に適しています。

1. GTOサイリスタの動作原理

GTOサイリスタの基本構造は一般のサイリスタと同様のpnpnの4層構造です。従って、ターンオフ動作を除く他の動作はよく知られた一般のサイリスタとほぼ同様ですので、ターンオフ動作について説明します。

オン状態にあるGTOサイリスタは、陽極側から正孔が、陰極側から電子が供給され、中央のベース領域は多数の電子と正孔で充満されています。陰極に対してゲート電極が負になるような逆バイアスを印加すると、Pベース層内の正孔の一部はゲート電極を通して引き抜かれます。このため陰極側からの電子の注入が抑制されます。電子の注入が抑制されることによりさらにゲートから引き抜かれる正孔電流の量が増え、これに伴ない陰極側からの電子の注入はますます抑制されることになります。この繰り返しにより、陰極エミッタ接合(J3)が完全に逆バイアス状態に到り、GTOサイリスタはターンオフします。この動作は、サイリスタのターンオン現象のように、図1に示すような2つのトランジスタのモデルで説明することができます。

すなわち、GTOサイリスタを陰極側のnpnトランジスタTr1と陽極側のpnpトランジスタTr2とに分離し、それぞれが図1(b)のような結線につながっていると考えると、それぞれの電流増幅率を $\alpha 1$ 、 $\alpha 2$ とします。GTOサイリスタのゲートに逆電流 I_{GQ} を流すと、Tr1のベース電流 I_B はその分だけ減少し、次式で表されます。

$$I_B = \alpha 2 \cdot I_A - I_{GQ}$$

一方、Tr1のベース層内で再結合により消滅する電子電流 I_{RB} は、

$$I_{RB} = (1 - \alpha 1) \cdot I_K$$

となります。また、GTOサイリスタの入・出力電流の関係は次式で表されます。

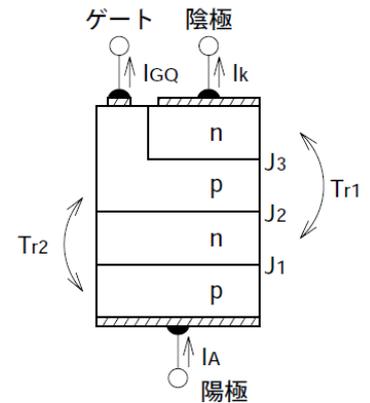
$$I_A = I_K + I_{GQ}$$

GTOサイリスタがターンオフするためには、 $I_B < I_{RB}$ となる必要があり、このためのゲート逆バイアス電流 I_{GQ} は上式から、

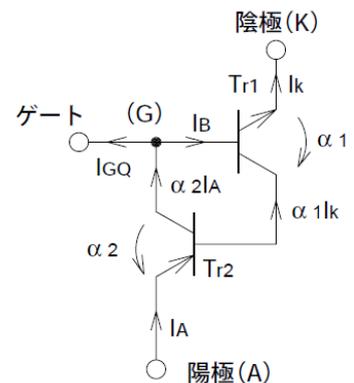
$$I_{GQ} = (\alpha 1 + \alpha 2 - 1) \cdot I_A / \alpha 1$$

として求められます。

以上のように、GTOサイリスタは理論的には、ゲートに十分な逆バイアス電流を流すだけでターンオフ動作を行うことができますが、実際には、Tr1のベース領域内に横方向抵抗が存在するため、ゲート電極から離れたエミッタ接合部分を通るオン電流は切れにくくなります。そこで、大電力用のGTOサイリスタでは、ゲート領域の横方向抵抗をできるだけ小さくするように、微細化パターンにより図1の基本構造を面内に均一に複数個並列に配置させた構造としています。(図2参照)



(a)基本構造



(b)2トランジスタモデル等価回路

図 1. GTO の動作原理説明図

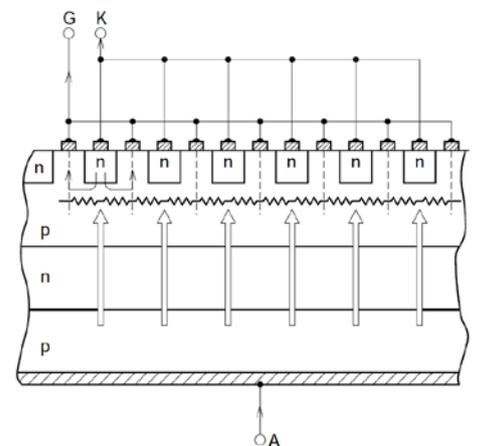


図 2. GTO サイリスタの微細化パターン

< 大電力半導体 >
活用の手引き

2. GTOサイリスタの種類と構造

GTOサイリスタの基本構造は、図1に示したのですが、三菱GTOサイリスタには、下記の2タイプがあり、その用途により最適なものを選択する必要があります。

・逆導電形GTOサイリスタ(図3参照)

J1 接合は n^+ 層により部分的にアノードショート構造となっており、素子の逆耐圧はJ3 接合の逆耐圧の値に等しくなり小さな値となります(通常15V程度)。しかしながら、ターンオフ時にゲート電極からの過剰キャリアの引き抜きに加え、アノードショート部からも過剰キャリアの引き抜きが行なわれ、高速スイッチングが可能となります。用途は、電圧形インバータなどの逆耐圧が必要とされず、かつ高速のスイッチングが要求される応用に適しています。

・逆導通形 GTO サイリスタ(図 4 参照)

逆導電形GTOサイリスタと並列に高速ダイオードが接続された構造となっています。電圧形インバータなどで、GTOサイリスタとフライホイール用ダイオードを並列に組み合わせて使用する場合は、このタイプのGTOサイリスタを使用すれば、あらたにダイオードを接続する必要がなく、装置の小形化及び軽量化が図れます。

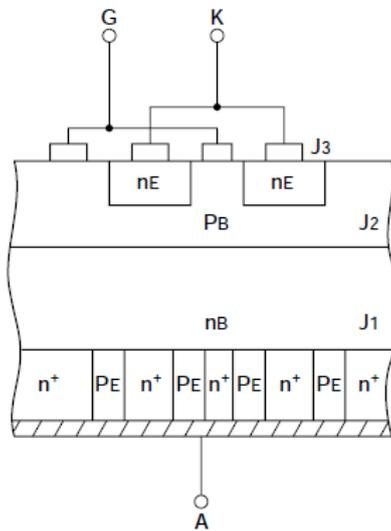


図 3. 逆導電形 GTO サイリスタ

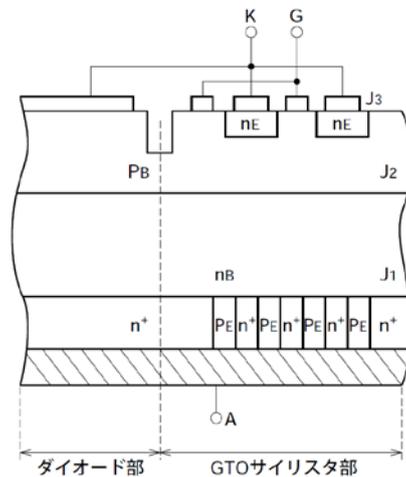


図 4. 逆導通形 GTO サイリスタ

3. GTOサイリスタの動作波形と各部の規定

図5に、GTOサイリスタのターンオン・ターンオフ時のスイッチング動作波形と各部の規定を示しています。

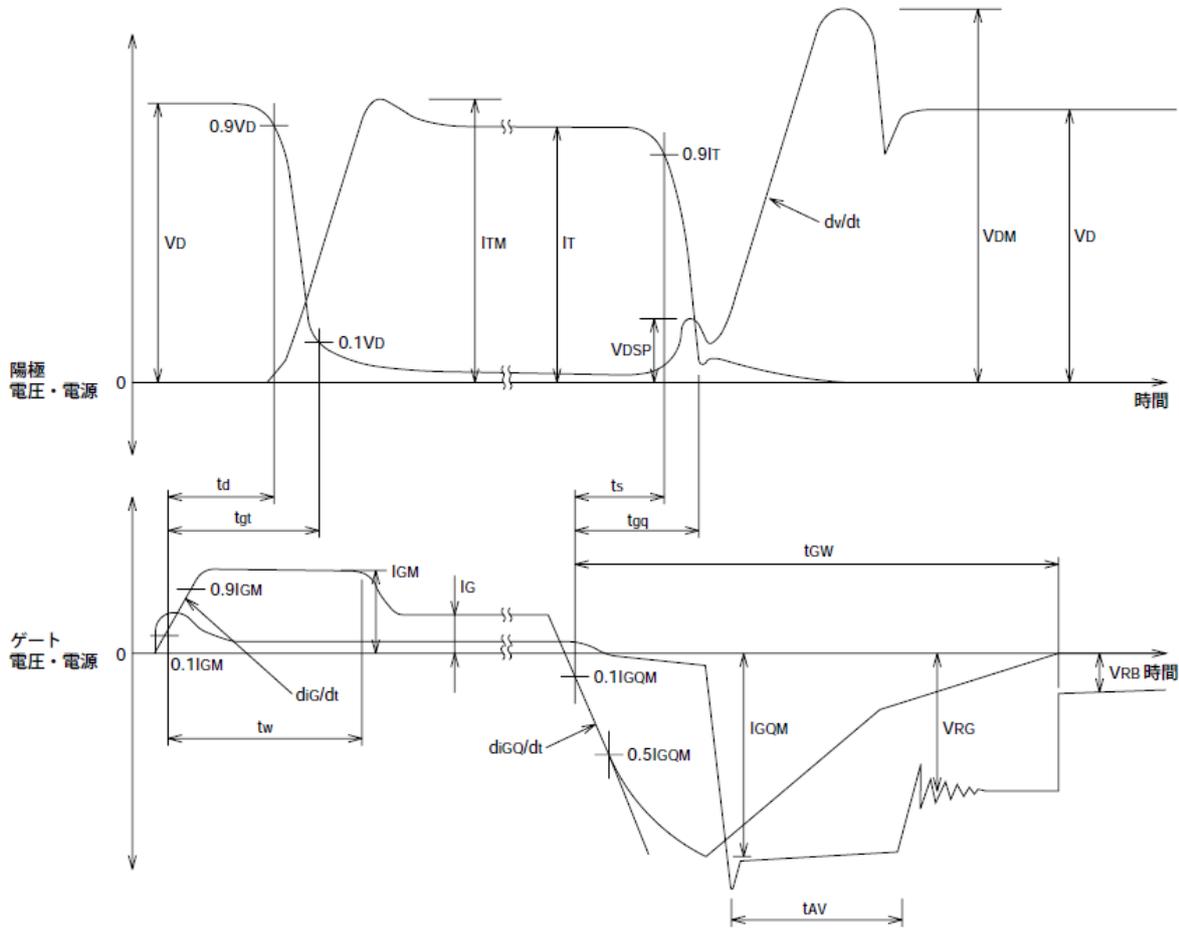


図5. GTOサイリスタの動作波形と各部の規定

ターンオン時の陽極電圧・電流波形及びゲート電圧・電流波形はほぼサイリスタと同じです。ゲート電流波形は、ピーク I_{GM} のハイゲート部ののち、 I_G の期間が続きます。この I_G の期間は、通常のサイリスタと異なり一般に、オン電流が流れている間継続させます。ターンオフ時は、規定された以上のゲート電流の勾配 di_{GQ}/dt が流れるようなゲートドライブ回路とし、又ピーク値 I_{GQM} に対して十分供給できる能力をもたせることが必要です。この間、陽極電圧波形には、スパイク電圧 V_{DSP} が発生します。これは陽極電流がGTOサイリスタのターンオフに伴い、スナバ回路に移行しその時の電流上昇率 di/dt と、スナバ回路のインダクタンス分とにより発生する電圧で、この値が大きいとGTOサイリスタがターンオフ失敗しますので注意してください。陽極電圧はその後一定の $dv/dt (\propto I/C)$ で上昇し、ピーク電圧 V_{DM} を過ぎ主回路の電源電圧に等しくなります。陽極電流波形は、蓄積時間 t_s 後急激にその値が低下します。ただし、ターンオフ時間 t_{gq} 後も素子内部の過剰キャリアが完全に消滅する迄(テール期間と呼ぶ)尾を引いたようなテール電流が流れます。この時、ゲート電圧波形は t_s 後急激に降下し、ゲート回路のインダクタンス分によって生じるアバランシェ期間 t_{AV} を過ぎゲート回路の電源電圧に等しい値に戻ります。 t_{gw} はGTOサイリスタが陽極電流をターンオフさせるのに必要なゲート逆バイアス期間です。 t_{gw} 期間は、素子内部の過剰キャリアを引き出すためにゲート回路は十分低インピーダンスでG-K間を逆バイアスさせる必要があります。ゲート回路のインピーダンスが十分低くないと過剰キャリアによって流れるゲート電流による電圧降下により、G-K間が順バイアスされ遮断失敗が発生し素子が破壊する可能性がありますので注意してください。

4. GTOサイリスタの使用上の注意点

(1) 定格値と素子の選定について

① ピーク繰返しオフ電圧 V_{DRM}

いかなる瞬時も、 V_{DRM} を越えた電圧を印加することはできません。使用条件にて、最大に印加される電圧+マージンを考慮し、必要な耐圧を決め素子を選定してください。

② ピーク繰返し逆電圧 V_{RRM}

逆導電形の場合ピーク繰返し逆電圧は17V~19Vであり、GTOサイリスタに対し、ダイオードを逆並列に接続するなどして、GTOサイリスタに逆電圧が印加されないように注意してください。逆導通形の場合はGTOサイリスタにダイオードが逆並列に接続された構造となっており、逆方向はダイオード特性となり本規定はありませんので注意してください。

③ 繰返し可制御オン電流 I_{TQRM}

規定されたスナバ回路及びゲート条件で規定された I_{TQRM} を越えた電流をターンオフすることはできません。

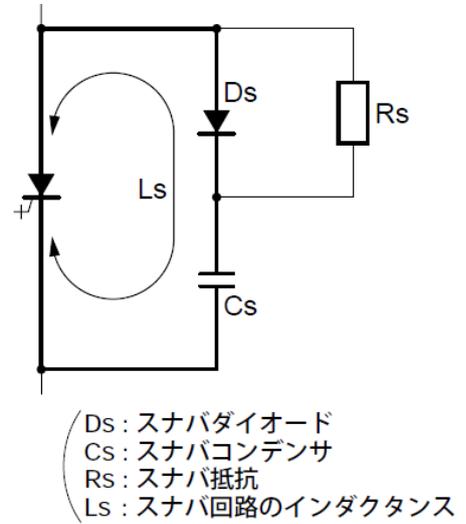
I_{TQRM} を越えた電流をターンオフする場合、素子が破壊することがありますので注意ください。

④ 平均オン電流 $I_{T(AV)}$

60Hz単相半波の条件で決められたフィン温度における最大通電可能な平均オン電流を示します。GTOサイリスタは I_{TQRM} に対し、 $I_{T(AV)}$ が1/3程度になりますので連続的に流す電流と遮断するピーク電流の両方を考慮し素子を選定してください。

⑤ サージオン電流 I_{TSM}

サージオン電流 I_{TSM} は事故時など限られた回数流すことのできる電流です。これ以上の過大電流が流れた場合、素子が破壊し破壊条件によっては破壊した素子が飛散する可能性もありますので十分注意してください。



(Ds: スナバダイオード
 Cs: スナバコンデンサ
 Rs: スナバ抵抗
 Ls: スナバ回路のインダクタンス)

図 6. GTO サイリスタのスナバ回路

(2) スナバ回路

GTOサイリスタにおけるスナバ回路は通常のサイリスタの転流回路に匹敵する意味をもっておりGTOサイリスタのターンオフ時に発生する電圧波形の変動を十分吸収し得る能力をもっていなければなりません。GTOサイリスタに用いられる代表的なスナバ回路を図6に示します。このスナバ回路に対する必要な条件として次の点があげられます。

- ① 大電流の通電能力を有し、電圧降下の十分低い回路。
- ② 配線が太く、短く(図6の太線部分)インダクタンス分が小さいこと。
- ③ スナバコンデンサの容量は規定値以上とし、十分低いインダクタンスであること。
- ④ スナバダイオードは過渡オン電圧が小さく逆回復電荷も小さいこと。

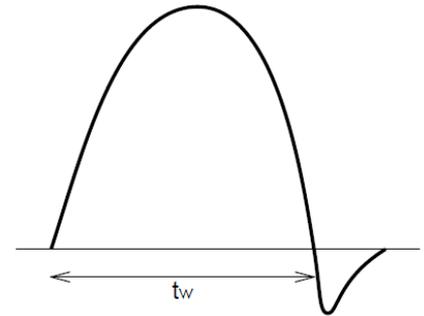
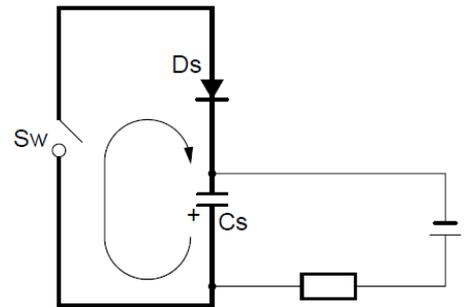


図 7. スナバ回路のインダクタンス測定方法

L_s はスナバ回路のインダクタンスで図7のようにして求めます。GTOサイリスタをスイッチSWと置き換えます。SWとしては高速サイリスタなどが使用されます。Csに直流電圧を印加しSWを閉じることにより、下記のような放電波形が得られ、この電流波形のパルス幅 t_w から次式により L_s を求めます。 L_s が大きいとターンオフ時にスナバ回路に移行する電流の di/dt により発生する V_{DSP} が大きくなり、この値が大きいと遮断失敗を生じ素子が破壊します。図8にFG3000DV-90DAの繰返し可制御オン電流対 L_s の依存性(代表例)を示します。

$$L_s = (t_w / \pi) 2 / C_s$$

L_s はDs及びCsのインダクタンス、配線インダクタンスを含んだスナバ回路のトータルインダクタンスを規定します。

< 大電力半導体 > 活用の手引き

C_s はスナバ回路のコンデンサ容量です。ターンオフ時に印加されるアノード電圧の上昇率 dv/dt は $\propto I/C_s$ に比例して上昇し(I はターンオフ電流) C_s が小さくなると dv/dt も大きくなりターンオフ時の瞬時パワロスがより大きくなり、この結果、可制御オン電流は低下します。すなわち必要な可制御オン電流を確保する為にはスナバコンデンサ容量 C_s は規定値以上にすることが必要となります。図9にFG3000DV-90DAの繰返し可制御オン電流対 C_s の代表的な依存性を示します。

R_s はスナバ抵抗です。 R_s が大きい場合はGTOがターンオンした時にスナバコンデンサ C_s の放電時定数 $\tau (=C_s R_s)$ が大きくなり、最小オン時間 $t_{on\ min}$ を長くする必要があります。通常 $t_{on\ min} \geq 5\tau$ を推奨しております。この理由は時定数 τ の5倍であればコンデンサ C_s が完全に放電するためです。逆にいいますと、 $t_{on\ min} < 5\tau$ の場合GTOがターンオフした時に C_s が完全に放電されておらずGTOに C_s の充電電圧が印加されます。この印加電圧が大きくなると見かけ上スパイク電圧が大きくなり、最悪の場合GTOが遮断失敗をし破壊に至ります。逆に R_s が小さい場合はターンオン時にスナバコンデンサ C_s の放電電流が抑えられず大きくなり、ターンオン損失の増大を招きます。このため通常5~10 Ω を推奨します。

R_s で消費される電力損失 P_w は近似的に次式であらわされます。

$$P_w = C_s f [V_{D2} + (V_{DM} - V_D)^2]$$

f : スイッチング周波数

この値に対し、十分余裕をもって R_s の容量を決定ください。

(3) ダイオードの選定

GTOに使用するスナバダイオード及びフライホイールダイオードの推奨としては下記をだいたいの目安として決定します。

① スナバダイオード D_s の場合

$$I_{F(AV)} \doteq I_{TQRM}(GTO)$$

$$V_{RRM} = V_{DRM}(GTO)$$

② フライホイールダイオードDFの場合

$$I_{F(AV)} \doteq I_{T(AV)}(GTO)$$

$$V_{RRM} = V_{DRM}(GTO)$$

$I_{F(AV)}$ はダイオードの平均順電流、 I_{TQRM} はGTOの最大遮断電流、 V_{RRM} はダイオードのピーク逆電圧、 V_{DRM} はGTOのピークオフ電圧、 $I_{T(AV)}$ はGTOの平均オン電流を示します。

ダイオードは一般にスタッド形より、平形素子の方が、電流容量の小さいものより、大きいものの方が順回復電圧 V_{FP} は小さくなり、逆に素子の逆耐圧が高くなると順回復電圧 V_{FP} は大きくなります。また、スナバダイオードの逆回復電荷 Q_{RR} が大きくなると図10のようにGTOのA-K間電圧の V_{DM} 後の落ち込みが大きくなります。GTOのA-K間には逆電圧が印加されないようにしなければなりません。このためスナバダイオードとしては順回復電圧 V_{FP} 及び逆回復電荷 Q_{RR} が両方とも小さい素子を使用する必要があります。

フライホイールダイオードDFはGTOとの共締めによるスタックで使用する 경우가多く、この場合GTOと圧接力を同一とする必要があり、圧接力の許容範囲がオーバーラップする必要があります。また、GTOとフライホイールダイオードを共締めする場合、通常圧接径が異なりますので、圧接径の差が共締めした場合に十分吸収でき、圧接面が均一となるようスタックの構造に注意を払ってください。

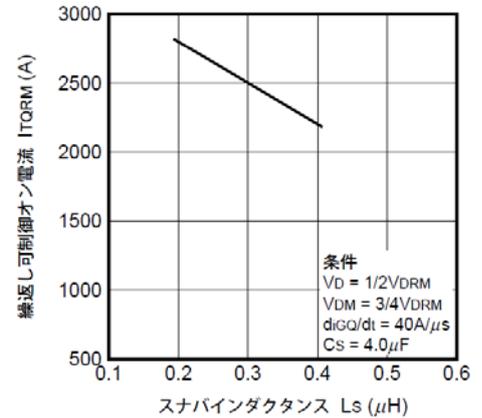


図 8. 繰返し可制御オン電流 対 L_s
(代表例)

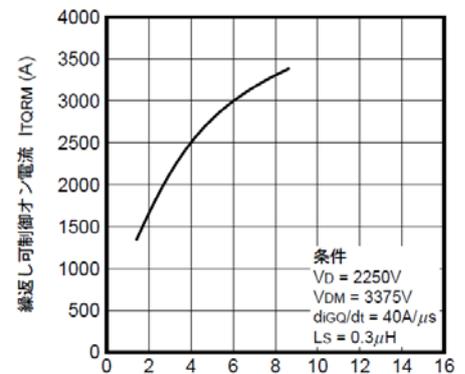


図 9. 繰返し可制御オン電流 対 C_s
(代表例)

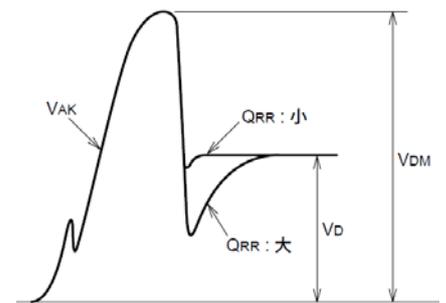


図 10. スナバダイオードの Q_{rr} 違いによる
ターンオフ時の GTO の A-K 電圧

< 大電力半導体 >
活用の手引き

(4) GTOのゲートドライブ

代表的なゲートドライブ波形は図5を参照ください。図中の各パラメータについて以下に説明します。

① オンゲート電流

- I_{GM} : ハイゲートオン電流
- di/dt : オンゲート電流の傾き
10%～90%の傾斜により規定します。
- t_w : ハイゲート電流のパルス幅
ゲート電流の立上がり10%より、規定のハイゲート電流に降下するまでのパルス幅を t_w とし、通常ターンオン時間の2倍を推奨します。
- I_G : 定常オンゲート電流
GTOのオン期間は常にゲートトリガ電流 I_{GT} 以上の定常オンゲート電流を流す必要があります。 I_{GT} は図11のように接合温度依存性がありますので温度依存性を考慮してください。

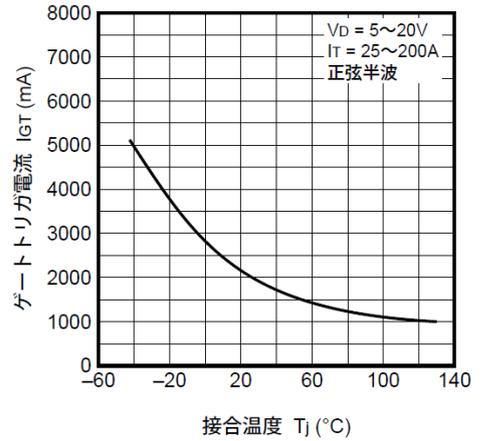


図 11. ゲートトリガ電流－接合温度

② オフゲート電流

- di_{GQ}/dt : ターンオフ電流の傾き
10%～50%の傾斜により規定します。
- t_{av} : ゲートアバランシェ時間
ターンオフゲート電流 I_G とゲート回路のインダクタンス L_G の $L_G I_G^2$ エネルギーにより、GTOのG-Kがアバランシェ状態になる期間を t_{av} と呼びます。このアバランシェ時間はほぼ下記を目安として設定してください。
 t_{av} が極端に短い場合、図12のようにターンオフゲート電流のピーク後急激にゲート電流が減少し、GTOの遮断耐量を低下させることがあります。このため t_{av} は上記値を確保する必要があります。ただし、 t_{av} を長くするとアバランシェ電流の流れる期間が増加し、ゲート電流の実効値を大きくさせます。よって最大値は30 μ s以内となるよう調整願います。
- V_{GR} : ターンオフゲート電圧
 V_{GR} はターンオフ期間中 t_{av} 期間後に定常的にG-K間に印加される電圧を示します。GTOのターンオフについては V_{GR} が大きいことが望ましいのですが、ピークゲート逆電圧 V_{GRM} 以下とする必要があります。ゲート電圧の変動を考慮し、 V_{GRM} を越えない、できるだけ大きい値に V_{GR} を設定する必要があります。
- V_{RB} : 定常バイアス電圧
GTOをオフ状態に保つためにはG-K間に2V以上(ただし V_{GRM} 以下)の逆バイアス電圧を印加する必要があります。
- t_{GW} : ゲート逆バイアス時間
ゲート逆バイアス t_{GW} 期間中は十分低インピーダンスで V_{GR} を印加する必要があります。これはGTOの内部の過剰キャリアが消滅する際に発生するテール電流を十分流しうるようになるためです。テール電流が十分小さい値に低下した後は V_{RB} のみを印加すればGTOはオフ状態を維持します。

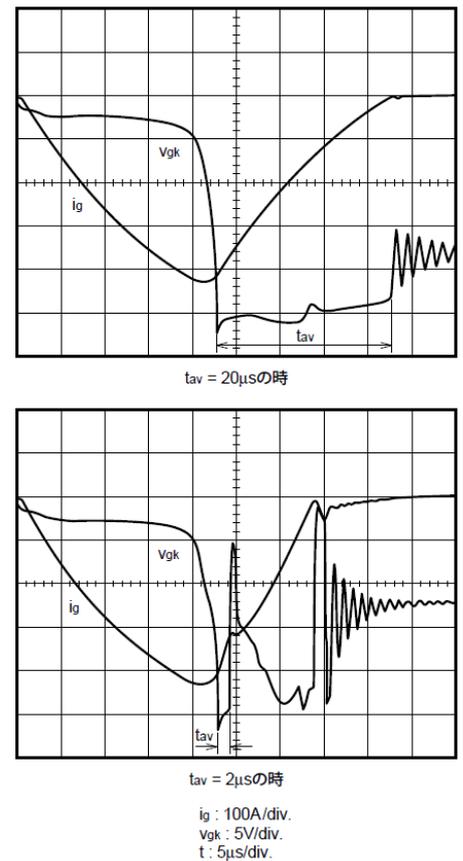


図 12. t_{av} が異なる場合のゲート電流・電圧波形 (2kA/4.5kVGTO の場合)

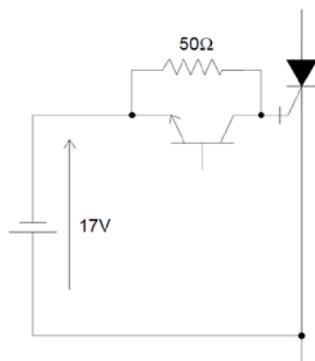
表1に各GTOの推奨ゲートドライブ条件を示します。

< 大電力半導体 >
活用の手引き

表 1. GTO サイリスタの推奨ゲートドライブ条件 ($T_j \geq 0^\circ\text{C}$)^{注1}

形 名		I _{GM}	di _G /dt	t _w	I _G (注1)	di _{GQ} /dt	t _{av}	V _{GR}	V _{RB}	t _{GW} (注2)
		A	A/μs	μs	A	A/μs	μs	V	V	μs
FG1000BV-90DA	最小	20	15	—	3.8	30	—	15	2	150
	標準	—	—	20	—	—	15	—	—	—
	最大	40	—	—	—	60	—	17	17	200
FG2000FX-50DA	最小	30	10	—	3.8	30	—	15	2	150
	標準	—	—	20	—	—	20	—	—	—
	最大	50	—	—	—	60	—	17	17	200
FG2000JV-90DA	最小	30	10	—	4.5	30	—	15	2	150
	標準	—	—	20	—	—	20	—	—	—
	最大	50	—	—	—	60	—	17	17	200
FG3000DV-90DA	最小	40	10	—	6.0	40	—	15	2	150
	標準	—	—	20	—	—	20	—	—	—
	最大	100	—	—	—	60	—	17	17	200
FG3000GX-50DA	最小	25	20	—	3.8	40	—	15	2	150
	標準	—	—	12	—	—	20	—	—	—
	最大	50	—	—	—	60	—	17	17	200
FG4000GX-90DA	最小	25	20	—	3.8	40	—	15	2	150
	標準	—	—	12	—	—	20	—	—	—
	最大	50	—	—	—	60	—	17	17	200

注 2 $V_D = \frac{1}{2} V_{DRM}$ の場合, t_{GW} 推奨値のゲート回路は下記図を参照ください。
 これらの値は標準推奨値です。
 詳細な値が必要な場合は, V_D の変動などを考慮して決定する必要があります。



< 大電力半導体 >
活用の手引き

図13にGTOサイリスタのゲート駆動回路例(ブロック図)を示します。ターンオフゲート部はオン抵抗の十分低いMOSFETを複数パラ接続しており、(図の太線部分)回路を太く、インピーダンスが小さくなるよう結線をしてあります。ターンオフのゲート電流はGTOの遮断特性に大きな影響を及ぼします。ドライブ回路の通電能力としてはGTOの内部の過剰キャリアを十分引き出し、余裕をもった値となる必要があります。このため通常下記の通電能力を確保するよう推奨しております。

$I_{GR} \geq 1.2 \times I_{GQ}$
 I_{GQ} : 最大遮断時に必要なピークゲート電流
 $di_G/dt \geq di_{GQ}/dt$
 di_{GQ}/dt : ターンオフゲート電流の勾配の規定値

測定はゲートドライブ回路にG-Kゲートリードを接続し、その両端を短絡した時の電流波形で規定します。(図14参照)

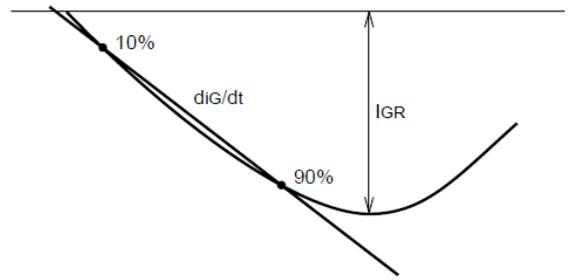


図 14. ゲートドライブ回路短絡時のゲート電流波形

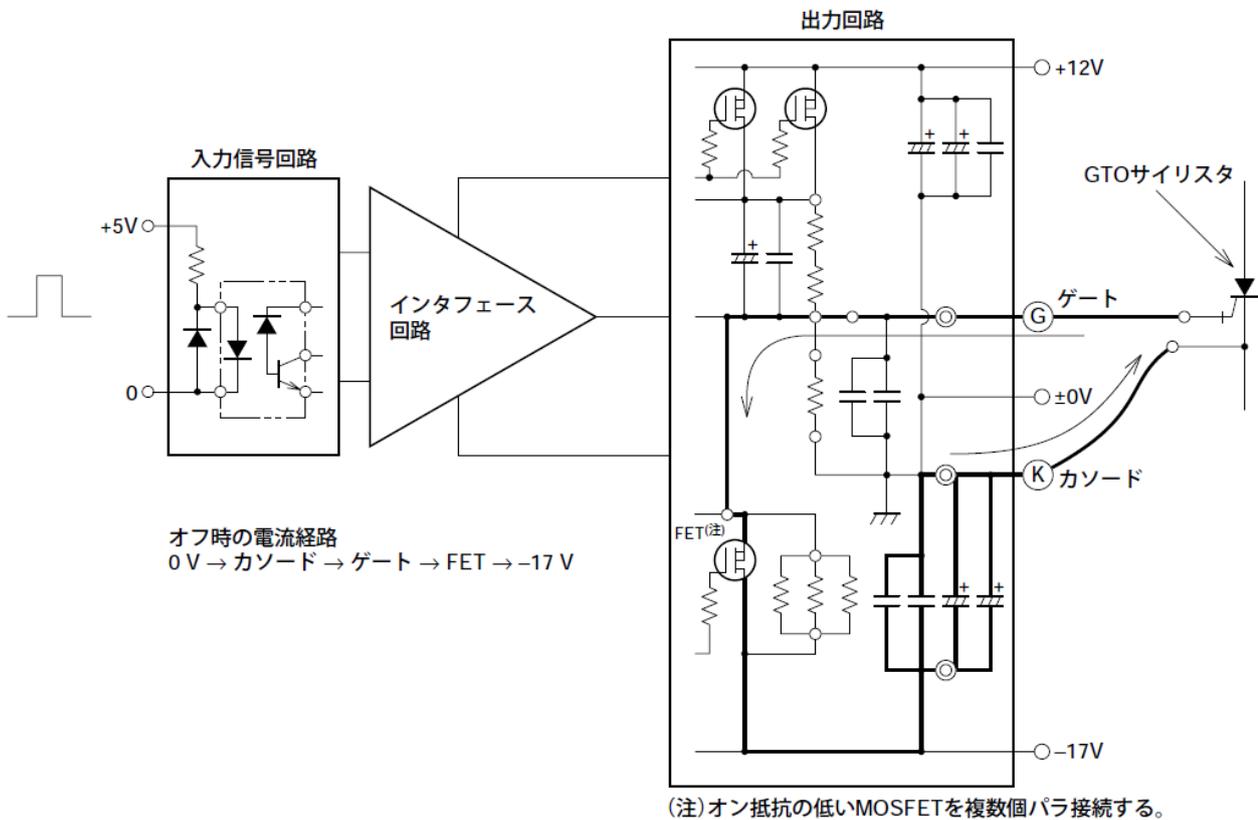


図 13. GTO サイリスタのゲート駆動回路例

(5) GTOサイリスタの損失

図15はGTOサイリスタを使用する場合の損失の発生箇所を示しています。この中でオフ状態損失は通常の使用条件では他の損失に比べて小さく、無視できます。高周波で使用する場合は、オン電圧とオン電流で決められる定常損失に加え、ターンオン時とターンオフ時に発生するスイッチング損失を考慮する必要があります。ターンオン損失については、電流上昇率 di/dt をパラメータとした、またターンオフ損失についてはスナバコンデンサの値 C_s をパラメータとした1パルス当たりのスイッチング損失と電流依存性カーブを各形名ごとにそれぞれ載せております。スイッチング損失を計算する場合は、この値とスイッチング周波数との積により求めてください。図16にFG3000DV-90DAのスイッチング損失の代表例を示します。

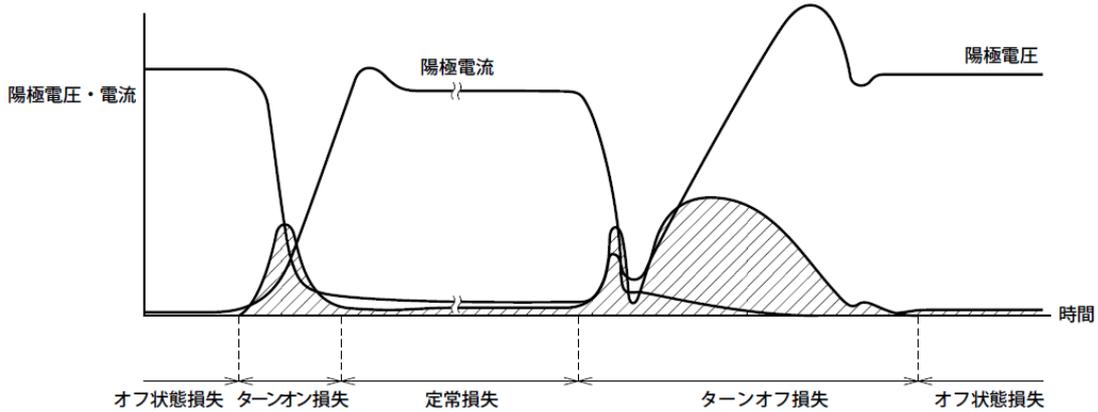
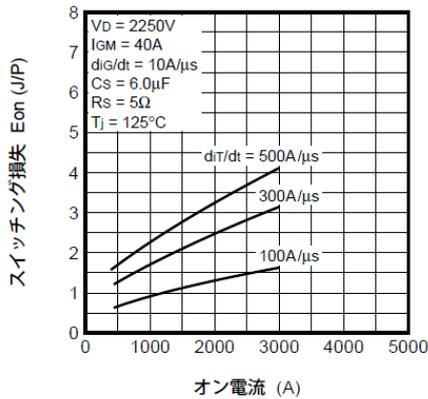


図 15. GTO サイリスタの損失発生箇所(斜線部分)

(a) ターンオンスイッチング損失(最大値)



(b) ターンオフスイッチング損失(最大値)

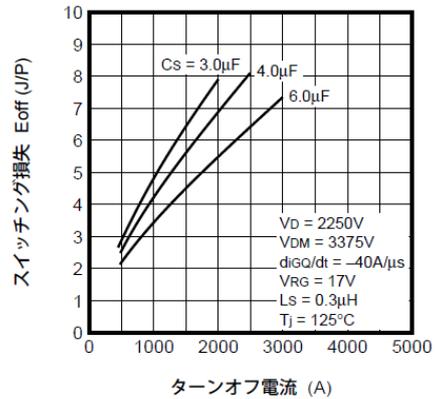


図 16. FG3000DV-90DA のスイッチング損失(代表例)

< 大電力半導体 > 活用の手引き

例えば下記の条件では次のようにしてトータル損失の平均値PTを求めます。(図17参照)

$$t_{on} + t_{off} = 5\text{ms}$$

$$\text{周波数 } f = 200\text{Hz}$$

$$\text{duty} = 0.3$$

$$\text{スナバ条件 } C_s = 6\mu\text{F}, R_s = 5\Omega, L_s = 0.3\mu\text{H}$$

$$\text{主回路条件 } I_T = 800\text{A}$$

$$di/dt = 300\text{A}/\mu\text{s}$$

$$V_D = 2250\text{V}$$

$$V_{DM} = 3375\text{V}$$

$$P \cdot T = I_T \times V_T (I = I_T) \times 0.3 + (E_{on} + E_{off}) \times f$$

$$= 800\text{A} \times 2.35\text{V} \times 0.3 + (1.55 + 3.0) \times 200\text{Hz}$$

$$= 1474\text{W}$$

実使用時は接合温度の過渡的な変化も考慮する必要がありますので各オン期間の損失と過渡熱抵抗値を考慮し、より正確に計算によって求める必要があります。

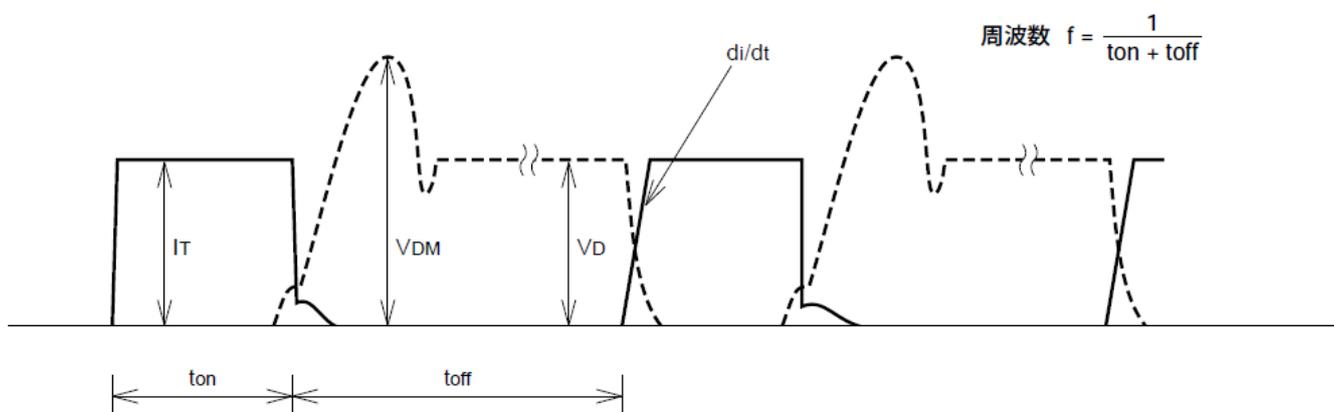


図 17. GTO サイリスタの動作波形

< 大電力半導体 > 活用の手引き

(6) 長期直流印加電圧について(LTDS: Long term DC stability)

1) 概要

GTOサイリスタに代表される大電力半導体において、素子定格の1/2以下の直流電圧での使用が一般的でありましたが、近年の応用技術の発展により、電源電圧の上昇による高耐圧化が図られ、素子定格の1/2以上の直流電圧での使用が増えてきております。こうした中で、直流高電圧を長期に連続的に印加していると、ある確率で半導体素子に超高エネルギーの宇宙線が突入し、突然素子が破壊する現象が近年欧州の電気機関車用アプリケーションで明らかにされました。

2) 破壊現象

破壊時及びその前後の半導体素子のリーク電流の増加傾向は無く突然破壊に至ります。破壊箇所は半導体素子内でランダムにスポット状に溶融します。破壊発生率をワイブル(Weibull)確率紙にプロットすると $m=1$ となり、偶発現象であることがわかります。この破壊現象は、電圧依存性を示し、故障率は印加電圧(電界強度)に対し指数関数的な依存性を示します。

3) 直流高耐圧印加時の宇宙線による素子破壊対策

大電力半導体であるGTOサイリスタでは、半導体素子の基板であるSi(シリコン)の比抵抗を高くすることにより、印加電圧に対する電界強度を低くする設計が採用されています。図18に概略を示します。

4) 当社の対応素子

現在そのような高比抵抗のSiを用いた長期直流印加電圧の保証値(V_{LTDS})を素子定格の2/3迄高めたGTOサイリスタを以下のようにラインアップしています。

FG3000GX-90DA(逆導電形GTOサイリスタ)

FG4000GX-90DA(逆導電形GTOサイリスタ)

図19に直流印加電圧VDC対故障率依存性の代表例を示します。通常、故障率100FITの V_{DC} 値を V_{LTDS} としており、従来形4.5kV耐圧GTOは $V_{LTDS}=2500V$ であり、これに対しLTDS対応のGTOは $V_{LTDS}=3000V$ 迄高めることができます。

(7) GTOサイリスタの圧接について

GTOサイリスタは各セグメントが独立しており、面内が均一に圧接されることで遮断特性を始めとする各特性が確保されます。圧接面の状態は感圧紙により均一に圧接されていることを確認ください。冷却フィンの接触面の平面度(通常 $10\mu m$ 以下を推奨)に注意し、圧接径の異なる素子とGTOサイリスタを共締めする場合は圧接径の差が共締めした場合に十分吸収でき、圧接が均一となるようスタックの構造に注意を払ってください。

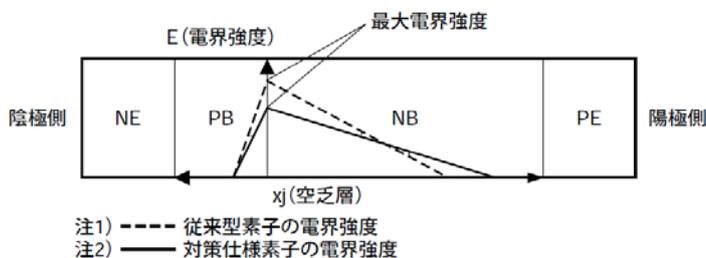


図 18. 長期直流印加電圧対策仕様素子の概念図

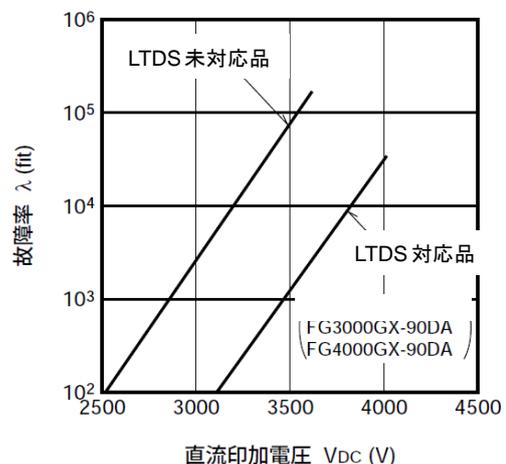


図 19. 直流印加電圧対故障率

< 大電力半導体 > 活用の手引き

5. GTOサイリスタの応用

三菱GTOサイリスタはパワースイッチング素子として極めて優れた性能を有していますので、インバータやチョップ装置などの主制御素子に適しています。GTOサイリスタを使用すると従来のサイリスタ方式に比べて、

- (1) スイッチング特性に優れているので高周波・高効率化が図れます。
- (2) 転流回路が省略できますので、小形・軽量化が図れます。
- (3) 全半導体化が可能となり、メンテナンスフリー化が図れます。
- (4) 転流電流が流れないので騒音・電磁波の発生が少なく、低騒音・低ノイズ化が図れます。

などの利点があります。

GTOサイリスタの応用分野には、AC可変速電源(VVVFインバータ)、DC可変速電源(DCチョップ)、交流安定化電源(CVCF)、直流遮断器などがあります。図20に3相交流電源で3相誘導電動機を可変速駆動させるPWMコンバータ／インバータシステムへの応用例を示します。

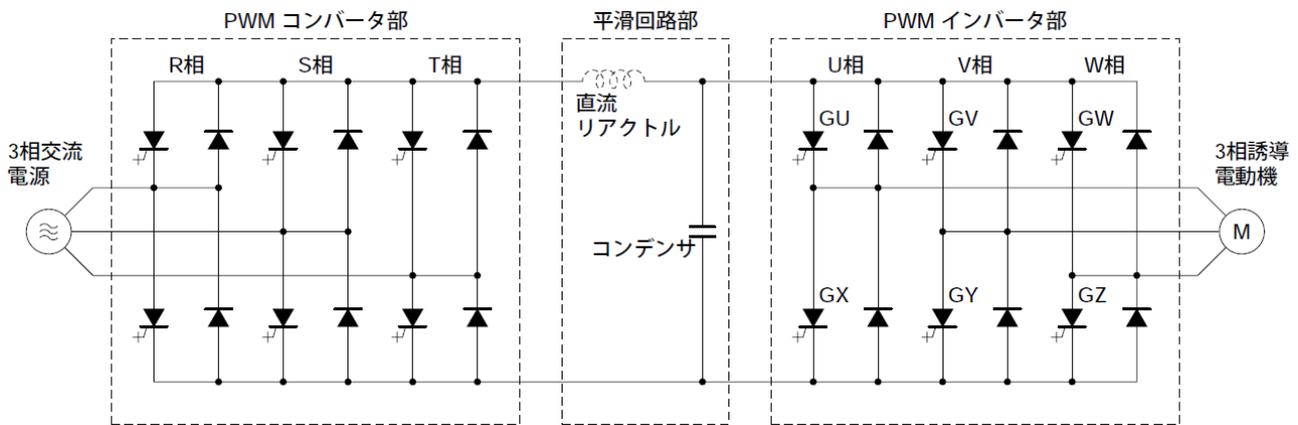


図 20. PWM コンバータ／インバータシステム主回路

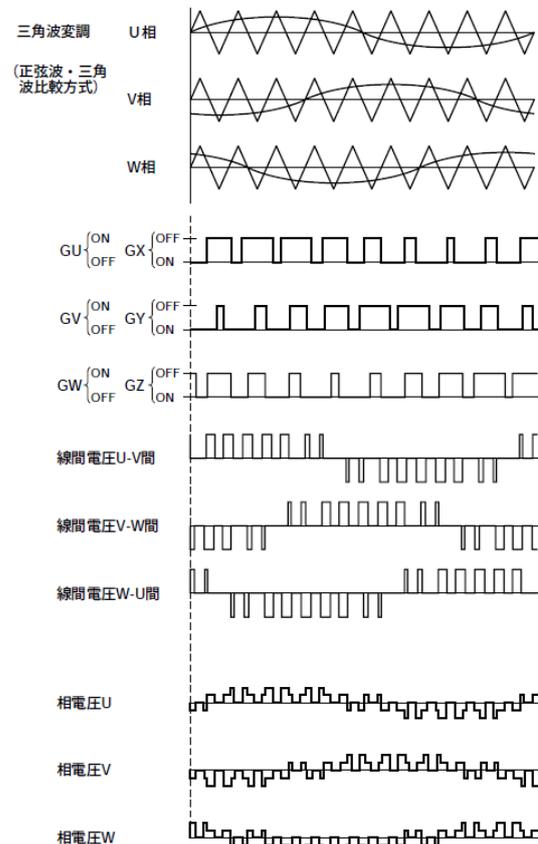


図 21. インバータの出力電圧

(1) PWMコンバータ部

GTOサイリスタを制御することにより回生運転が可能となります。また、さらに力率1の制御を実施すれば、高効率運転もできます。

(2) 平滑回路部

直流リアクトルとコンデンサの逆L形回路で構成され、PWMコンバータ部で発生する電源の6倍周波数のリップルとPWMインバータ部から流れ込むリップル電流を制御する働きがあります。なお、直流リアクトルは省略される場合もあります。

(3) PWMインバータ部

GTOサイリスタを制御することにより、可変電圧、可変周波数の3相交流を生成し、3相誘導電動機を可変運転することができます。図21に例として三角波変調時のインバータの出力電圧波形を示します。また、最近ではGTOサイリスタは3レベルコンバータや3レベルインバータにも応用されています。図22は3レベルコンバータ／インバータシステムへの応用例を示します。3レベルインバータの特長は、図23で示すように0, 1/2VC, VCの3つの電圧レベルからなる階段波電圧を出力できるため低騒音化やトルク脈動の低減が可能となります。図24に3レベルインバータの出力電圧波形を示します。

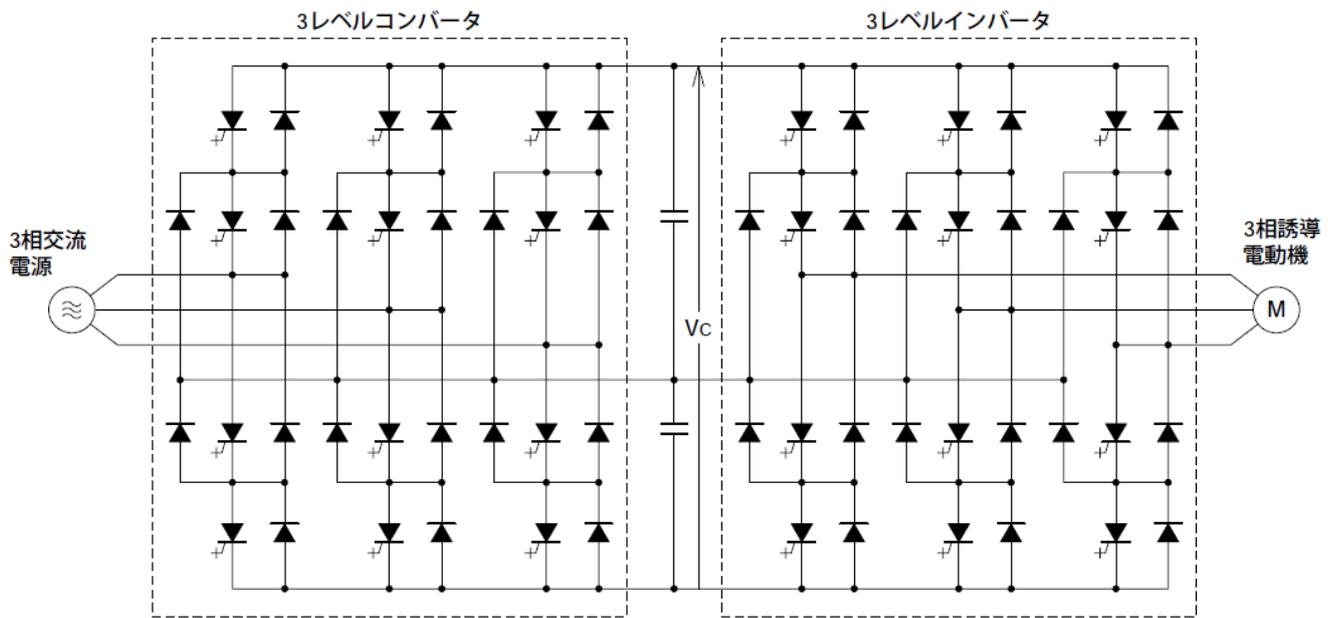


図 22. 3 レベルコンバータ/インバータシステム主回路

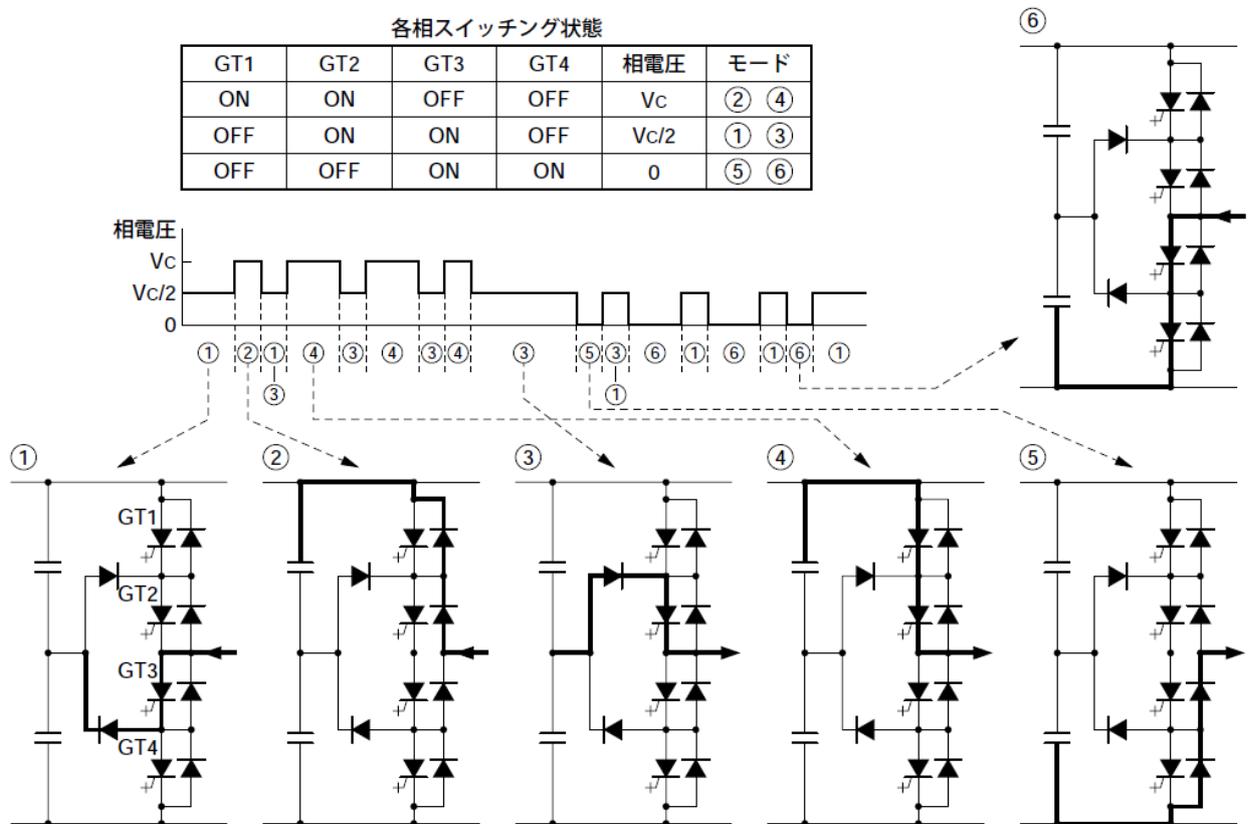
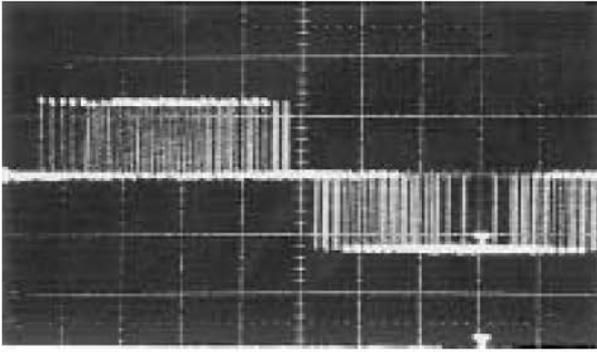
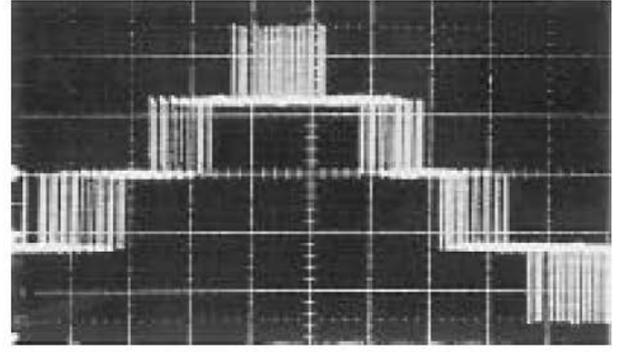


図 23. 3 レベルインバータ動作モード



(a) 2レベル出力時電圧波形



(b) 3レベル出力時電圧波形

図 24. 3 レベルインバータ出力電圧波形

第7章 GCT サイリスタの特長と応用

GTOサイリスタは、ターンオフ信号を与えてから実際にターンオフ動作を開始するまでの時間(蓄積時間)に数十 μs を要するため動作周波数を制約し、直列接続応用及び並列接続応用を困難にしていました。さらにGTOサイリスタはターンオフ時の dv/dt を抑制するスナバ回路を接続する必要があり、装置の小型化・低コスト化及び高効率化を阻害する要因となっていました。このような問題を解決し得る新しいパワーデバイスの開発が進められGCT(Gate Commutated Turn-off: ゲート転流形ターンオフ)サイリスタが開発されました。GCTサイリスタは、GTOサイリスタの利点である低オン電圧特性をそのまま持つ一方、ターンオフ動作においては、主電流の全てをゲート回路へと転流させて、ターンオフゲイン=1でターンオフする新たな動作原理をもつパワーデバイスです。大容量パワーエレクトロニクス装置に適用することで小型化・低コスト化が図れ、さらに装置のトータル損失を半減できることから大幅な省エネルギー化が実現できます。

1. GCT サイリスタの特長

GCTサイリスタは従来のGTOサイリスタに代わるパワーデバイスであり、以下に示す優れた特長を有します。

- (1) GTOサイリスタで必要であったスナバ回路を省略し、サージ電圧抑制回路のみでターンオフすることが可能となった為、素子及びスナバ回路を含めた装置のトータル損失をGTOサイリスタに比べ大幅に低減することが可能。
- (2) ターンオフ時の蓄積時間(オフ信号を与えてから実際にターンオフ動作を開始するまでの時間)をGTOサイリスタの約 $1/10$ に短縮した為、素子の直並列接続が容易となり装置の大容量・高電圧化が図れる。
- (3) ターンオン時の di/dt 耐量がGTOサイリスタに比べ2倍以上向上した為、 di/dt 抑制用アノードリアクトルを $1/2$ 以下に低減することが可能。
- (4) ターンオフ時のゲート蓄積電荷をGTOサイリスタの約 $1/2$ に低減した為、ゲート駆動電力を30~40%低減することが可能。
- (5) GTOサイリスタと同様の平形構造の採用によりGTOサイリスタとの置換えが容易。

2. GCT サイリスタの構造

図24にGTOサイリスタとGCTサイリスタの外観写真を示します。GTOサイリスタは同軸状のゲートリード線を介してゲートドライバと接続される為、素子を含むゲート回路のインダクタンスを低減することが困難であり、これによりターンオフ時のゲート逆電流の勾配(di_{GQ}/dt)は数十 μs に制限されていました。

GCTサイリスタのウエハ構造はGTOサイリスタと同様に数千個のセグメント(微小な単位サイリスタ)が同心円状に配置されています。ウエハ上のゲート領域は最外周部に配置されており、パッケージの外周にリング状のゲート電極を設け、かつゲートドライバとの接続を積層基板にて行うことで、GTOサイリスタに比べて素子を含めたゲート回路のインダクタンスを約 $1/100$ に低減されており、これによりゲート回路の電源電圧を変更することなく、数千 $\text{A}/\mu\text{s}$ という非常に高いゲート逆電流の勾配(di_{GQ}/dt)を実現しました。



GTOサイリスタ(4500V/4000A)



GCT サイリスタ(6000V/6000A)

図 24. GTOサイリスタとGCTサイリスタの外観写真

3. GCTサイリスタの動作原理

図 25 にGTOサイリスタとGCTサイリスタの動作原理の比較を示します。GTOサイリスタはターンオフ時にゲート逆電流の勾配(di_{GQ}/dt)=数十 A/ μ s で主電流の一部をゲート回路へ分流させ、ターンオフゲイン(主電流とゲート逆電流の比)が3~5でターンオフします。また、ウエハ内の主電流が流れているカソード領域を徐々に絞り込んでターンオフする為、最終的にゲート領域から遠いセグメントに電流が集中し、ターンオフする電流が大きくなると局所的な温度上昇によりターンオフ失敗し、素子が破壊に至る恐れがありました。これに対しGCTサイリスタの場合には、ターンオフ時に数千 A/ μ s という非常に高いゲート逆電流の勾配を発生させ、主電流の全てを瞬時にゲート回路へ転流させて、ターンオフゲイン=1でターンオフする為、ウエハ内のカソード領域には電流が流れておらずGTOサイリスタで問題となっていたカソード領域における電流の集中は起り得ません。この動作原理によりGCTサイリスタはGTOサイリスタに比べて高い電流制御能力を持ち、これまでGTOサイリスタが必要とした dv/dt 抑制用のスナバ回路を省略することが可能となりスナパレス動作を実現しました。

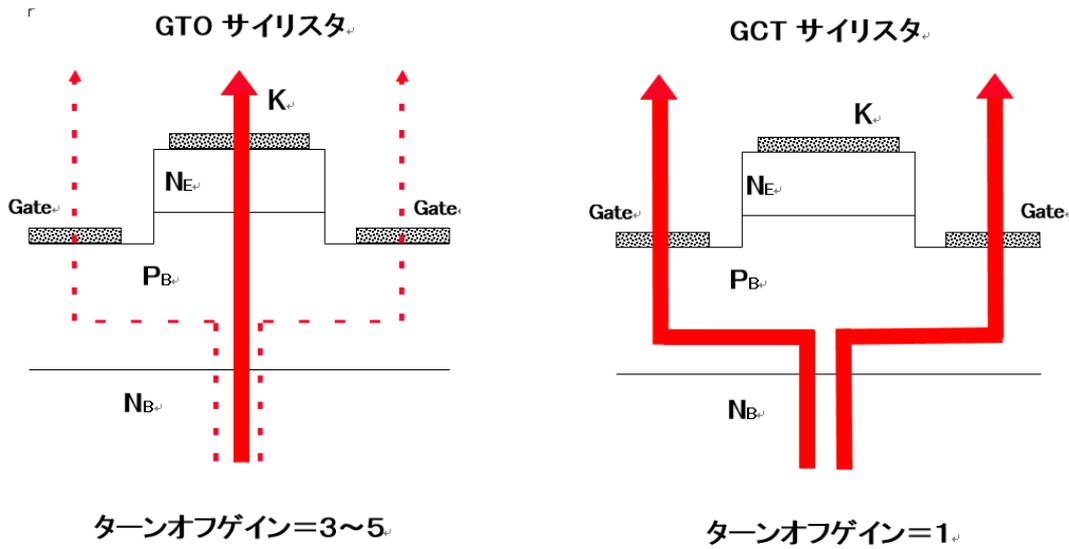


図 25. GTOサイリスタとGCTサイリスタの動作原理の比較

4. GCTサイリスタのターンオフ動作

図 26 にGTOサイリスタとGCTサイリスタのターンオフ試験回路を示します。GTOサイリスタの場合にはターンオフ時の dv/dt を抑制する為のスナバ回路(コンデンサ、ダイオード、抵抗から成る CRD スナバ回路)が必要ですが、GCTサイリスタの場合には、ターンオフ時の dv/dt を抑制する必要はなく、サージ電圧を抑制するためのクランプ回路のみでターンオフすることが可能となった為、スナバ回路損失の低減やインバータ回路の簡素化が可能となります。

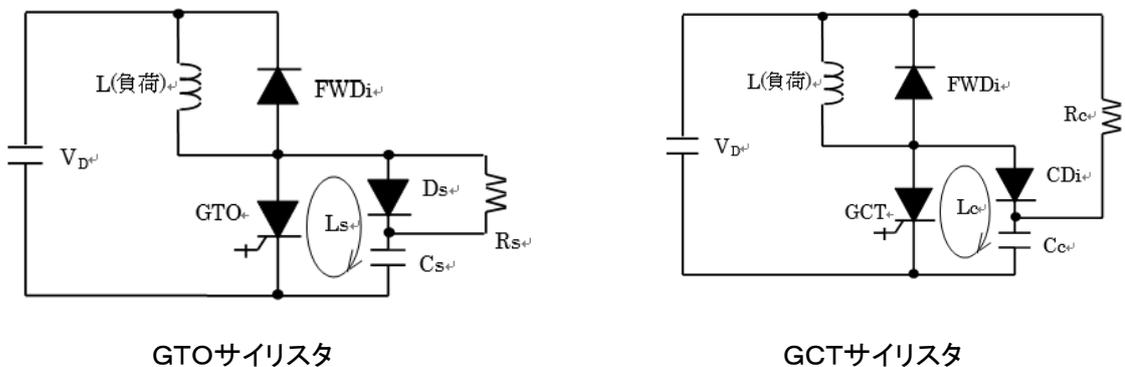


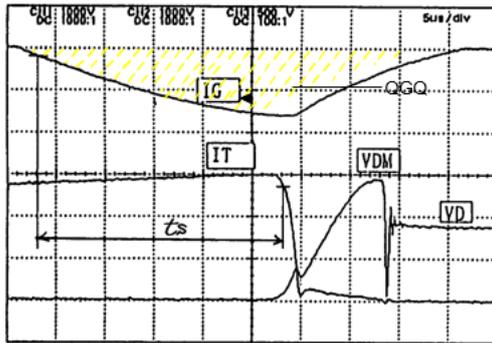
図 26. GTOサイリスタとGCTサイリスタのターンオフ試験回路

< 大電力半導体 >
活用の手引き

また、図 27 に GTO サイリスタと GCT サイリスタの実際に $I_T=3000A$ を遮断した波形を示します。GTO サイリスタの場合には遮断波形からターンオフ時のゲート逆電流(I_G)のピーク値が 800A 程度となっており、ターンオフゲイン($3000A/800A$)=3.75 でターンオフしており、この時の蓄積時間は $t_s=26\mu s$ となっています。一方、GCT サイリスタの場合にはターンオフ時のゲート逆電流の上昇率(di_{GQ}/dt)を約 $3kA/\mu s$ に上昇させ、瞬時に主電流の全てをゲートドライバへ転流させることで、ゲート逆電流(I_G)が主電流(I_T)と同じ 3000A となっており、ターンオフゲイン(I_T/I_G)=1 でターンオフしている様子が確認できます。また、GCT サイリスタのターンオフ蓄積時間は $2.8\mu s$ であり、GTO サイリスタの約 1/10 です。

GTO サイリスタ

$T_j=125^\circ C$, $I_T=3000A$, $Q_{GQ}=20mC$



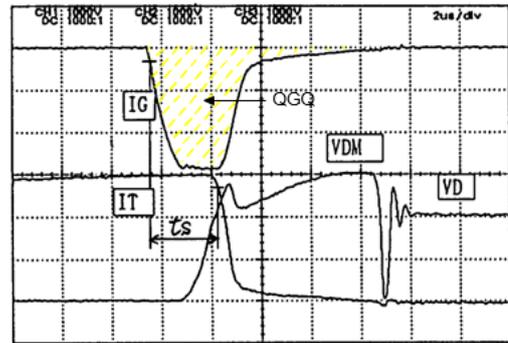
ターンオフゲイン: $I_T/I_G = 3.75$
 蓄積時間 $t_s: 26\mu s$

$I_T: 1000A/d$
 $V_D: 1000V/d$
 $I_G: 500A/d$
 $t: 5\mu s/d$

GCT サイリスタ

$T_j=125^\circ C$, $I_T=3000A$, $Q_{GQ}=9mC$

(Q_{GQ} :ゲート電荷量)



ターンオフゲイン: $I_T/I_G = 1$
 蓄積時間 $t_s: 2.8\mu s$

$I_T: 1000A/d$
 $V_D: 1000V/d$
 $I_G: 1000A/d$
 $t: 2\mu s/d$

図 27. GTO サイリスタと GCT サイリスタのターンオフ波形

< 大電力半導体 > 活用の手引き

5. SGCT サイリスタユニット

SGCT(Symmetrical Gate Commutated Turn off)サイリスタは、逆電圧阻止能力を有した GCT サイリスタです。通常の GTO サイリスタや GCT サイリスタが順方向の耐電圧能力を持ち逆電圧阻止能力は数十 V 程度であるのに対し、SGCT サイリスタは、順方向と逆方向の双方向に同等の電圧阻止能力を持ちます。また、基本構造やターンオフ動作原理は通常の GCT サイリスタと同等であるため高いターンオフ能力を有し、加えて、SGCT の特性を最大限に発揮するために最適設計されたゲートドライバを一体化した SGCT サイリスタユニットは、取り扱いが容易となります。

(1) 特長

- ・高耐圧・逆阻止形の実現： 順方向／6500V、逆方向／6500V
- ・サイリスタの特長である低オン電圧特性を継承
- ・最適設計されたゲートドライバを一体化

(2) 応用

逆電圧阻止能力を持つ SGCT は、電流形インバータや AC、DC スイッチなどの電力用遮断器応用に最適です。

(3) ゲートドライバ

図 28 に 6500V/1500ASGCT ユニット (GCU15DB-130) の外観を示します。パッケージの外周に設置した複数のゲート電極とゲートドライバの積層基板を直接接続することによって、素子を含めたゲート回路のインダクタンスを GTO サイリスタの約 1/100 に低減し、数千 A/ μ s という非常に高いゲート逆電流の勾配(di_{GQ}/dt)を実現したことで、高いターンオフ能力を実現しました。更に、ゲートドライバの駆動用入力電圧は DC20V とし、制御信号は、主回路からの絶縁や耐ノイズ性を考慮し光データリンク(Transmitter: HFBR-1521Z(BROADCOM)

/ Receiver:HFBR-2521Z(BROADCOM))を採用しています。

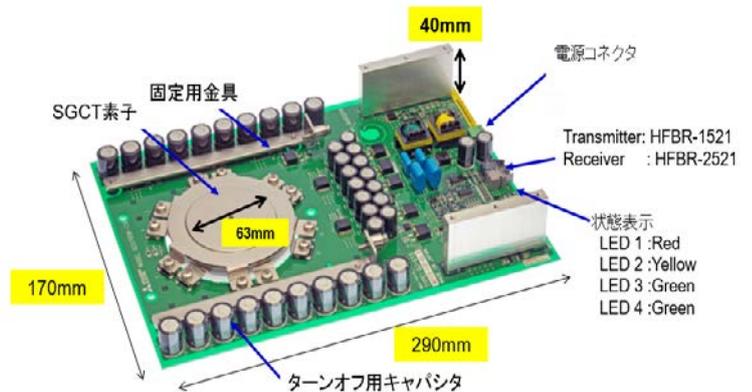


図 28. SGCT ユニットの
外観 (GCU15DB-130)

(4) 製品ラインアップ

Item	GCU04BB-130	GCU08CB-130	GCU15DB-130
VDRM	6500 V	6500 V	6500 V
VRRM	6500 V	6500 V	6500 V
ITQRM	400 A	800 A	1500 A
CR-Snubber	Cs=0.06 μ F, Rs=15 Ω	Cs=0.1 μ F, Rs=10 Ω	Cs=0.2 μ F, Rs=5 Ω
VTM	5.4 V @200A	5.5 V @400A	6.0 V @800A
Eon	0.4 J/P @200A	0.6 J/P @400A	1.3 J/P @800A
Eoff	1.2 J/P @200A	2.3 J/P @400A	5.2 J/P @800A
Erec	2.7 J/P @200A	4.4 J/P @400A	7.4 J/P @800A
Rth(j-f)	0.046 K/W	0.025 K/W	0.014 K/W
Post ϕ	38 mm	47 mm	63 mm

取扱い上のご注意

■大電力半導体素子を正しく安全に使用するために

大電力半導体素子は使用条件(電氣的・機械的ストレス、取扱い等)によっては破壊することがあります。
当社の大電力半導体素子を安全にご使用頂くため、次に示す注意事項を守り、正しくご使用ください。

 注意	
運送・運搬方法	(1)運送中は梱包箱を正しい向きに置いてください。逆さにしたり、立てかけたり不自然な力を加えると、素子が壊れる原因になります。 (2)投げたり、落としたりしても素子が壊れる原因になります。 (3)水に濡れると使用時の故障原因になります。降雨、降雪時の運搬には濡らさないように注意してください。 (4)以上の注意点の他、運搬時にはできるだけ機械的衝撃を少なくするよう留意してください。
保管方法	(1)素子を保管する場所の温度及び湿度は、5～35℃、45～75%の常温常湿範囲内が望ましく、この温度、湿度から極度にかけ離れた環境では素子の性能や信頼性を低下させることがあります。 (2)腐食性ガスが発生する場所や、有機溶剤等の雰囲気中での保管は避けてください。金属部が錆びたり、故障の原因になります。
長期保管	(1)素子を長期(1年以上)に保管する場合は、除湿対策をしてください。なお、長期保管後ご使用の際は、外観に傷、汚れ、錆等がないことを確認してください。 (2)非常に悪い環境におかれた場合、あるいは通常の保管(前項の保管条件)で3年以上経過した場合は、外観に傷、汚れ、錆等がないことの確認に加え、はんだ付性、電氣的特性の検査を行なってください。
使用環境	(1)水(結露含む)や有機溶剤が直接付着する場所、腐食性ガスが発生する場所、また、爆発性ガス・粉塵等のあるところでの使用は重大な事故につながる可能性がありますので避けてください。 (2)推奨される使用環境条件は IEC 60721-3-5 クラス 5K1、5B1、5C1 および 5S1 によります。推奨外環境で素子を使用する場合には追加の対策が必要です。
ノイズ	外来ノイズによって素子が誤動作したり、破壊することがありますので、ノイズ発生が多い所での使用にあたってはノイズ対策を考慮ください。
持ち運び	(1)素子を直接持ち運ぶ際は、リード線をつかんで持ち運ばないでください。リード線が切れたり、接続部分が弱くなり断線や故障の原因となります。また、機械的振動や衝撃を与えないでください。 (2)スタッド型の素子は特にネジ部や接触面に傷又は異物を付けないようにしてください。 (3)平型素子の陰極や陽極の圧接面には傷や異物を付けないようにしてください。
洗浄	(1)製品によっては圧接面以外の金属部分にラッカーを塗布しているものがありますので、有機溶剤等による洗浄は行わないでください。洗浄されますとラッカーが溶剤等によって溶け出して圧接面に付着し、特性劣化を起こすことがあります。 (2)素子に異物が付着した場合は傷をつけないように柔らかい布(ガーゼ等)でふき取ってください。
取付け方法	素子の取り付けには次のような設計上の配慮が必要です。これらの条件が満足されない場合は素子の性能を十分に発揮させることができないばかりか、破壊に至る場合もありますのでご注意願います。 (1)素子の取り付けにあたっては外形図を十分に確認のうえ取り付けてください。極性を間違えて通電しますと短絡事故を起こす恐れがあります。 (2)平型素子の圧接面やスタッド型素子の接触面(放熱フィンと接触するベース面)には熱伝導性の良好なコンパウンドを薄く均一に塗布してください。コンパウンドは接触熱抵抗の低減と接触面の腐食防止や安定化に役立ちます。なお、塗布するコンパウンドは、使用動作温度範囲内で変質せず、経年変化のないものを選ぶ必要があります。 (3)平型素子の圧接面には偏荷重がかからず均一に圧接されるようご配慮ください。また、素子の圧接力が必ず既定の範囲内となるよう圧接機構の設計をしてください。 (4)スタッド型の素子の取り付けにはトルクレンチを使用し、推奨締付トルクで取り付けてください。

上記注意事項を守り正しくご使用ください。

実機に使用される場合には十分な確認を行いお客様自身の責任においてご使用ください。

安全設計に関するお願い

・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりますは、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページなどを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または特約店までご照会ください。